



Conception et réalisation de fonctions millimétriques en technologie BiCMOS 55nm

Ayssar Serhan

► To cite this version:

Ayssar Serhan. Conception et réalisation de fonctions millimétriques en technologie BiCMOS 55nm. Micro et nanotechnologies/Microélectronique. Université Grenoble Alpes, 2015. Français. NNT : 2015GREAT077 . tel-01233248

HAL Id: tel-01233248

<https://theses.hal.science/tel-01233248>

Submitted on 24 Nov 2015

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE

Pour obtenir le grade de

DOCTEUR DE L'UNIVERSITÉ GRENOBLE ALPES

Spécialité : **Nanoélectronique et Nanotechnologies**

Arrêté ministériel : 7 août 2006

Présentée par

« Ayssar SERHAN »

Thèse dirigée par « **Jean-Michel FOURNIER** » et
codirigée par « **Estelle LAUGA-LARROZE** »

préparée au sein du **Laboratoire IMEP-LAHC**
dans l'**École Doctorale Électronique, Électrotechnique,**
Automatique et Traitement du signal.

Conception et réalisation de fonctions millimétriques en technologie BiCMOS 55nm

Thèse soutenue publiquement le « **28 Septembre 2015** », devant le
jury composé de :

M. Raymond QUERE

Professeur des universités, Limoges, Président

M. Eric TOURNIER

Maître de conférences, Toulouse, Rapporteur

M. Jean GAUBERT

Professeur des universités, Marseille, Rapporteur

M. Thomas QUEMERAIS

Docteur des universités, STMicroelectronics Crolles, Membre invité

M. Philippe FERRARI

Professeur des universités, Grenoble, Examineur

M. Jean-Michel FOURNIER

Professeur des universités, Grenoble, Directeur de thèse

Mme. Estelle LAUGA-LARROZE

Maître de conférences, Grenoble, Co- encadrante de thèse



À mes parents et grâce à eux
À mon frère Ayman et ma sœur Arige
À mon amour Jana, et à mon futur enfant...

Avant-propos

Les travaux présentés dans ce mémoire ont été réalisés au sein de l'équipe **Radio Fréquences et Millimétrique (RFM)** du Laboratoire de **Microélectronique Electromagnétisme, Hyperfréquence, Photonique et de Caractérisation (IMEP – LAHC)** de Grenoble. Ils ont été effectués en étroite collaboration avec l'équipe de caractérisation et de modélisation de la société **STMicroelectronics**, Crolles. Je tiens à remercier Messieurs **Jean-Emmanuel Broquin**, directeur du laboratoire. Merci à **Philippe Ferrari**, responsable du thème **RFM** qui m'a aussi fait l'honneur d'avoir accepté d'examiner mon travail. **Philippe**, la personne grâce à qui j'ai pu venir en France et continuer mes études en master et en doctorat. Merci également à **Daniel Gloria** de **STMicroelectronics** pour l'accès à une grande surface sur silicium en technologie BiCMOS 55nm et pour les échanges techniques très enrichissants.

Je tiens à exprimer toute ma reconnaissance envers mes directeurs de thèse : **Jean Michel Fournier** et **Estelle Lauga-Larroze**, sans qui cette thèse n'aurait pas été effectuée dans d'aussi bonnes conditions durant ces trois années. Leurs compétences scientifiques, leurs qualités humaines et leurs grandes confiances en moi m'ont permis de mener ce travail avec succès.

J'exprime ma sincère gratitude à l'ensemble des membres du jury de thèse qui ont accepté d'évaluer mes travaux de recherche. Je remercie Messieurs **Jean Gaubert** et **Eric Tournier** qui ont consacré du temps à examiner et commenter ce manuscrit. Je tiens à remercier aussi à Messieurs **Raymond Quéré**, **Thomas Quemerais** d'avoir accepté de participer à cette évaluation.

Je remercie tous les membres du groupe de réunions Actifs/Passifs : **Sylvain Bourdel**, **Florence Podevin**, **Ekta Sharma**, **Farid Bautista**....

Un grand merci à Monsieur **Nicolas Corrao**, responsable de la plateforme **Hyperfréquences, Optique, microondes et CEM (HOC)** du site **IMEP**, pour ses disponibilités et sa générosité lors de toutes les caractérisations de mes circuits réalisés. Sans oublier bien évidemment Monsieur **Alejandro Chagoya** du CIME pour son grand soutien informatique et toutes les installations du *Design Kit* dont j'ai eu besoin.

Je remercie **Mathieu, Frédéric, Ziad, Isaak, Walid, Ekta, José, Farid, Paco, Fatima, Inès**, et **Mukta** qui m'ont permis de passer ces trois années de thèse dans la bonne humeur au sein du laboratoire.

Et enfin c'est l'occasion de dire un grand merci à la **France**, ce pays généreux qui m'a accueilli depuis 2011 et qui a financé mes études depuis mon master 2...

Table des matières

Introduction générale	3
Chapitre I : La technologie BiCMOS 55 nm	4
I.1 Généralités	4
I.2 Composants actifs	5
I.2.1 Le transistor MOS: le modèle électrique	5
I.2.2 Les transistors bipolaires SiGe : C	6
I.2.2.1 Le modèle électrique	6
I.2.3 Les paramètres de performance des transistors MOS et Bipolaires	7
I.2.3.1 La fréquence de transition f_t et la fréquence maximale d'oscillation f_{max}	7
I.2.3.2 Tension maximale	11
I.2.3.3 Le gain maximum disponible	12
I.3 Le Back End of Line (BEOL) de la technologie BiCMOS 55 nm	13
I.4 Structures passives intégrées en technologie BiCMOS 55 nm	14
I.4.1 Les lignes de propagation	14
I.4.1.1 Les lignes microruban ou TFMS	15
I.4.1.2 Les lignes à ondes lentes S-CPW	17
I.4.2 Les lignes couplées	20
I.4.2.1 Modes de propagation	21
I.4.2.2 Les lignes couplées en technologie microruban	22
I.4.2.3 Les lignes couplées à ondes lentes	24
I.5 Conclusion	28
Références	29
Chapitre II : Amplificateurs de puissance linéaires en technologie BiCMOS 55nm	32
II.1 Objectifs et contraintes	32
II.2 Etude analytique	33

II.2.1	Choix de la topologie et de classe de fonctionnement.....	33
II.2.2	Modèle analytique des amplificateurs de puissance fonctionnant en classe-A	33
II.3	Modélisation électrique des composants passifs.....	35
II.3.1	Les capacités MOM (Metal-Oxide-Metal)	36
II.3.2	Modélisation des plots d'accès RF	39
II.4	Réalisation des quatre amplificateurs de puissance à 60 GHz en technologie BiCMOS 55nm	41
II.5	Méthode de conception des amplificateurs de puissance en MOS	41
II.6	Méthodologie de conception des amplificateurs de puissance en bipolaire	44
II.7	Caractérisation des amplificateurs fabriqués	48
II.7.1	Description du banc de mesure	48
II.7.2	Performances mesurées des amplificateurs.....	48
II.8	Conclusion.....	52
	Références.....	53

Chapitre III : Détecteurs de puissance pour les applications millimétriques 55

III.1	Introduction et motivation.....	55
III.2	Les caractéristiques des détecteurs de puissance RF.....	55
III.2.1	La dynamique de détection et la sensibilité.....	55
III.2.2	Le temps de réponse et la bande passante en entrée	56
III.2.3	La consommation en puissance	56
III.2.4	La technologie de fabrication et la surface du détecteur.....	57
III.3	Etat de l'art des détecteurs de puissance	57
III.3.1	Détecteur de puissance à diode	57
III.3.2	Détecteur de puissance à base de transistors MOS et Bipolaires.....	58
III.3.3	Conclusion sur la littérature de détecteur de puissance	64
III.4	Réalisation de détecteurs de puissance CMOS et BiCMOS à base/grille commune pour des applications millimétriques.....	66
III.4.1	Architectures des détecteurs	67

III.4.2	Etude analytique.....	68
III.4.3	Performances mesurées des détecteurs.....	70
III.4.3.1	Fonction de transfert.....	70
III.4.3.2	Impédance d'entrée.....	72
III.4.3.3	Réponse fréquentielle	74
III.4.3.4	Bande passante	75
III.4.4	Étude analytique du bruit	76
III.5	Etude et réalisation de détecteurs CMOS et BiCMOS de type Meyer	79
III.5.1	Détecteur de puissance type Meyer	79
III.5.2	Performances mesurées des détecteurs.....	81
III.5.2.1	Fonction de transfert $V_{out} = f(P_{in})$	82
III.5.2.2	Impédance d'entrée.....	82
III.5.2.3	Réponse en fréquence.....	83
III.5.3	Étude analytique en bruit	84
III.6	Conclusion	87
	Références.....	88

Chapitre IV : Application des détecteurs de puissance à l'amélioration de l'efficacité des amplificateurs de puissance 60GHz. 91

IV.1	Introduction et motivation.....	91
IV.2	Etat de l'art sur les techniques d'amélioration des performances des amplificateurs de puissances en bande millimétrique.....	92
IV.3	La technique de polarisation adaptative.....	97
IV.4	Circuit démonstrateur BiCMOS en boucle ouverte.....	102
IV.4.1	Mesures et simulation du système étudié.....	103
IV.4.2	Impact de la boucle sur la linéarité.....	105
IV.5	Circuit démonstrateur CMOS avec boucle intégrée.....	108
IV.5.1	Détecteur de puissance MOS à sortie ajustable	108

IV.5.2 Mesures du circuit.....	110
IV.5.2.1 Mesures quasi-statiques avec un signal mono- fréquence.....	111
IV.5.2.2 Mesures en présence d'un signal modulé	114
IV.6 Conclusion	118
Références.....	119
Chapitre V : Baluns intégrés pour les applications millimétriques	121
V.1 Introduction et motivation.....	121
V.2 Caractéristiques d'un balun.....	122
V.3 Balun passif intégré.....	123
V.4 Etat de l'art des baluns de type Marchand pour les applications millimétriques	125
V.5 Conception d'un Marchand balun à base de lignes CS-CPW	135
V.5.1 Conception de quatre Marchand baluns en bande millimétrique en technologie B55	147
V.5.2 Performances simulées des baluns conçus	149
V.6 Conclusion.....	153
Références.....	156
Conclusion et perspectives	159
Annexe I	163
Annexe II	165

Abréviation	Sens technique
ACPR	Adjacent Channel Power Ratio
ALC	Automatic Level Control
BCL	Broadside Coupled Line : Ligne avec couplage vertical
BEOL	Back End Of Line : Empilement des couches en technologie intégrée
BiCMOS	Combinaison entre technologie bipolaire et technologie CMOS
BIT	Built in Test
BSIM	Berkeley Short-Channel IGFET Model
B55	Technologie BiCMOS 55 nm
CC-CS-CPW	Center-Cut Coupled-Slow-Wave CPW
CLC	Capacitive Loading Compensation
CMOS	Complementary metal-oxide-semiconductor
CPW	Coplanar Wave Guide
CS-CPW	Coupled-Slow-Wave CPW
CW	Continuous Wave : Signal mono-fréquence
DC	Direct Current
DICAD	Digital Controlled Artificial Dielectric
DPSA-SEG	Double Poly Self Aligned-Selective Epitaxial Growth
DTI	Deep Tranch Isolation
ECL	Edge Coupled Line : Ligne à couplage latéral
EER	Envelope Elimination and Restoration
ET	Envelope Tracking
EVM	Error Vector Magnitude
FCC	Federal Communications Commission
f_{max}	fréquence d'oscillation maximum
FoM	Figure of Merit : Facteur de mérite
f_t	fréquence de transition

- Liste des abréviations -

Abréviation	Sens technique
GSG	Ground-Signal-Ground
HICUM	High Curent model
ICCR	Integral Charge Control Relation
ITRS	International Technology Roadmap for Semiconductor
LRRM	Line Reflect-Reflect Match
MAG	Maximum Available Gain : Gain maximal disponible
MIM	Metal-Insulator-Metal
mmWave	Bande de fréquences millimétriques
MOM	Métal Oxyde Métal
MOS	Métal-Oxyde-Semi-conducteur
NMOS	Transistor MOS de type N
OCP1dB/ICP1dB	Point de compression en sortie /entrée
PA	Power Amplifier : amplificateur de puissance
PAE	Power Added Efficiency : Efficacité en puissance ajoutée
PAE _m	Valeur moyenne de la PAE
PAPR	Peak to Average Power Ratio
PNP	Transistor bipolaire de type P
PSG	Performance Signal Generator: série de générateurs offerte par Agilent
PSP	Pen State Philips
QAM	Quadrature Amplitude Modulation
RF	Systèmes Radio Fréquences
SC-CS-CPW	Side-Cut Coupled-Slow-Wave CPW
S-CPW	Slow-Wave CPW
SGP	Spice Gummel Poon
SiGe	Silicon-germanium
SNR	Signal to Noise Ratio

- Liste des abréviations -

Abréviation	Sens technique
Stack	Empilement de plusieurs couches métalliques
STBJT	STMicroelectronics Bipolar Junction Transistor
STI	Short Trench Isolation
TFMS	Thin Film Micro-Strip
THz	Térahertz
TL	Transmission Line : Ligne de propagation
VBIC	Vertical Bipolar Inter-Company
Vdd	Tension d'alimentation
Via	Interconnexion métallique entre deux couches successives
VNA	Vector Network Analyzer : Analyseur de réseaux vectoriels
VSA	Vector Signal Analyzer : Analyseur de signal vectoriel
VSWR	Voltage Standing Wave Ratio

Introduction générale

Considérées comme émergentes il y a quelques années, les applications dans les bandes de fréquence autour de 60 GHz sont maintenant intégrées en technologies silicium CMOS et BiCMOS. Deux axes sont actuellement très porteurs dans le développement des systèmes millimétriques intégrés: (1) l'amélioration des performances et de la fiabilité à travers des boucles d'asservissement intégrées (les applications ALC : Automatic Level Control), (2) le développement de solutions de caractérisation sur silicium des composants millimétriques (les applications BIST : Built In Test). En ce qui concerne les technologies d'intégration, la technologie BiCMOS 55 nm de STMicroelectronics montre des performances très compétitives par rapport aux autres technologies de type III-V par exemple. En outre, les structures passives à ondes lentes, développées au laboratoire IMEP-LAHC avec le BEOL (Back-End Of Line) de cette technologie constituent un élément clé pour les performances des circuits. L'objectif de cette thèse a été de développer les blocs de base (détecteurs de puissance et baluns) dans la technologie BiCMOS 55 nm pour répondre aux besoins actuels des fonctions intégrées millimétriques pour des applications ALC et BIST.

La technologie BiCMOS 55nm qui a été le support de développement des circuits réalisés dans le cadre de cette thèse est présentée au **chapitre I**. La première partie de ce chapitre montre les performances intrinsèques des dispositifs actifs MOS et Bipolaire de la technologie en terme de gain disponible, et de fréquence (f_t et f_{max}). Cette étude permet de cerner les diverses contraintes technologiques concernant la conception des fonctions millimétriques. La deuxième partie de ce chapitre est consacrée à l'introduction des différents composants passifs (ligne microruban TFMS, ligne à ondes lentes S-CPW, et ligne couplée à ondes lentes CS-CPW). Les paramètres d'optimisation de chaque structure sont présentés ainsi que les différentes contraintes technologiques rencontrées lors de la conception des circuits passifs dans les technologies intégrées. Ensuite, nous présentons les résultats des mesures de quelques structures passives (lignes TFMS et S-CPW) ainsi que les résultats obtenus au laboratoire dans le cadre d'une autre thèse sur des lignes couplées à base de lignes à ondes lentes et utilisant le Back-end de la technologie. Ces résultats ont été exploités dans le cadre de nos travaux pour le développement de baluns intégrés et font l'objet du dernier chapitre de ce mémoire.

Dans le **chapitre II**, qui est une introduction à notre travail de thèse, nous avons étudié et comparé les performances autour de 60GHz d'amplificateurs de puissance à un étage utilisant différents types de lignes de propagation et basés sur les deux dispositifs MOS et Bipolaire disponibles dans la technologie. A cette occasion, une méthode de conception basée sur les règles

d'électro-migration et permettant une optimisation des performances a été utilisée. Cette étude a permis de démontrer la pertinence de cette technologie pour les applications millimétriques et de mettre en évidence l'apport du transistor bipolaire dans les performances. Elle a aussi permis de montrer l'intérêt des lignes à ondes lentes par rapport aux lignes microruban (TFMS).

Le cœur de nos travaux a ensuite concerné le développement de deux blocs de base en millimétrique : le détecteur de puissance et le balun intégré.

Le **chapitre III** est consacré à l'étude et la réalisation de détecteurs de puissance. Quatre détecteurs en version MOS et BiCMOS ont été réalisés afin de montrer les avantages et les inconvénients des transistors MOS et bipolaire pour la détection de puissance. Les détecteurs visent deux types d'applications : (1) l'amélioration des performances d'amplificateurs de puissance à l'aide de boucle de rétroaction (ALC) pour lesquelles les détecteurs conçus doivent avoir une faible consommation, une vitesse élevée, une dynamique et une sensibilité adaptées à la dynamique du circuit asservi; (2) Les applications dédiées aux mesures in-situ et d'autotest (BIST) où les détecteurs doivent principalement avoir une forte sensibilité et une large dynamique. En ce qui concerne la sensibilité, une étude en bruit de ces détecteurs a été réalisée.

L'amélioration de l'efficacité d'un amplificateur de puissance en technologie CMOS basée sur une technique de polarisation adaptative de l'étage de puissance et utilisant les détecteurs CMOS précédemment développés a été démontrée et fait l'objet du **chapitre IV**. Les résultats montrent l'intérêt de ce type d'asservissement où l'efficacité de l'amplificateur est améliorée d'à peu près 20 % sans dégrader les performances en linéarité du PA mesurée en présence d'un signal modulé large bande. La caractérisation des circuits conçus a été faite en présence d'un signal modulé large bande (16-QAM, 700 MHz).

Dans le cadre des technologies purement CMOS, le développement de PA pour les applications mmW pose aussi le problème de l'impact sur la fiabilité des porteurs chauds générés par les niveaux de tension élevés se produisant au drain du MOS de puissance. Par rapport aux structures en mode commun, le développement de structures différentielles et pseudo différentielles permet, à puissance de sortie quasi identique, d'abaisser les tensions d'alimentation et des valeurs crête des tensions dynamiques sur les drains et par conséquent d'augmenter la durée de vie des circuits. Cependant, les structures différentielles nécessitent le développement de baluns intégrés suffisamment performants en termes de bande passante, d'équilibrage en amplitude et phase et de pertes.

Dans cet objectif et pour donner une ouverture à nos travaux, nous avons investigué dans le **chapitre V** l'apport des lignes couplées à ondes lentes présentées dans le **chapitre I** pour la

réalisation de baluns millimétriques intégrés de type Marchand. Cette étude est le fait du dernier chapitre de ce mémoire. Les baluns développés utilisent un nouveau type de lignes couplées à ondes lentes présentant des facteurs de couplage et des facteurs de qualité élevés. Nous avons exploré une configuration particulière de lignes couplées à ondes lentes CS-CPW, appelée SC-CS-CPW, obtenue en réalisant des coupures dans les doigts flottants de la ligne CS-CPW. Cette configuration de ligne permet d'avoir des facteurs de couplage électrique K_C supérieurs à ceux qui sont obtenus avec les lignes couplées à ondes lentes CS-CPW classiques, sans changer le facteur de couplage magnétique K_L . Cela a pour conséquence une augmentation du facteur de couplage total C . A partir d'abaques que nous avons développés pour ce type de lignes, nous avons démontré leur apport sur la réalisation de baluns équilibrés miniatures, présentant une large gamme de rapports de transformation et proposé une méthode de synthèse globale.

Chapitre I : La technologie BiCMOS 55 nm

I.1 Généralités

La technologie BiCMOS 55 nm (B55) est une technologie développée par STMicroelectronics dans le cadre du projet CATRENE RF2THZ CT209 dans le but de fournir une plateforme en technologie silicium pour le développement de systèmes Radio Fréquences (RF), millimétriques (mmWave) et TéraHertz (THZ) tels que les radars automobile 77 GHz/120 GHz, les réseaux sans-fil 60 GHz, l'imagerie et la détection pour les applications biomédicales et militaires, les communications optiques allant jusqu'à 400 Gbits/s, la communication mobile photonique des générations 4G/5G, et finalement pour le développement des solutions de mesures in-situ pour les circuits millimétriques au-delà de 110 GHz.

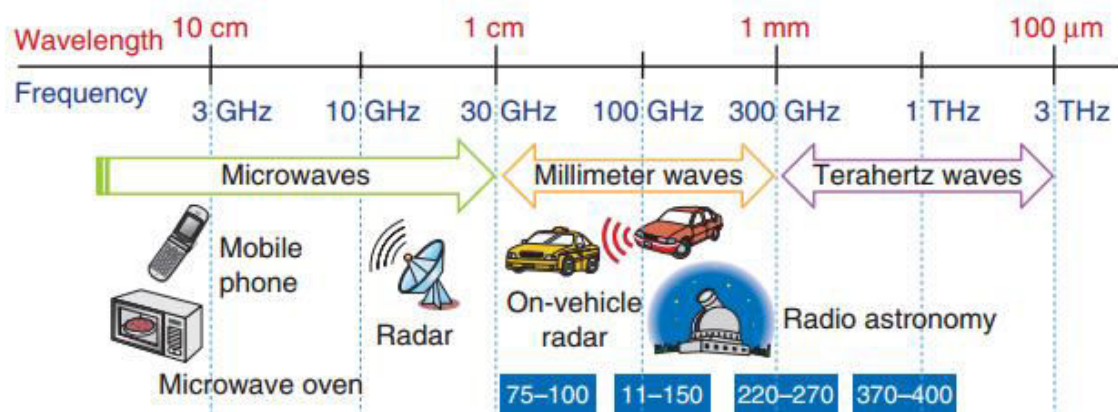


Figure I-1 Applications des technologies RF/mmWave [Kukutsu, 09].

Comme toutes les technologies BiCMOS, la technologie BiCMOS 55 nm est le fruit de l'association sur le même puce silicium des transistors Bipolaires et CMOS. La partie CMOS de la technologie est une version « shrinkée » de la technologie CMOS 65 nm. De l'autre côté, la partie bipolaire de la technologie utilise la même architecture du transistor de la technologie B5T qui est une technologie purement bipolaire développée par STMicroelectronics dans le cadre du projet Européen FP7 DOTFIVE. La partie CMOS de la technologie permet de réaliser des systèmes numériques très haute vitesse (compatibles avec les chaînes de transmission haut-débit) sous faible consommation et faible surface avec une densité de l'ordre de 800 Kgates/mm² [CMP, 14].

Dans ce chapitre nous allons présenter synthétiquement la technologie B55. Les modèles des transistors MOS et bipolaire disponibles dans les technologies seront décrits brièvement. Une bibliographie sur les technologies silicium est présentée dans la troisième partie, conduisant aux apports et aux problématiques des technologies BiCMOS et CMOS avancées. Les différentes structures passives utilisant le BEOL (Back End Of Line) de la technologie seront aussi brièvement présentées.

I.2 Composants actifs

I.2.1 Le transistor MOS: le modèle électrique

La modélisation à haute fréquence des transistors MOS submicroniques devient de plus en plus complexe car les éléments parasites à prendre en compte sont de plus en plus nombreux. Identiquement à la technologie CMOS 65 nm, la technologie B55 dispose de deux modèles pour le transistor MOS : le modèle PSP [Dormieu, 12] et le modèle BSIM niveau 4. Par rapport au modèle BSIM le modèle PSP modélise d'une manière plus précise les non-linéarités des transistors [Quemerais, 10].

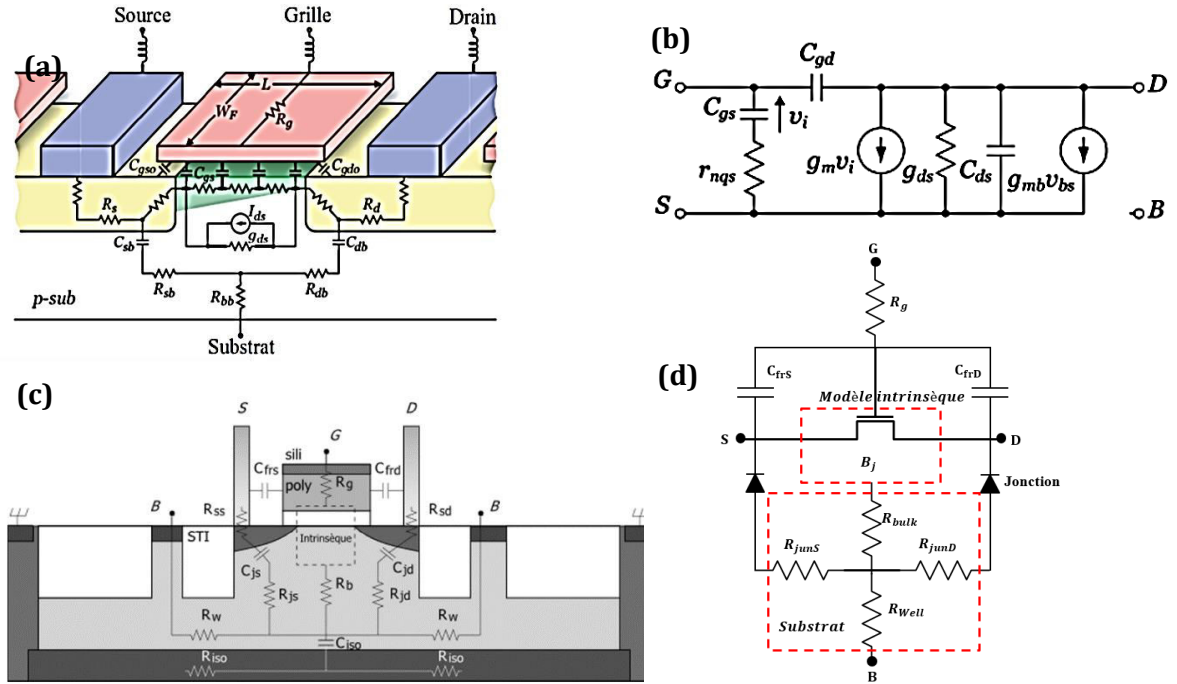


Figure I-2 (a) Schéma équivalent complet du modèle BSIM4 [Doan, 05], (b) modèle intrinsèque du transistor MOS, (c) Schéma équivalent du modèle PSP intrinsèque [Dormieu, 12], (d) modèle prenant en compte les éléments parasites.

Le comportement en petit signal [Doan, 05] du modèle BSIM4 comprend la partie intrinsèque et extrinsèque du transistor. Le modèle intrinsèque de la Figure I-2 (b) prend en compte le comportement non quasi-statique du canal représenté par la résistance r_{nqs} en série avec la capacité C_{gs} . Les capacités parasites liées aux interconnexions métalliques des trois accès sont déjà incluses dans les capacités C_{gs} , C_{gd} et C_{ds} . Le schéma électrique de la Figure I-2 (b) est complété par d'autres éléments parasites tels que les résistances d'accès (R_G , R_S et R_D), les inductances parasites d'accès (L_G , L_S et L_D), les capacités de jonction (C_{db} et C_{sb}) ainsi que le réseau des résistances modélisant l'accès du substrat (R_{sb} , R_{db} et R_{bb}). Alternativement, le transistor peut être modélisé avec le modèle PSP dont les schémas équivalents sont donnés sur les Figure I-2 (c) et (d). La description complète du fonctionnement du transistor MOS, avec une explication plus détaillée des modèles, est présentée dans [Dormieu, 12].

I.2.2 Les transistors bipolaires SiGe : C

L'architecture utilisée pour le transistor bipolaire en technologie B55 est de type émetteur double poly-silicium auto-aligné. Cette architecture est connue par le nom DPSA-SEG Double Poly Self Aligned-Selective Epitaxial Growth [Chevalier, 12]. Cette structure est composée d'une base intrinsèque Si/SiGe : C dopé au bore, obtenue par épitaxie sélective, connectée à la base extrinsèque en poly-silicium. L'accès d'émetteur est en poly-silicium dopé à l'arsenic (**Figure I-3**). L'architecture utilise des tranchées d'isolations profondes DTI (Deep Trench Isolation) pour isoler les transistors de leur environnement. Finalement, les STI (Short Trench Isolation) ont pour objectif d'isoler le cœur du dispositif (la partie intrinsèque) de la prise de contact du collecteur [Lacave, 13].

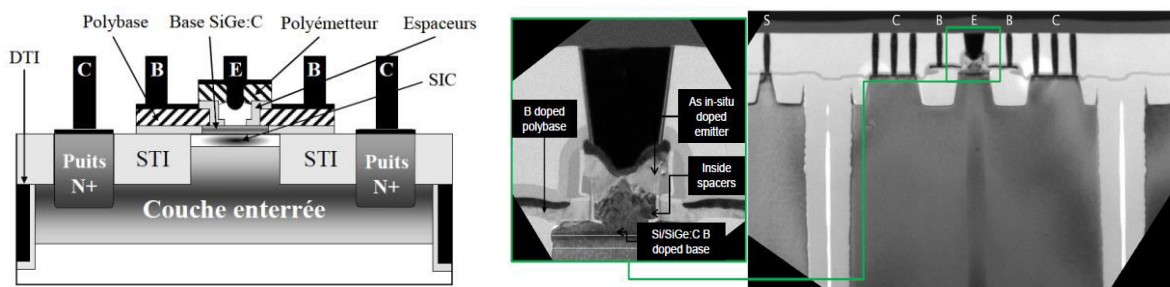


Figure I-3 Vues en coupe du transistor npn vhs de la technologie B55 : (gauche) schéma, (droite) image d'un transistor réalisé sur le premier wafer B55.

Nous présentons le modèle électrique du transistor bipolaire sans rentrer dans les détails de fabrication de ce transistor, ni dans les détails physiques de cette structure.

I.2.2.1 Le modèle électrique

Avec la montée en fréquence et la réduction des dimensions des transistors en technologies avancées, les modèles tels qu'Ebers-Moll, SGP, VBIC, STBJT ne sont plus capables de décrire les caractéristiques des transistors bipolaires. Le modèle MEXTRAM et son alternatif HICUM sont les plus utilisés actuellement car ils présentent une précision élevée dans tous les régimes de fonctionnement et dans les conditions du courant fort [Perez, 07].

La **Figure I-4** représente le circuit équivalent du modèle HICUML2 (HICUM Level2) utilisé par STMicroelectronics pour la modélisation des transistors bipolaires en technologies B55 [Deng, 14]. Ce modèle a été développé en 1986 par le Professeur Michael Schroter en Allemagne [Schröter, 10]. Il considère les différents effets physiques qui gèrent les caractéristiques des dispositifs bipolaires. Le modèle est partagé en deux parties. Une partie intrinsèque qui décrit le comportement électrique du transistor formé par les nœuds E', B', C', S'. Une deuxième partie qui décrit les effets parasites bidimensionnels entre les accès externes E, B, C, S et les nœuds internes E', B', C', S'. En plus, un réseau thermique est ajouté à ce modèle pour permettre la modélisation du phénomène d'auto-échauffement [Schröter, 10].

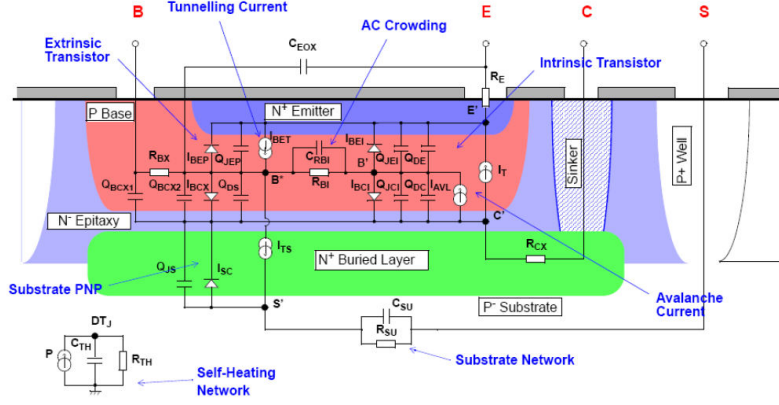


Figure I-4 le circuit équivalent du modèle HICUM Level 2 (HICUM Level2) utilisé pour la modélisation des transistors bipolaires en technologies B55 [DK, V13].

La partie intrinsèque du transistor comprend le courant interne émetteur-base I_{BEI} , le courant interne de collecteur-base I_{BCI} , les charges de désertion dans l'émetteur et dans le collecteur (Q_{JEI} et Q_{JCI}), les charges des porteurs minoritaires dans l'émetteur et dans le collecteur (Q_{DE} et Q_{DC}), le courant de transfert I_T et finalement le courant d'avalanche I_{AVL} . Ces paramètres sont modélisés au niveau physique dans le modèle HICUM pour permettre une meilleure description du transistor indépendamment du process. Ces quantités sont utilisées pour le calcul des caractéristiques statiques grâce à la relation généralisée ICCR « Integral Charge Control Relation» [Schroter, 93].

Le transistor externe est composé des résistances parasites séries R_E, R_{BX}, R_{CX} , des parties externes de la charge de désertion base-émetteur et des courants de base. La nature distribuée de la charge de désertion base-collecteur est modélisée par un réseau en π à l'aide des éléments $Q_{BCX1}, R_{BX}, Q_{BCX2}$. La charge de désertion collecteur-substrat Q_{JS} est utilisée pour définir le transistor PNP parasite avec son courant de transfert I_{TS} . Les effets de substrat sont modélisés via la résistance R_{SU} et la capacité C_{SU} . Le courant de base est totalement décorrélié du courant de transfert et partagé en une partie interne (I_{BEI} et I_{BCI}) et une partie externe (I_{JBEP} et I_{JBCX}) autour de la résistance de base interne R_{BI} . Cette résistance est fonction de la polarisation et de la fréquence afin de prendre en compte la modulation de la conductivité ainsi que la dé-focalisation du courant émetteur en statique et en dynamique [Perez, 07]. La modélisation et la caractérisation, jusqu'à 325 GHz, du transistor bipolaire de la technologie B55 sont détaillées dans [Deng, 14].

I.2.3 Les paramètres de performance des transistors MOS et Bipolaires

I.2.3.1 La fréquence de transition f_t et la fréquence maximale d'oscillation f_{max}

La fréquence de transition f_t et la fréquence d'oscillation maximum f_{max} sont deux paramètres permettant de caractériser les performances des transistors en hautes fréquences. La

performance intrinsèque d'un transistor est caractérisée par sa fréquence de transition f_t , correspondant à la fréquence de coupure pour laquelle le gain linéaire en courant h_{21} devient unitaire. Ce gain en courant s'exprimant en fonction des paramètres S est présenté par l'équation (Eq. I-1) [Gonzalez, 97] :

$$|h_{21}| = \left| -\frac{2S_{21}}{(1 - S_{11})(1 - S_{22}) + S_{12}S_{21}} \right| \quad \text{Eq. I-1}$$

La fréquence d'oscillation maximum f_{max} prenant en compte les éléments parasites extrinsèques représente la fréquence pour laquelle le gain unilatéral de Mason U [Mason, 54] devient unitaire.

Pour les transistors MOS, les expressions de ces fréquences couramment rencontrées dans la littérature [Boots, 04] [Voinigescu, 04] sont données par les équations (Eq. I-2) et (Eq. I-3) avec g_m la transconductance du transistor, g_{ds} la conductance dynamique de sortie et C_{gg} la capacité totale vue à la grille du transistor (i.e. somme de C_{gs} et C_{gd}).

$$f_T = \frac{g_m}{2\pi\sqrt{(C_{gg}^2 - C_{gd}^2)}} \quad \text{Eq. I-2} \quad f_{max} = \frac{f_T}{2\sqrt{(R_G + r_{nqs} + R_S)(g_{ds} + 2\pi f_T C_{gd})}} \quad \text{Eq. I-3}$$

Une forte valeur de f_t nécessite une transconductance g_m élevée et des capacités intrinsèques C_{gd} et C_{gg} réduites. La fréquence f_{max} dépend à la fois de f_t , mais aussi des résistances d'accès de la source R_S et de la grille R_G .

Les équations (Eq. I-4) (Eq. I-5) décrivent les fréquences f_t et f_{max} du transistor bipolaire en fonction de ses paramètres physiques et électriques [Iniewski, 08] :

$$f_T = \frac{1}{2\pi} \frac{1}{(R_e + \frac{1}{g_m})(C_{BE} + C_{BC}) + \frac{W_b^2}{2D_b} + \frac{W_c}{2V_s} + R_c C_{BC}} \quad \text{Eq. I-4} \quad f_{max} = \sqrt{\frac{f_T}{8\pi C_{BC} r_b}} \quad \text{Eq. I-5}$$

Avec g_m la transconductance, r_b et R_e sont la résistance de base et d'émetteur respectivement, C_{BE} et C_{BC} les capacités base-émetteur et base-collecteur respectivement, W_b et W_c sont la largeur verticale de la base et du collecteur respectivement, D_b la longueur de diffusion des électrons dans la base, V_s la vitesse de saturation des électrons.

La Figure I-5 met en évidence l'évolution de ces fréquences caractéristiques en fonction de différents nœuds technologiques et pour plusieurs fondeurs et instituts de recherche. Les triangles noirs représentent les couples f_t/f_{max} de chaque technologie. Le code couleur est utilisé pour identifier le fondeur. Les noms utilisés sur la figure sont les noms donnés par les fondeurs à leurs technologies. Cette étude inclut des technologies BiCMOS qui datent de 1993 (comme la technologie AMS S35D4) qui sont toujours largement utilisées, ainsi que des technologies très récentes (comme la technologie BiCMOS 55 nm de STMicroelectronics et la technologie SG13G2

de l'institut de recherche allemand IHP) qui représentent l'état de l'art des technologies SiGe BiCMOS. Nous avons également inclus les technologies CMOS les plus performantes actuellement disponibles. Bien que les technologies III-V aient des fréquences f_t et f_{max} nettement supérieures à celles des technologies silicium, nous n'avons pas inclus ces technologies dans notre étude bibliographique. Une étude détaillée comparant les technologies III-V avec les technologies SiGe est présentée dans [Deng, 14]. Les références bibliographiques pour les couples f_t / f_{max} reportés sur la Figure I-5 sont listées dans le Table I-1.

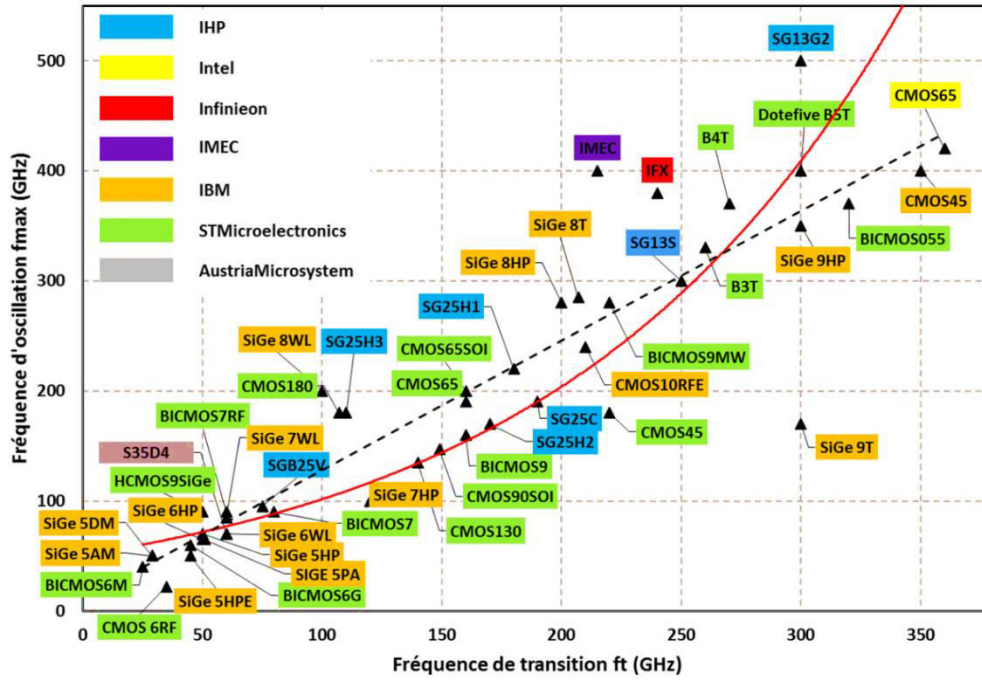


Figure I-5 Etat de l'art des performances fréquentielles, f_{max} en fonction de f_t , des transistors MOS et bipolaire en technologies silicium.

La technologie B55, utilisée dans cette thèse, présente des performances f_t / f_{max} très compétitives, offrant à ses utilisateurs la possibilité de développer des circuits très performants pour les applications millimétriques.

Table I-1 Références bibliographique des fréquences f_t et f_{max} pour les technologies silicium (SiGe BiCMOS et CMOS).

Fondeur	HBT SiGe	CMOS bulk et CMOS SOI
ST	[Chevalier, 12] [Chantre, 03] [Centurelli, 05]	[Martineau, 12][Tang, 12]
IHP	[IHP, 14]	--
IBM	[Armstrong, 07] [Singh, 03]	[Scholvin, 04]
AMS	[AMS, 14]	
Intel	--	[Post, 06] [Martineau, 12]
Infineon	[Chevalier, 12]	--
IMEC	[Huylensbroeck, 11]	--

En général, la réduction de la largeur d'émetteur W_e et de l'épaisseur de base neutre W_b , de transistors bipolaires, permet d'augmenter les fréquences f_t et f_{max} . La **Figure I-6** montre une évolution en $W_e^{-1.1}$ pour la fréquence de transition. Ces fréquences f_t et f_{max} augmentent aussi avec le dopage de la région collecteur réduisant la résistance R_c de la zone neutre de collecteur. Cependant la réduction de W_b et R_c s'accompagne d'une réduction de la tension d'avalanche du transistor. Ce scénario peut être observé **Figure I-8** pour les technologies SG25C et SG25H2 de IHP (en bleu).

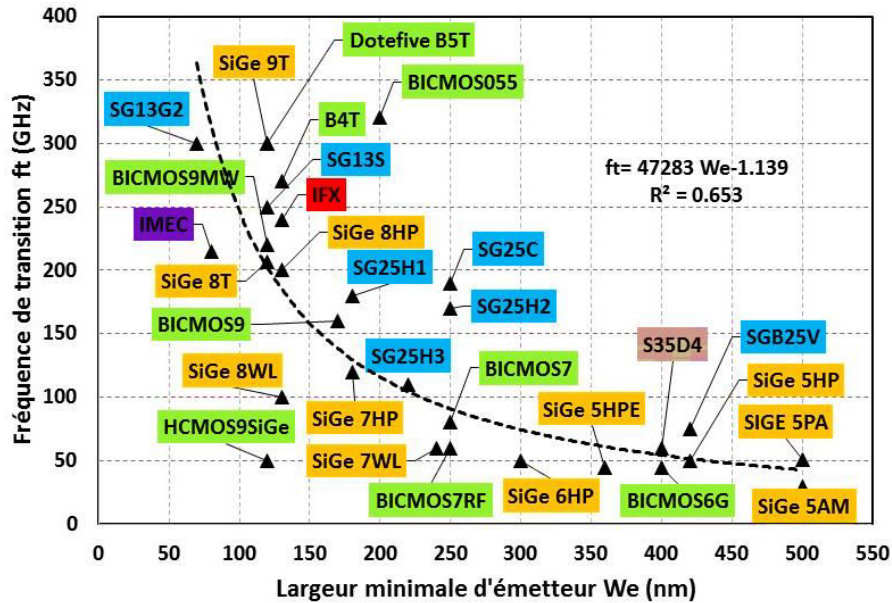


Figure I-6 Evolution de de la fréquence de transition en fonction de la largeur d'émetteur W_e

De même, l'amélioration de la fréquence f_t des transistors MOS est liée à la fois à la réduction des dimensions latérales du transistor (largeur de grille L_g , largeur de diffusion du drain et de la source), et à la réduction de l'épaisseur de l'oxyde de grille.

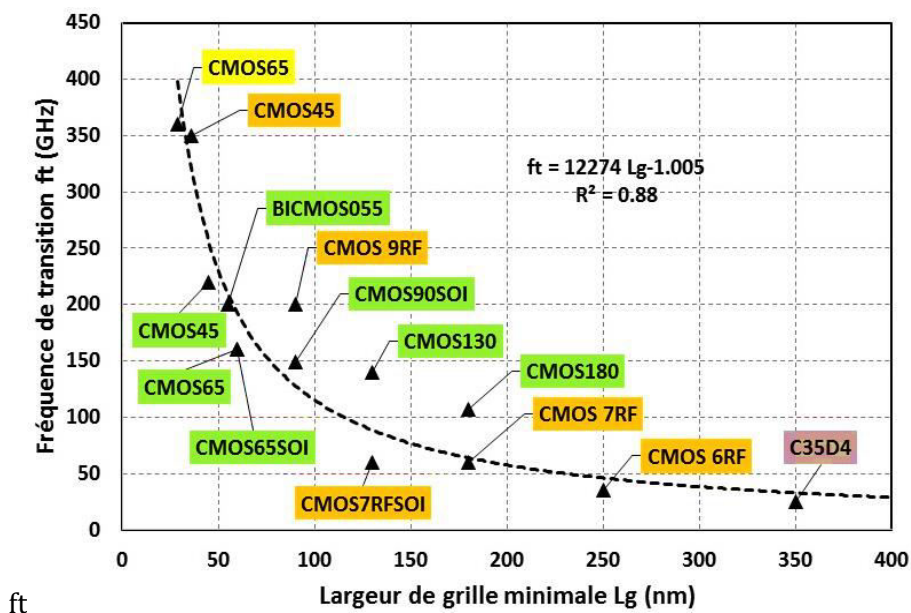


Figure I-7 Evolution de la fréquence de transition en fonction de la largeur de grille minimale L_g .

Une approche théorique, présentée dans [Tang, 12], permet de montrer que la fréquence de transition f_t évolue en $Lg^{-\alpha}$. Cette évolution est confirmée par la **Figure I-7** pour une valeur de $\alpha = 1$. Les données de la **Figure I-7** représentent les meilleures performances annoncées pour chaque technologie où le transistor est polarisé à une densité de courant optimale correspondant au maximum de f_t .

I.2.3.2 Tension maximale

Une relation fondamentale existe entre la fréquence de transition et la tension maximale qui peut être appliquée entre le collecteur et l'émetteur du transistor bipolaire. Cette relation (**Eq. I-6**), nommée limite de Johnson (Johnson limit) [Voldman, 01] [Prasad, 01], définit la tension d'avalanche entre le collecteur et l'émetteur VB_{VCEO} en fonction de la fréquence de transition f_t , de la vitesse de saturation v_s , du gain en courant β , et du champ électrique critique pour le phénomène d'avalanche E_{crit} .

$$VB_{VCEO} = \frac{E_{crit} v_s}{2\pi^m \sqrt{\beta} f_t} \quad \text{Eq. I-6}$$

La **Figure I-8** montre cette évolution $VB_{VCEO} f_t$, relative à celle des technologies SiGe. Les points rouges sur **Figure I-8** représentent l'équation **Eq. I-6** où les paramètres E_{crit} , v_s , β , et m sont fixes ($E_{crit} = 5 \times 10^5 V cm^{-1}$, $V_s = 2 \times 10^7 cm s^{-1}$, $\beta = 250$, $m = 4$) pour toutes les technologies.

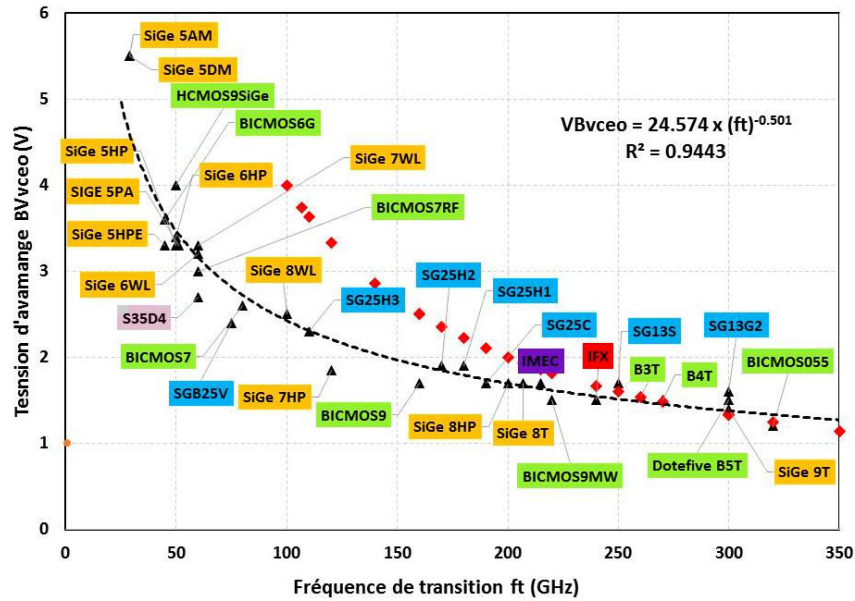


Figure I-8 Tension d'avalanche en fonction de la fréquence de transition des transistors bipolaires en technologies SiGe avancées.

Cette étude montre que l'augmentation de la fréquence de transition, associée à la réduction de la taille du transistor, impose un vrai défi au niveau de la tension VB_{VCEO} . On peut remarquer que pour des fréquences de transition faibles, les technologies ont toujours fonctionné largement en dessous de la limite de Johnson. Cela n'est plus valable pour les technologies millimétriques

qui ont une fréquence de transition supérieure à 250 GHz. Cette diminution de $VB_{V_{CEO}}$ est accompagnée d'une réduction de la tension d'alimentation V_{dd} qui ne doit pas dépasser $VB_{V_{CEO}}$ pour garantir la fiabilité du transistor.

En ce qui concerne les transistors MOS la tension maximale de drain relative à la tension d'alimentation V_{dd} diminue avec la longueur de grille L_g pour satisfaire à des critères de fiabilité des transistors à l'échelle submicronique (**Figure I-9**). En effet, le phénomène de claquage de l'oxyde de grille des transistors peut se produire lorsque de fortes tensions sont appliquées sur la grille et sur le drain [Tang, 12]. En outre, les forts champs électriques entre le drain et la source du transistor sont également à l'origine du vieillissement prématuré des transistors par l'injection de porteurs chauds dans la grille [Quemerais, 10]. Pour la technologie BiCMOS 55 nm considérée dans ces travaux, la tension d'alimentation est limitée à 1,2 V pour les transistors MOS et bipolaire.

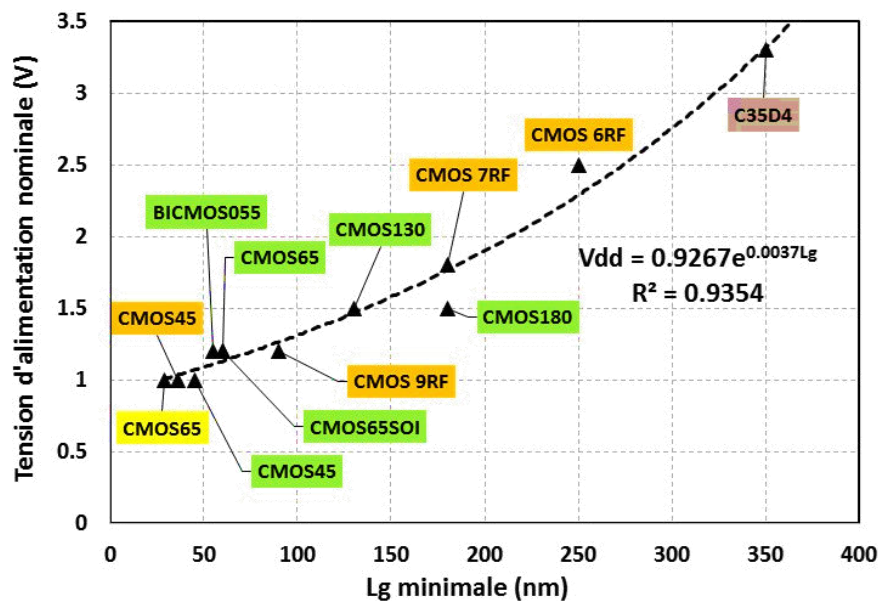


Figure I-9 Évolution de la tension d'alimentation V_{dd} nominale en fonction de la largeur de grille minimale L_g pour les technologies CMOS RF.

I.2.3.3 Le gain maximum disponible

Le gain maximum disponible MAG (Maximum Available Gain) d'un transistor rend compte de sa capacité à amplifier la puissance d'un signal. Ce gain est obtenu lorsque l'amplificateur est simultanément adapté en entrée et en sortie [Tang, 12].

La **Figure I-10** montre l'évolution du MAG à une fréquence de 120 GHz en fonction de la densité de courant [Chevalier, 12] pour plusieurs générations de transistors bipolaires développées à STMicroelectronics. Nous avons complété ces résultats par des données de simulations pour la technologie B55. Contrairement au cas du transistor MOS, nous pouvons constater que la valeur maximale du MAG est obtenue pour des densités de courant différentes selon la technologie. Nous remarquons que la valeur maximale du MAG augmente avec l'avancée des technologies. Cette

augmentation est directement corrélée avec l'augmentation de f_{max} (Figure I-10). Une caractéristique similaire est observée pour les transistors MOS submicroniques comme [Woerlee, 01].

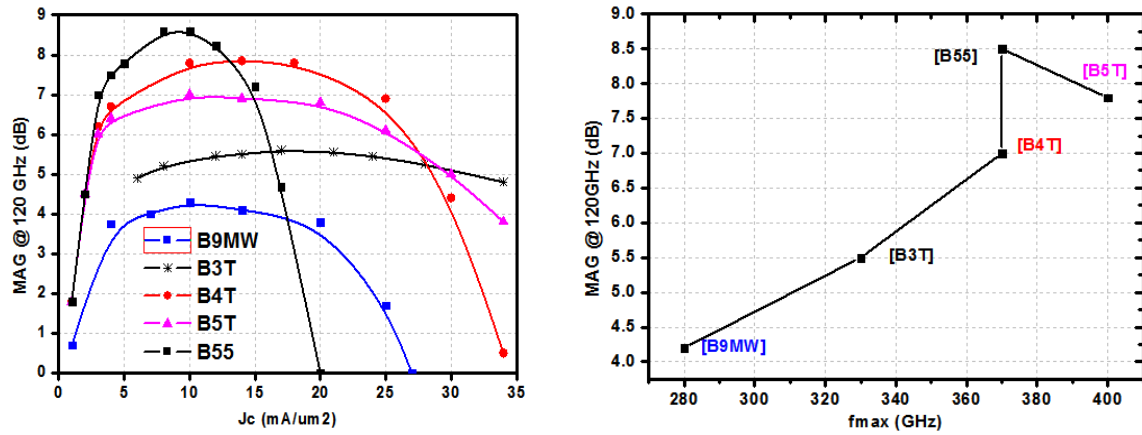


Figure I-10 Gain MAG en fonction de la densité du courant pour différentes technologies (gauche) : données issues de [Chevalier, 12] à 120 GHz et simulation en technologie B55 ($L_e = 4.5 \mu m$, $V_{ce} = 1.2V$), (droite) : évolution du gain MAG à 120 GHz en fonction de f_{max} .

Une fois les principales caractéristiques des structures actives disponibles en BiCMOS 55nm (transistors bipolaires et MOS) parcourues, nous allons nous intéresser aux structures passives. En effet, le développement d'une technologie performante, pour les applications très hautes fréquences, ne peut pas être assuré uniquement par l'optimisation des composants actifs de la technologie. Il doit être accompagné par le développement de composants passifs réalisés dans les couches métalliques qui forment le Back End Of Line (BEOL) de la technologie.

I.3 Le Back End of Line (BEOL) de la technologie BiCMOS 55 nm

Le BEOL de la technologie B55 est dédié à des applications millimétriques. Un BEOL est adapté au millimétrique quand il présente le minimum de perte pour les lignes de transmission d'impédance caractéristique 50Ω [Chevalier, 07].

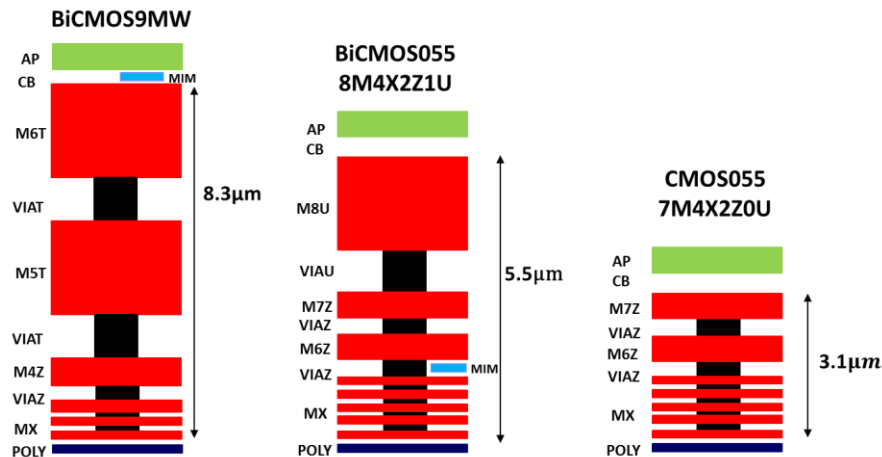


Figure I-11 Construction de BEOL de la technologie BiCMOS9MW, BiCMOS 55 nm, et CMOS 55 nm.

Comme illustré sur la **Figure I-11**, les couches en cuivre de M_1 à M_7 et leurs vias intermédiaires sont les mêmes que celles de la technologie CMOS 55 nm, tandis que la couche M_{8U} et son via ($ViaU$) sont l'équivalent, en terme d'épaisseur, de la couche M_{iT} et son $ViaT$ de la technologie BICMOS9MW. La distance entre la couche du métal épais M_{8u} et la couche M_1 est de 5.5 μm . La couche d'aluminium Alucap est la même dans les trois technologies.

Les couches métalliques épaisses (M_6 , M_7 , M_8) ont pour but de réduire les pertes résistives dans les interconnexions et donc de permettre la réalisation des structures passives à faible perte. En revanche, les dimensions des niveaux de métallisation inférieurs (du niveau M_1 à niveau M_5) sont réduites en termes d'épaisseur. Cette diminution de l'épaisseur des métaux entraîne également une réduction de l'épaisseur des couches diélectriques. Ceci a pour conséquence de rapprocher les niveaux de métal épais du substrat à faible résistivité. La faible résistivité du substrat en silicium massif (utilisé pour réduire l'effet « latch-up » dans les transistors MOS) induit des pertes résistives non négligeables dans les structures passives réalisées avec les couches supérieures. En revanche, cette configuration permet de réaliser des capacités inter-digitées à forte densité d'intégration et un facteur de qualité acceptable (voir paragraphe **II.4** sur les capacités).

Des contraintes technologiques de plus en plus sévères sont également à prendre en considération. Notamment, des règles de densité des niveaux de métallisation du BEOL doivent être respectées pour assurer une planéité sur toute la tranche du wafer lors des opérations de polissage mécanique CMP (Chemical Mechanical Planarization). En outre, les largeurs maximales des métallisations sont de plus en plus faibles. De même, les règles d'électro-migration à une température donnée sont de plus en plus sévères dans le cadre de la réduction de la largeur des niveaux métalliques [Quemerais, 10]. Le phénomène d'électro-migration, se traduisant par une déformation dans le temps d'un conducteur métallique lorsqu'une forte densité de courant traverse ce-dernier. Ce phénomène est autant plus marqué que la température est élevée. Par conséquent, avec l'avancée des technologies, l'impact de ce phénomène doit être pris en compte dès le début du design des transistors. Nous reviendrons par la suite sur la mise en pratique de cette contrainte lors de la conception des circuits actifs et passifs.

I.4 Structures passives intégrées en technologie BiCMOS 55 nm

I.4.1 Les lignes de propagation

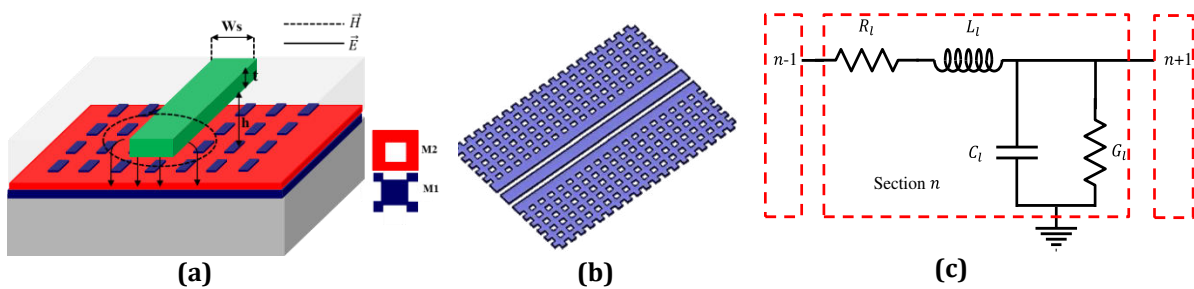
Les lignes de propagation sont des éléments essentiels pour la conception de circuits passifs radiofréquences classiques tels que les réseaux d'adaptation d'impédance, les diviseurs de puissance, les coupleurs, les filtres et les déphaseurs. En technologie intégrée, trois topologies de lignes de propagation sont souvent utilisées : (1) les lignes microruban, (2) les lignes coplanaires

(CPW), et (3) les lignes à ondes lentes (S-CPW pour Slow-wave CPW). Chacune de ces lignes a ses avantages et ses inconvénients vis-à-vis de l'application [Tang, 12] [France, 11]. Pour les besoins des circuits intégrés réalisés au cours de mes travaux de thèse, j'ai eu recours à l'utilisation des lignes de propagations TFMS (pour Thin Film Micro-Strip) aussi bien que des lignes S-CPW. Les lignes coplanaires n'ont pas été utilisées lors de ce travail.

Dans ce chapitre, le principe de fonctionnement des lignes de propagation TFMS et S-CPW est tout d'abord introduit. Les paramètres d'optimisation de chaque structure sont présentés ainsi que les différentes contraintes technologiques rencontrées lors de la conception des circuits passifs dans les technologies intégrées. Nous présentons également les résultats des mesures des différentes lignes réalisées en technologie BiCMOS 55 nm.

I.4.1.1 Les lignes microruban ou TFMS

La ligne microruban est une topologie simple composée d'un plan signal et d'un plan de masse séparés par une couche isolante (SiO_2 en technologie silicium) (**Figure I-12 (a)**). Dans ce type de ligne, seul le mode quasi-TEM est présent. Cela est dû au fait que les composantes longitudinales du champ sont faibles par rapport aux composantes transversales [Pozar, 11]. La première mise en œuvre de cette topologie date du début des années 1950 [Grieg, 52]. Les degrés de liberté permettant d'ajuster l'impédance caractéristique sont la largeur du conducteur central W_s et l'épaisseur du diélectrique h . En technologie intégrée standard, l'impédance caractéristique maximale peut être réalisée en utilisant la couche la plus haute (MTOP) avec la largeur la plus faible autorisée par les règles de dessin. D'autre part, l'impédance caractéristique minimale peut être réalisée en utilisant pour la ligne centrale l'empilement des couches de MTOP à M2 avec la largeur la plus grande autorisée. Dans ce cas, le plan de masse est fait par la couche M1.



L'utilisation d'un plan de signal épais et large diminue énormément les pertes conductrices. Par contre, la proximité entre le plan du signal et le substrat augmente les pertes par couplage avec le substrat à travers les trous qui sont faits dans le plan de masse afin de respecter les règles de densité maximale du métal. Pour réduire la pénétration du champ électrique dans le substrat, deux solutions sont utilisées : la première consiste à superposer les couches M1 et M2 **Figure I-12**

(a). Cette solution réduit légèrement l'impédance caractéristique maximale. La seconde consiste à utiliser seulement la couche *M1* tout en évitant les trous en dessous du plan de signal. Les règles de densité sont respectées en réalisant les trous en dehors la zone de fort champ, **Figure I-12 (b)**.

Le comportement des lignes TFMS est généralement décrit par le modèle des télégraphistes illustré sur la **Figure I-12 (c)**, où R_l , L_l , C_l et G_l sont respectivement la résistance linéique en Ω/m , l'inductance linéique en H/m , la capacité linéique en F/m et la conductance linéique en S/m . L'impédance caractéristique Z_c et l'exposant de propagation γ peuvent alors s'exprimer à l'aide de ces paramètres distribués. Nous obtenons les relations définies par les **(Eq. I-7)** et **(Eq. I-8)**.

$$Z_c = \sqrt{\frac{R_l + jL_l \omega}{G_l + jC_l \omega}} \approx \sqrt{\frac{L_l}{C_l}} \quad \text{Eq. I-7}$$

$$\gamma = \sqrt{(R_l + jL_l \omega)(G_l + jC_l \omega)} = \alpha + j\beta \quad \text{Eq. I-8}$$

Pour les lignes de propagation à faibles pertes, les composants R_l et G_l peuvent être négligés dans la formule de Z_c . L'augmentation de l'impédance Z_c nécessite la réduction de la capacité linéique C_l et/ou l'augmentation de L_l (utiliser un plan signal étroit et loin de la masse). Concernant l'exposant de propagation, il est composé d'une partie réelle (constante d'atténuation α en Np/m) et d'une partie imaginaire (constante de phase β en rad/m). Dans le cas des lignes à faibles pertes, α et β peuvent être simplifiés et extraits du développement au premier ordre de l'exposant de propagation (voir **Eq. I-9** et **Eq. I-10**), avec ω la pulsation en rad/s , v_ϕ la vitesse de phase en m/s et C_0 la vitesse dans le vide qui vaut 3×10^8 m/s .

$$\alpha = \frac{1}{2} \left(\frac{R_l}{Z_c} + G_l Z_c \right) \quad \text{Eq. I-9}$$

$$\beta = \frac{\omega}{v_\phi} = \frac{\omega \sqrt{\epsilon_{reff}}}{c_0} = \omega \sqrt{L_l C_l} \quad \text{Eq. I-10}$$

Le facteur de qualité, défini par **(Eq. I-11)** [Hsu, 63], traduit une image du déphasage par unité de pertes. D'après [Golde, 63], cette définition est valable pour des facteurs de qualité suffisamment élevés, supérieurs à 5, ce qui est le cas des lignes de propagation utilisées. C'est donc cette définition que nous utiliserons tout au long de ce manuscrit.

$$Q = \frac{\beta}{2\alpha} \quad \text{Eq. I-11}$$

Ce facteur de qualité sera dans la suite utilisé pour l'évaluation de différentes lignes fabriquées. Les lignes seront également comparées avec des lignes à ondes lentes de même impédance caractéristique. Un modèle électrique basé sur la physique des lignes en microruban intégrées est proposé par [Quemerais, 10-2].

I.4.1.2 Les lignes à ondes lentes S-CPW

D'après l'équation (Eq. I-11), l'amélioration du facteur de qualité peut se faire par la diminution des pertes linéiques et/ou par l'augmentation de la constante de phase, et donc la constante diélectrique. [Tang, 12] a démontré que le ralentissement de l'onde, obtenu en chargeant périodiquement une ligne de type CPW par des barreaux flottants, permet d'augmenter la constante de phase alors que la constante d'atténuation reste comparable à celle d'une ligne de propagation classique. Cette solution a pour conséquence d'améliorer le facteur de qualité sans avoir besoin de modifier les processus de fabrication.

La ligne de propagation à ondes lentes S-CPW est composée d'une ligne CPW classique avec des barreaux métalliques flottants disposés perpendiculairement au sens de propagation et situés à une distance h au-dessous de la ligne CPW, comme présenté sur la **Figure I-13**. Cette topologie de guide concentre les lignes de champ électrique entre les rubans CPW supérieurs et le réseau de barreaux métalliques à potentiel flottant, comme le montre la **Figure I-13**.

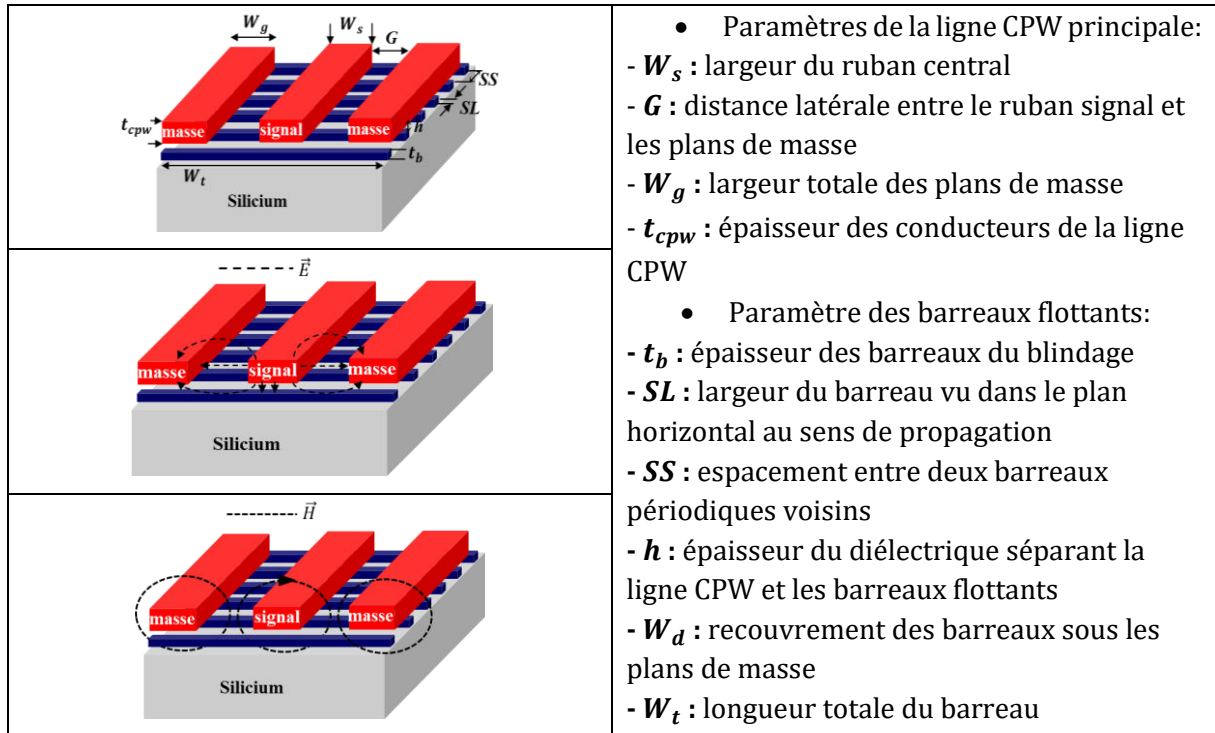


Figure I-13 Principe d'une ligne S-CPW avec ses paramètres géométriques ainsi que la distribution des champs électrique \vec{E} et magnétique \vec{H} .

En effet, si l'espacement SS entre les barreaux (SS) reste inférieur ou de l'ordre de la hauteur h , ces derniers forment un écran qui empêche la pénétration du champ électrique dans le substrat. De cette manière, une augmentation de la capacité linéique C_l due à l'effet capacitif ajouté entre la ligne CPW et les barreaux flottants est obtenue. Cependant, l'espacement SS laisse passer le champ magnétique vers le substrat (**Figure I-13**), permettant de conserver la valeur de l'inductance

linéique L_l d'une ligne CPW classique. Une étude détaillée sur l'influence de ces paramètres géométriques sur les performances électriques des lignes S-CPW est présentée dans [Franc, 11].

Dans ce contexte, la vitesse de phase v_φ donnée par l'équation (Eq. I-12) est alors réduite pour la ligne S-CPW par rapport à la ligne CPW classique, d'où le nom de ligne à ondes lentes. Ainsi, une forte permittivité relative effective ϵ_{reff} de la ligne est obtenue (voir Eq. I-13) conduisant à un facteur de qualité Q élevé puisque ce dernier est proportionnel à la racine carrée de la permittivité ϵ_{reff} (cf. équation Eq. I-10 et Eq. I-11).

$$v_\varphi = \frac{1}{\sqrt{L_l C_l}} \quad \text{Eq. I-12}$$

$$\epsilon_{reff} = c_0 (L_l C_l)^2 \quad \text{Eq. I-13}$$

En pratique, la configuration des lignes à ondes lentes permet d'obtenir des facteurs de qualité Q deux à trois fois supérieurs à ceux de lignes de propagation classiques dans la même technologie, comme démontré par [Darine, 09]. De plus, l'augmentation de ϵ_{reff} qui implique une augmentation de la constante de propagation β (Eq. I-10), entraîne aussi une diminution des longueurs physiques des lignes l pour une longueur électrique θ désirée (Eq. I-14).

$$\theta = \beta l \quad \text{Eq. I-14}$$

Un modèle analytique, développé dans notre laboratoire (basé sur les travaux présentés dans [Tang, 12] [Franc, 11]), est utilisé pour l'optimisation des lignes S-CPW.

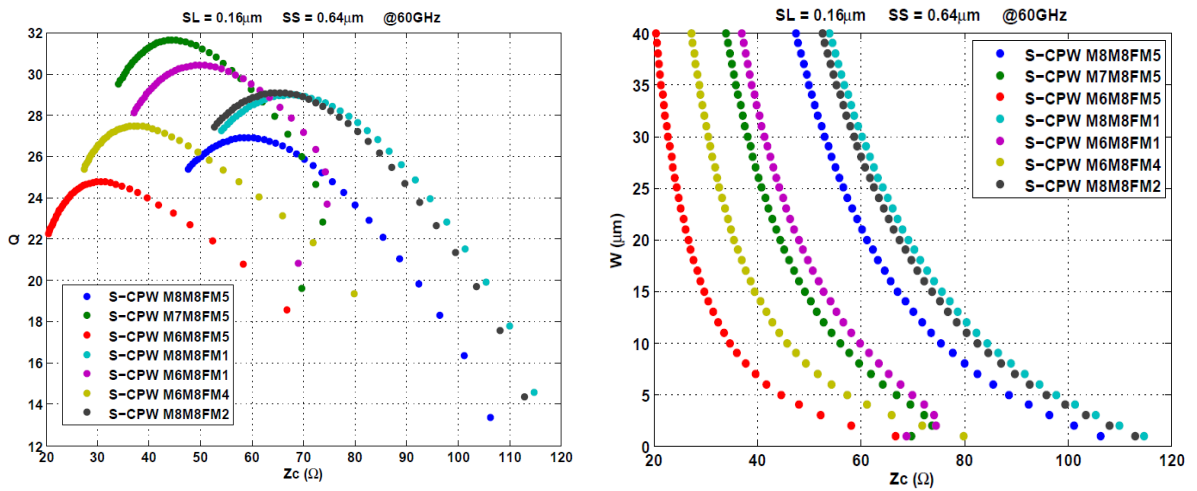


Figure I-14 Abaques utilisées pour la conception des lignes S-CPW : facteur de qualité et largeur du ruban en fonction de l'impédance caractéristique (pour différents empilements) (à 60 GHz et avec $G=25 \mu\text{m}$, $W_g = 12 \mu\text{m}$, $SL = 0,16 \mu\text{m}$ et $SS = 0,64 \mu\text{m}$).

La Figure I-14 montre les abaques, extraits à partir du modèle à 60 GHz, du facteur de qualité et de la largeur du ruban signal en fonction de l'impédance caractéristique des lignes S-CPW réalisées avec différents empilements et différentes positions des doigts. La largeur des doigts $SL= 0,16 \mu\text{m}$ et l'espacement entre deux doigts $SS = 0,64 \mu\text{m}$ sont communs pour toutes les lignes.

L'annotation $M_i M_j F M_k$ signifie que le ruban signal est fait par l'empilement des métaux M_i à M_j et que les doigts sont réalisés par le métal M_k . Pour que les lignes soient technologiquement réalisables, la largeur du ruban signal varie entre 5 μm et 40 μm . Les largeurs G et W_g sont fixées à respectivement 35 μm et 12 μm afin de limiter l'encombrement latéral de la ligne. Une large gamme d'impédances caractéristiques peut être obtenue avec ces lignes, entre 20 Ω et 115 Ω , ainsi que des facteurs de qualité de l'ordre de 30 pour une impédance caractéristique proche de 50 Ω . Le facteur de qualité diminue lorsque l'impédance caractéristique s'éloigne de 50 Ω , quel que soit l'empilement utilisé. L'impédance caractéristique minimale est obtenue avec la ligne M8M6FM5, où les doigts sont très proches du ruban signal, pour une largeur de 40 μm . Pour cette ligne, la permittivité relative effective est d'environ 45 et la constante d'atténuation est de l'ordre de 1,7 dB/mm.

En outre, l'impédance Z_c maximale ($Z_c = 115 \Omega$) est obtenue avec la ligne M8M8FM1 où les doigts sont les plus éloignés du ruban signal de largeur de 5 μm . Pour cette ligne, la permittivité relative effective est d'environ 8 et la constante d'atténuation est de l'ordre de 1,1 dB/mm (**Figure I-15**). Cette ligne conduit à un confinement du champ électrique moins important, ce qui dégrade le facteur de qualité (**Figure I-14**). La perte peut être calculée pour chacune des lignes en utilisant l'équation (**Eq. I-11**) avec les données extraites à partir de l'abaque de la **Figure I-15**.

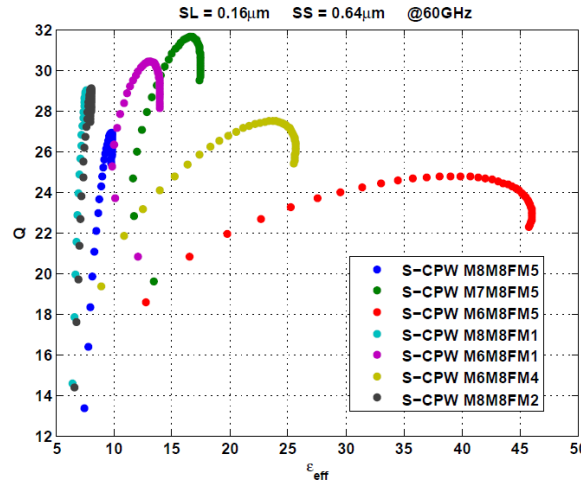


Figure I-15 Evolution des paramètres caractéristiques Q et ϵ_{eff} à 60 GHz en fonction des largeurs du ruban de signal de plusieurs lignes S-CPW ($SL= 0,16 \mu\text{m}$, $SS = 0,64 \mu\text{m}$).

La **Figure I-16** présente une comparaison en fonction de la fréquence des performances mesurées de deux couples de lignes TFMS et S-CPW conçues en technologie BiCMOS 55 nm, ayant des impédances caractéristiques comparables (respectivement autour de 25 Ω et 80 Ω). Les lignes mesurées sont épluchées (de-embedded) en utilisant la méthode des deux lignes développée dans l'article [Mangan, 06]. Cette étape d'élimination des effets parasites nous permet de remonter aux caractéristiques propres du dispositif sous test (sans les plots de mesure et les lignes d'accès).

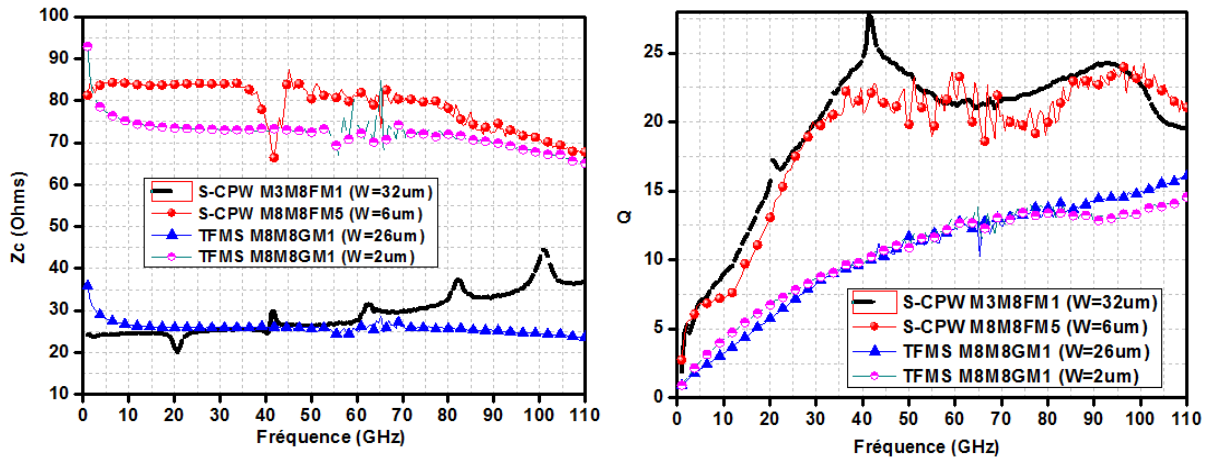


Figure I-16 Comparaison entre les performances mesurées des lignes TFMS et S-CPW en technologie B55.

L'impédance caractéristique minimale obtenue avec les lignes S-CPW M8M8GM1 et TFMS M8M8FM1 est proche de 25 Ω . Pour la ligne microruban, la permittivité relative effective est d'environ 5 et la constante d'atténuation à 60 GHz est de l'ordre de 1 dB/mm, conduisant à un facteur de qualité modéré de 12. En ce qui concerne la ligne à ondes lentes S-CPW M8M8FM5, malgré des pertes linéiques légèrement plus importantes (1,35 dB/mm à 60 GHz), le facteur de qualité s'améliore tout de même d'un facteur proche de deux ($Q = 22$ à 60 GHz), ce qui est dû à la permittivité relative effective très élevée de cette ligne ($\epsilon_{reff} = 32$). En outre, l'impédance caractéristique maximale obtenue avec la ligne S-CPW M8M8FM5 est proche de 83 Ω , contre 72 Ω avec la ligne TFMS M8M8GM1, toujours avec un facteur de qualité deux fois plus élevé pour la version S-CPW. La comparaison des résultats de mesure nous permet de valider quantitativement l'intérêt des lignes S-CPW pour la réduction de la longueur physique de la ligne, liée à l'augmentation de la permittivité, ainsi que pour l'amélioration de son facteur de qualité. Ce résultat valide également la méthode de modélisation des lignes S-CPW. Des détails sur le modèle des lignes S-CPW sont donnés dans [Franc, 11] [Tang, 12] [Bautista, 15].

I.4.2 Les lignes couplées

Les lignes couplées consistent en deux rubans conducteurs mis l'un à côté de l'autre à une distance suffisamment proche pour avoir un couplage entre les deux. Elles sont utilisées dans de nombreuses applications pour réaliser des coupleurs directionnels, des filtres, ainsi que des baluns. En technologie intégrée, ces lignes sont souvent réalisées par : soit des lignes ECL (Edge Coupled Line), soit des lignes BCL (Broadside Coupled Line). L'approche BCL nécessite néanmoins de disposer d'une technologie multicouche dédiée [Vu, 10]. Les structures les plus courantes de lignes couplées, les lignes couplées microruban ou coplanaire (**Figure I-17**), souffrent de niveaux de couplage faibles car la valeur de la capacité mutuelle est limitée technologiquement par la largeur et l'espacement minimums des rubans qui les constituent. De même, la diminution de la capacité entre les deux conducteurs et le plan de masse est limitée par la largeur minimale

technologiquement réalisable pour les rubans. En outre, les cartes de champ des modes de propagations des lignes sont différentes, une partie de l'énergie se propage dans l'air et l'autre dans le silicium, ce qui entraîne des vitesses de phase différentes et dégrade les performances des lignes couplées lorsqu'il s'agit de réaliser des coupleurs à forte directivité.

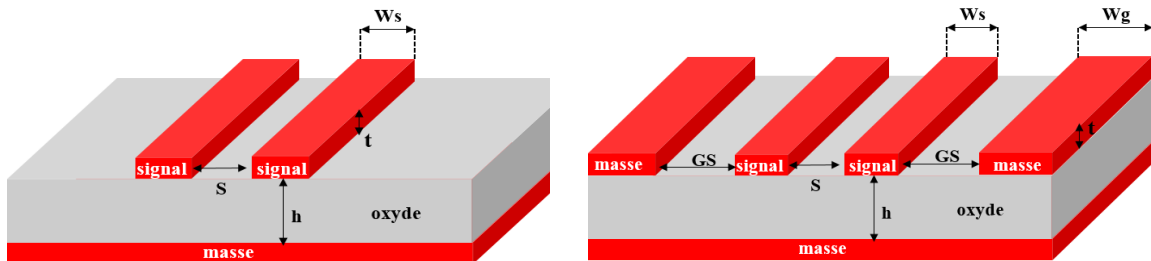


Figure I-17 Structures des lignes couplées : (gauche) microruban, (droite) coplanaire (CPW).

Ces problèmes constituent les défis de la conception des baluns intégrés (sujet du **chapitre V**). D'une part, le faible couplage et le faible rapport entre l'impédance du mode pair et l'impédance du mode impair limitent le rapport de transformation d'impédance réalisable pour le balun. D'autre part, la maîtrise du contrôle des vitesses de phase des modes pair et impair est nécessaire pour la réduction du déséquilibre de phase et d'amplitude en sortie du balun ainsi que pour l'optimisation de la bande passante. Nous allons dans ce chapitre décrire le principe des lignes couplées et expliquer leur fonctionnement ainsi que les différentes solutions disponibles en technologie intégrée BiCMOS 55 nm.

I.4.2.1 Modes de propagation

Deux lignes soumises à une influence électromagnétique mutuelle sont susceptibles de propager deux modes fondamentaux caractérisés chacun par une impédance caractéristique et une constante de propagation. Dans le cas d'une structure symétrique par rapport à l'axe de propagation, les modes sont nommés « mode pair » et « mode impair ». Nous introduisons dans cette partie le principe d'analyse de ces deux modes.

Analyse des modes pairs : pour analyser les modes pairs, les deux branches de la ligne couplée doivent être excitées par le même signal, même amplitude et même polarité (**Figure I-18**). Dans cette configuration, un circuit ouvert est virtuellement créé entre les deux branches, soit un mur magnétique créé au niveau de l'axe de symétrie. Dans ce cas, aucun champ électrique ne s'établit horizontalement entre les deux lignes couplées. Le plan de symétrie, au milieu entre les deux lignes, représente un plan H parfait (le champ magnétique vertical est nul). Le couplage entre les deux lignes se fait par couplage inductif. Ce phénomène empêche la constitution d'une capacité entre les deux lignes et donc augmente l'impédance du mode pair puisque seules les capacités verticales entre les lignes et la masse sont présentes.

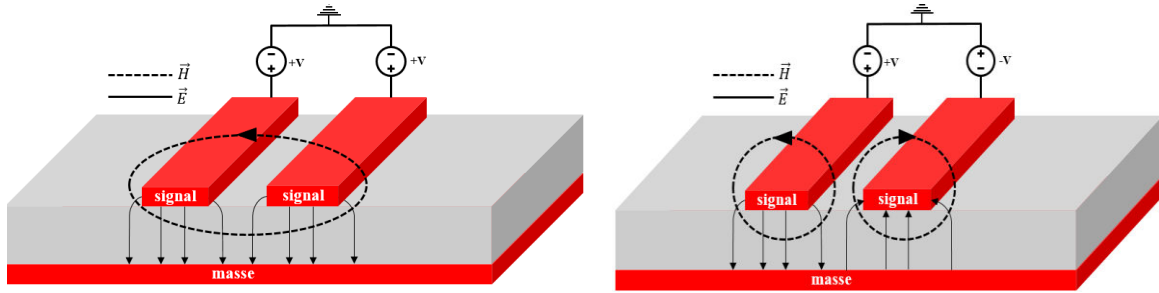


Figure I-18 Distribution du champ électromagnétique dans la ligne couplée microruban: (gauche) pour une excitation en mode pair, (droite) pour une excitation en mode impair.

Analyse des modes impairs : pour analyser les modes impairs, les deux branches de la ligne couplée doivent être excitées par deux signaux de même amplitude et de polarités opposées (**Figure I-18**). La ligne est alors excitée par un signal différentiel. Dans cette configuration, un court-circuit virtuel est créé entre les deux lignes couplées. Le plan de symétrie représente un plan de masse flottant, on parle alors de mur électrique. La présence du champ électrique entre les lignes couplées implique une capacité entre les deux lignes. Cette capacité réduit l'impédance caractéristique de la ligne couplée et elle est responsable du couplage entre les deux rubans. Dans ce cas, le couplage entre les deux rubans se fait par couplage magnétique et électrique. Dans les paragraphes suivants, les deux modes pairs et impairs sont présentés en utilisant une approche « circuit ».

I.4.2.2 Les lignes couplées en technologie microruban

Une ligne couplée en technologie microruban consiste en deux lignes microruban classiques mises l'une à côté de l'autre à une distance suffisamment proche pour avoir un couplage entre les deux. La modélisation de cette ligne peut être faite en ajoutant une inductance et une capacité mutuelles au model RLGC comme nous montre la **Figure I-19**.

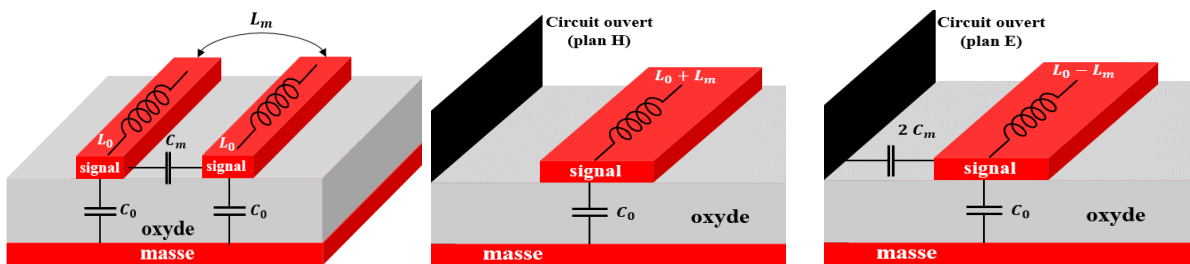


Figure I-19 (gauche) Circuit équivalent de la ligne couplée en microruban, (milieu) circuit équivalent pour le mode pair, (droite) circuit équivalent pour le mode impair.

Les paramètres L_0 et C_0 correspondent à l'inductance linéique propre et la capacité linéique propre des lignes microruban qui constituent la ligne couplée. Les paramètres L_m et C_m correspondent à l'inductance linéique mutuelle et la capacité linéique mutuelle qui modélisent le couplage magnétique et capacitif entre les lignes microruban couplées. Pour simplifier le modèle électrique de la ligne, les pertes résistives séries et les pertes par couplage dans le substrat sont négligées. Ceci ne modifie pas les couplages dans un contexte « faibles pertes ». Deux facteurs sont

utilisés pour évaluer le couplage dans une ligne couplée. Le premier est nommé k_L , il est utilisé pour modéliser le couplage inductif :

$$k_L = \frac{L^e - L^o}{L^e + L^o} \quad \text{Eq. I-15}$$

Le second est nommé k_C , il est utilisé pour modéliser le couplage capacitif :

$$k_C = \frac{C^e - C^o}{C^e + C^o} \quad \text{Eq. I-16}$$

Les paramètres L^e, C^e, L^o et C^o sont l'inductance linéique et la capacité linéique associées respectivement aux modes pair et impair. (Indice e pour even : pair, indice o pour odd : impair).

Pour un mode pair, le même signal est appliqué sur les deux rubans du coupleur, et seul le couplage inductif existe. L'inductance L^e correspond donc à la somme de l'inductance propre L_0 et de l'inductance mutuelle L_m . La capacité C^e pour ce mode correspond donc à la capacité propre de la ligne microruban qui constitue la ligne :

$$C^e = C_0 \quad \text{Eq. I-17}$$

$$L^e = L_0 + L_m \quad \text{Eq. I-18}$$

Pour un mode impair, un signal différentiel est appliqué entre les deux rubans du coupleur, les deux types du couplage (inductif et capacitif) existent. L'inductance et la capacité totales pour ce mode sont données par :

$$C^o = C_0 + 2 C_m \quad \text{Eq. I-19}$$

$$L^o = L_0 - L_m \quad \text{Eq. I-20}$$

Les coefficients de couplage sont alors donnés par :

$$k_L = \frac{L^e - L^o}{L^e + L^o} = \frac{L_m}{L_0} \quad \text{Eq. I-21}$$

$$k_C = \frac{C^e - C^o}{C^e + C^o} = \frac{-C_m}{C_m + C_0} \quad \text{Eq. I-22}$$

Les vitesses de phase et les impédances caractéristiques des modes pair et impair, nommées respectivement v_ϕ^e, v_ϕ^o, Z_e , et Z_o , sont données par :

$$v_\phi^e = \frac{1}{\sqrt{L^e C^e}} \quad \text{et} \quad Z_e = \sqrt{\frac{L^e}{C^e}} \quad \text{Eq. I-23}$$

$$v_\phi^o = \frac{1}{\sqrt{L^o C^o}} \quad \text{et} \quad Z_o = \sqrt{\frac{L^o}{C^o}} \quad \text{Eq. I-24}$$

Ces paramètres électriques dépendent des dimensions physiques de la ligne, i.e. la distance S entre les rubans couplés, la distance h entre les rubans et le plan de masse, ainsi que la largeur W de chacun des rubans. Des études détaillées sur l'influence de chacun de ces paramètres physiques sur les performances du coupleur sont présentées dans [Butterworth, 03] et [Pozar, 11]. Ces deux vitesses doivent être égales pour pouvoir réaliser des lignes quart d'onde couplées utilisées dans le marchand balun, afin d'obtenir une directivité maximale. Dans ce cas, lorsque $v_\phi = v_\phi^e = v_\phi^o$, nous aurons $L^e/L^o = C^o/C^e$, et donc $k_L = -k_C$. Cependant, dans un milieu non-homogène, comme pour une ligne couplée en technologie microruban, les coefficients de couplages k_L et k_C ainsi que les vitesses de phase des modes pair et impair sont différents.

Dans les paragraphes suivants, nous allons introduire la notion des lignes couplées à ondes lente. Nous allons aussi expliquer comment ces lignes contribuent à la résolution du problème de différence de vitesse de phase d'une manière systématique et à l'amélioration des performances des lignes couplées intégrées afin d'obtenir des coupleurs à forte directivité.

I.4.2.3 Les lignes couplées à ondes lentes

L'utilisation des lignes S-CPW pour réaliser des coupleurs a été explorée par [Lugo, 14]. La ligne est composée d'une ligne couplée CPW classique avec des barreaux métalliques flottants disposés perpendiculairement au sens de propagation et situés à une distance h au-dessous des rubans couplés. La distribution du champ électromagnétique dans la ligne CS-CPW (pour « Coupled » S-CPW) est illustrée sur la **Figure I-20**. L'insertion des barreaux métalliques permet à la fois de réduire la longueur physique de la ligne (grâce au confinement du champ électrique) et de réaliser des lignes avec un facteur de qualité élevé, mais également d'ajouter de nouveaux degrés de liberté pour l'optimisation des lignes couplées.

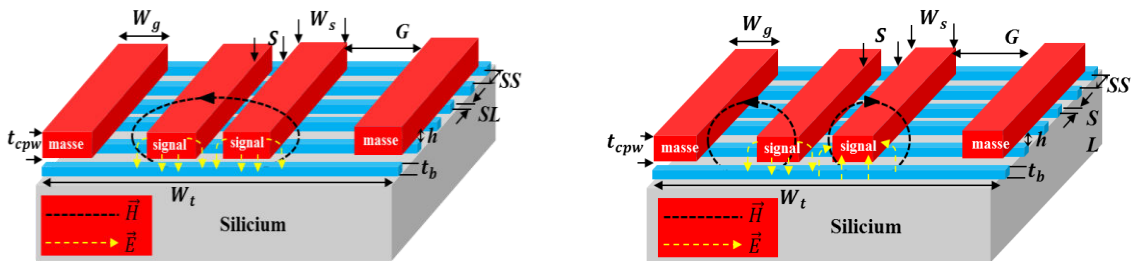


Figure I-20 Distribution du champ électromagnétique dans la ligne CS-CPW : (gauche) pour une excitation en mode pair, (droite) pour une excitation en mode impair.

Pour comprendre le comportement des lignes CS-CPW, nous allons présenter brièvement son modèle électrique (**Figure I-21**). Le modèle est une extension du modèle d'une ligne couplée en microruban. La capacité C_{gs} est ajoutée pour modéliser la présence des rubans de masse aux cotés de la ligne (cela ressemble à une ligne couplée en CPW). En outre, les inductances L_s et L_g et les capacités C_s et C_g servent à modéliser la présence des doigts métalliques en-dessous des rubans du signal et de la masse. La ligne est considérée sans pertes pour simplifier le modèle.

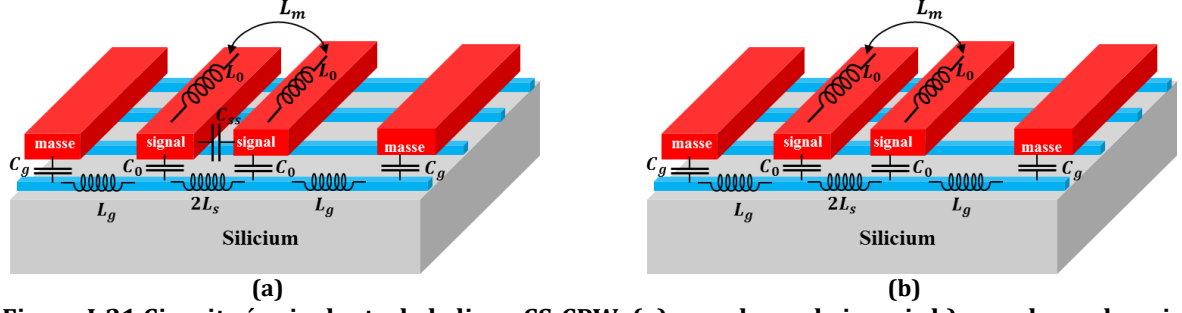


Figure I-21 Circuits équivalents de la ligne CS-CPW: (a) pour le mode impair b) pour le mode pair.

L'inductance propre L_0 et l'inductance mutuelle L_m ne sont pas influencées par la présence des barreaux métalliques en-dessous des rubans couplés. Par conséquent, ces deux paramètres sont contrôlés d'une manière similaire à celle d'une ligne coplanaire couplée [Lugo, 14]. Par rapport à la ligne couplée en technologie microruban, nous pouvons imaginer un degré de liberté supplémentaire qui est la distance entre les rubans du signal et les rubans des masses (G_s). Les équations de l'inductance du mode pair (Eq. I-18) et du mode impair (Eq. I-20) restent les mêmes, et donc le coefficient du couplage magnétique k_L est toujours décrit par l'équation (Eq. I-21).

En contrepartie, la modélisation des capacités équivalentes des modes pair et impair, en présence des barreaux flottants, nécessite des approximations particulières en fonction de la géométrie de la ligne où certains éléments (capacités ou inductances) peuvent être négligés. A titre d'exemple, la capacité entre le ruban du signal et le ruban de la masse peut être négligée par rapport aux capacités C_g et C_0 (capacités entre les barreaux flottants et respectivement les rubans de masse et du signal). Cette hypothèse est valable puisque, en pratique, la distance h entre les barreaux et les rubans est 10 fois plus petite que la distance G entre les rubans de masse et de signal. En outre, la capacité C_{ss} est limitée par la distance minimale entre deux rubans ainsi que par la surface verticale des rubans (imposée par l'épaisseur des rubans). La capacité C_0 est favorisée par la présence des barreaux très proches des rubans ainsi que par la surface horizontale des rubans. La capacité C_{ss} peut donc être négligée. Finalement, les inductances L_g et $2L_s$, induites par les barreaux flottants, sont souvent non négligeables puisque la distance entre les deux masses (i.e. la longueur des barreaux) est assez grande. Ainsi, le champ électrique est directement affecté par la présence des barreaux métalliques, similairement au cas des lignes S-CPW. Cela veut dire que les capacités du mode pair C^e et du mode impair C^o peuvent être contrôlées à travers les barreaux métalliques. Ces capacités sont décrites, en fonctions des différents paramètres de la Figure I-21, par les équations suivantes:

$$C^e = \frac{C_g C_0}{C_g + C_0} \cdot \frac{1}{1 - (\omega/\omega_{sg})^2} \text{ avec } \omega_{sg} = \frac{1}{\sqrt{L_g C_0 C_g / (C_0 + C_g)}} \quad \text{Eq. I-25}$$

$$C^o = \frac{C_s}{1 - (\omega/\omega_{eq})^2} \quad \text{Eq. I-26}$$

$$\omega_{eq} = \frac{1}{\sqrt{L_{eq}C_0}} \quad L_{eq} = L_S \cdot \frac{1}{1 - \omega^2 \cdot L_S \cdot C_g \cdot \frac{1}{1 - \omega^2 \cdot C_g \cdot L_g}} \quad \text{Eq. I-27}$$

En outre, le coefficient du couplage électrique k_C sera donné par l'équation suivante :

$$k_C = \frac{C^e - C^o}{C^e + C^o} = \frac{\frac{C_g C_0}{C_g + C_0} - C_0}{\frac{C_g C_0}{C_g + C_0} + C_0} \quad \text{Eq. I-28}$$

Ainsi, le coefficient du couplage électrique k_C est contrôlé par le rapport entre la largeur du ruban du signal et la largeur du ruban de masse comme illustré sur la **Figure I-22**.

La **Figure I-22** montre une comparaison entre les coefficients de couplage k_C et k_L , en fonction de la largeur du ruban signal W_s , pour les lignes couplées microruban et les lignes couplées CS-CPW, en technologie BiCMOS 55 nm, réalisées avec les mêmes niveaux du métal pour les rubans signal. Au premier ordre, nous pouvons remarquer l'avantage des lignes CS-CPW en termes de facteur de couplage C par rapport à des lignes couplées en microruban. En revanche, l'écart de vitesse de phase entre les modes pair et impair est aussi élevé pour les lignes CS-CPW que pour les lignes couplées en microruban. En verra plus loin comment nous pouvons résoudre le problème de différence de vitesse de phase dans les lignes CS-CPW tout en maintenant un couplage fort.

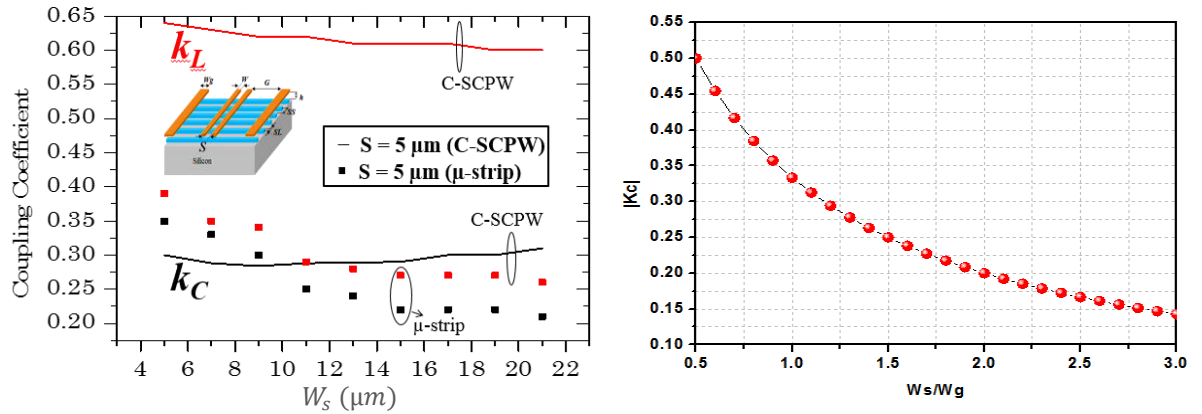


Figure I-22 (gauche) Comparaison entre les coefficients de couplages des lignes couplées microruban et CS-CPW [Lugo, 14], (droite) évolution du facteur de couplage $|Kc|$ en fonction de W_s/W_g .

Pour faciliter l'analyse de ce type de lignes couplées, nous avons développé un abaque qui trace l'évolution des impédances des modes pair et impair (Z_e , Z_o) en fonction des différents paramètres géométriques de la ligne (**Figure I-23**). Ce type d'abaque permet au concepteur de choisir facilement les dimensions appropriées pour son application. Cet abaque est construit à partir d'un modèle électrique, développé dans notre laboratoire par Alfredo Bautista, des lignes CS-CPW afin de fournir un outil de conception pour les concepteurs.

Références

[Bautista, 15]

A. Bautista, A.-L. Franc, P. Ferrari, "An Accurate Parametric Electrical Model for Slow-Wave", IEEE MTT-S International Microwave Symposium (IMS), 2015.

[Lugo, 14]

J. Lugo-Alvarez, A. Bautista, F. Podevin, P. Ferrari, "High-directivity compact slow-wave Coplanar waveguide couplers for millimeter-wave applications", IEEE European Microwave Conference (EuMIC), 2014.

[CMP, 14]

Circuits Multi Projets®, "rapport annuel 2013", [http://cmp.imag.fr/aboutus/reports/2013/CMP Annual-Report-2013 Full Version.pdf](http://cmp.imag.fr/aboutus/reports/2013/CMP%20Annual-Report-2013%20Full%20Version.pdf), 2014.

[Deng, 14]

M. Deng, "Contribution à la caractérisation et la modélisation jusqu'à 325GHz de transistors HBT des technologies BiCMOS", Thèse en microondes et microtechnologies à l'université de Lille, 2014.

[IHP, 14]

Low-Volume & Multi-Project Service, <http://www.ihp-microelectronics.com/en/services/mpw-prototyping/sigec-bicmos-technologies.html>

[AMS, 14]

Austria Micro-System 0, 35 μm Technology Selection Guide, <http://ams.com/eng/Products/Full-Service-Foundry/Process-Technology/SiGe-BiCMOS/0-35-m-Technology-Selection-Guide>

[DK, V13]

Documentation du design Kit Version 13.a de la technologie BiCMOS 55 nm de STMicroelectronics.

[Lacave, 13]

T. Lacave, "Transistor bipolaire Si/SiGe:C en nœud CMOS avancé pour applications Submillimétriques", thèse de doctorat, université des Sciences et Technologies de Lille, 2013.

[Chevalier, 13]

P. Chevalier, et al., "Towards THz SiGe HBTs", IEEE Bipolar/BiCMOS Circuits and Technology Meeting (BCTM), 2011.

[Dormieu, 12]

B. Dormieu, "Modélisation compacte des transistors MOS nanométriques pour applications radiofréquences et millimétriques", Thèse de doctorat en Microondes et Micro-technologies, Université de Lille 1, 2012.

[Tang, 12]

X. Tang, "Apport des lignes à ondes lentes S-CPW aux performances d'un front-end millimétrique en technologie CMOS avancée", Thèse en Optique et radiofréquences à l'université de Grenoble, 2012.

[Chevalier, 12]

P. Chevalier, et al., "Scaling of SiGe BiCMOS Technologies for Applications above 100 GHz", IEEE Compound Semiconductor Integrated Circuit Symposium (CSICS), 2012.

[Martineau, 12]

B. Martineau, "65 nm CMOS SOI potentialities for millimeter wave wireless applications", Micro and nanotechnologies/Microelectronics, Université des Sciences et Technologie de Lille, 2008.

[Huylenbroeck, 11]

S. Huylenbroeck, et al., "Pedestal collector optimization for high speed SiGe: C HBT", IEEE Bipolar/BiCMOS Circuits and Technology Meeting (BCTM), 2011.

[Pozar, 11]

D. Pozar, "Microwave Engineering - 4th Edition", ISBN-13: 978-0470631553, John Wiley & Sons, 2011.

[Franc, 11]

A.L. Franc, "Lignes de propagation intégrées à fort facteur de qualité en technologie CMOS. Application à la synthèse de circuits passifs millimétriques", Thèse en Micro-Ondes Electromagnétisme et Optoélectronique à l'université de Grenoble, 2011.

[Mitchell, 11]

G. A. Mitchell, "The Role of the Silicon Germanium (SiGe) Heterojunction Bipolar Transistor (HBT) in Mobile Technology Platforms", Army Research Lab Adelphi Md Sensors and Electron Devices Directorate, 2011.

[Quemerais, 10]

T. Quéméraires, "Conception et étude de la fiabilité des amplificateurs de puissance fonctionnant aux fréquences millimétriques en technologies CMOS avancées", Thèse de Doctorat, Université de Grenoble, 2010.

[Quemerais, 10-2]

T. Quemerais, L. Moquillon, J. M. Fournier, P. Benech, and N. Corrao, "TFMS Microstrip line modelling and characterization up to 110 GHz on 45 nm node silicon technology: application for CAD", Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems, 2010.

[Schröter, 10]

M. Schröter, "Compact Hierarchical Bipolar Transistor Modeling With HiCUM", (University of Technology Dresden, Germany & University of California San Diego, CA, USA), Anjan Chakravorty (Indian Institute of Technology Madras, India), 2010.

[Vu, 10]

T. M. VU, "Contribution à la mise en œuvre de fonctions accordables à MEMS RF en bande millimétrique sur silicium", Thèse en Micro-Ondes Electromagnétisme et Optoélectronique, 2010.

[Kukutsu, 09]

N. Kukutsu, Y. Kado, "Overview of Millimeter and Terahertz Wave Application Research", NTT Microsystem Integration Laboratories, Special Feature: Applied Technology for Millimeter, Vol. 7, No. 3, 2009.

[Iniewski, 08]

K. Iniewski, "Circuits at the Nanoscale: Communications, Imaging, and Sensing", CRC press, pp. 79-81, 2008.

[Perez, 07]

J. C. Perez, "Contribution à la conception de systèmes de radio communication : de la modélisation de transistor bipolaires à l'évaluation des performances d'un système d'émission-réception", Thèse en électronique, Institut National des Sciences Appliquées de Lyon, 2007.

[Chevalier, 07]

P. Chevalier, et al., "High-Speed SiGe BiCMOS Technologies: 120-nm Status and End-of-Roadmap Challenges", Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems, 2007.

[Armstrong, 07]

G.A. Armstrong, C.K. Maiti, "Technology Computer Aided Design for Si, SiGe and GaAs Integrated Circuits (Iet Circuits, Devices and Systems)", Kindle Edition, 2007.

[Post, 06]

I. Post, et al., "A 65nm CMOS SOC Technology Featuring Strained Silicon Transistors for RF Applications", International Electron Devices Meeting IEDM, 2006.

[Doan, 05]

C.H. Doan, S. Emami, A. M. Niknejad, R.W. Brodersen, "Millimeter-wave CMOS design", IEEE Journal of Solid-State Circuits, vol. 40, pp. 144-155, 2005.

[Centurelli, 05]

F. Centurelli, et al., "A 10-Gb/s CMU/CDR chip-set in SiGe BiCMOS commercial technology with multistandard capability", IEEE Transactions on Very Large Scale Integration Systems, vol. 13, no. 2, pp. 191-200, 2005.

[Voinigescu, 04]

S.P. Voinigescu, et al., "A comparison of Si CMOS, SiGe BiCMOS, and InP HBT technologies for high-speed and millimeter-wave ICs", Digest of Papers Silicon Monolithic Integrated Circuits in RF Systems, pp. 111-114, 2004.

[Scholvin, 04]

J. Scholvin, D.R. Greenberg, J.A. Del Alamo, "RF power potential of 90 nm CMOS: device options, performance, and reliability", IEEE International Electron Devices Meeting, 2004.

[Singh, 03]

R. Singh, M. Oprysko, D. Hareme, "Silicon Germanium: Technology, Modeling, and Design", ISBN: 978-0-471-44653-8, Wiley-IEEE Press, 2003.

[Chantre, 03]

A. Chantre, et al., "0.13 μ m SiGe:C BiCMOS technology", <http://www.electrochem.org/dl/ma/206/pdfs/1285.pdf>, 2003.

[Butterworth, 03]

P. Butterworth, "Méthode de conception des mélangeurs millimétriques. Application à la réalisation MMIC d'un mélangeur sous-harmonique à FET froid", Thèse en Electronique des Hautes Fréquences et Optoélectronique, 2003.

[Voldman, 01]

S.H. Voldman, A. Botula, D.T. Hui, P.A. Juliano, "Silicon Germanium heterojunction bipolar transistor ESD power clamps and the Johnson Limit", Electrical Overstress/Electrostatic Discharge Symposium, 2001.

[Prasad, 01]

S. Prasad, H. Schumacher, A. Gopinat, "High-Speed Electronics and Optoelectronics: Devices and Circuits", pp. 136, 2009.

[Voinigescu, 97]

S. P. Voinigescu, et al., "A scalable high-frequency noise model for bipolar transistors with application to optimal transistor sizing for low-noise amplifier design", IEEE Journal of Solid-State Circuits, vol. 32, no. 9, pp. 1430-1439, 1997.

[Gonzalez, 97]

G. Gonzalez, "Microwave transistor amplifiers: analysis and design", Prentice Hall, 2nd ed., 1997. ISBN: 0132543354.

[Schroter, 93]

M. Schroter, M. Friedrich, H.-M. Rein, "A generalized integral charge-control relation and its application to compact models for silicon-based HBT's", IEEE Transactions on Electron Devices, vol. 40, no. 11, pp. 2036-2046, 1993.

[Mason, 54]

S. Mason, "Power Gain in Feedback Amplifier", Transactions of the IRE Professional Group on Circuit Theory, vol. 1, pp. 20-25, 1954.

[Grieg, 52]

D. D. Grieg, H. F. Engelmann, "Microstrip-A New Transmission Technique for the Kilomegacycle Range", Proceedings of the IRE, vol. 40, pp. 1644-1650, 1952.

Chapitre II : Amplificateurs de puissance linéaires en technologie BiCMOS 55nm

II.1 Objectifs et contraintes

Au cours de ma thèse, une étude sur des amplificateurs de puissance (PA) en technologie BiCMOS 55 nm a été menée. Cette étude avait deux objectifs: (1) mettre en évidence l'apport du transistor bipolaire par rapport au transistor MOS disponibles dans un même nœud technologique BiCMOS dans le cadre de réalisation d'amplificateurs de puissance soumis aux mêmes conditions de fonctionnement. (2) mettre en évidence l'intérêt des lignes à ondes lentes par rapport aux lignes microruban (TFMS) classiques dans la conception des circuits en bande millimétrique. A des fins de démonstration, quatre versions d'amplificateur de puissance à un étage travaillant autour de 60 GHz ont été réalisées en technologie BiCMOS 55 nm. L'objectif n'est pas de réaliser des amplificateurs à l'état de l'art mais de réaliser une cellule très simple à un seul étage permettant d'étudier l'apport de composants passifs et actifs disponibles dans la technologie BiCMOS 55 nm. Comme nous montre la **Figure II-1**, deux amplificateurs ont été conçus avec des transistors bipolaires et les deux autres avec des transistors NMOS. La première version utilise des lignes à ondes lentes (S-CPW) pour les étages d'adaptation et l'autre utilise des lignes TFMS. Dans ce chapitre, nous nous intéressons à comparer les performances caractéristiques de ces amplificateurs tout en identifiant l'apport des composants passifs et actifs sur les performances.

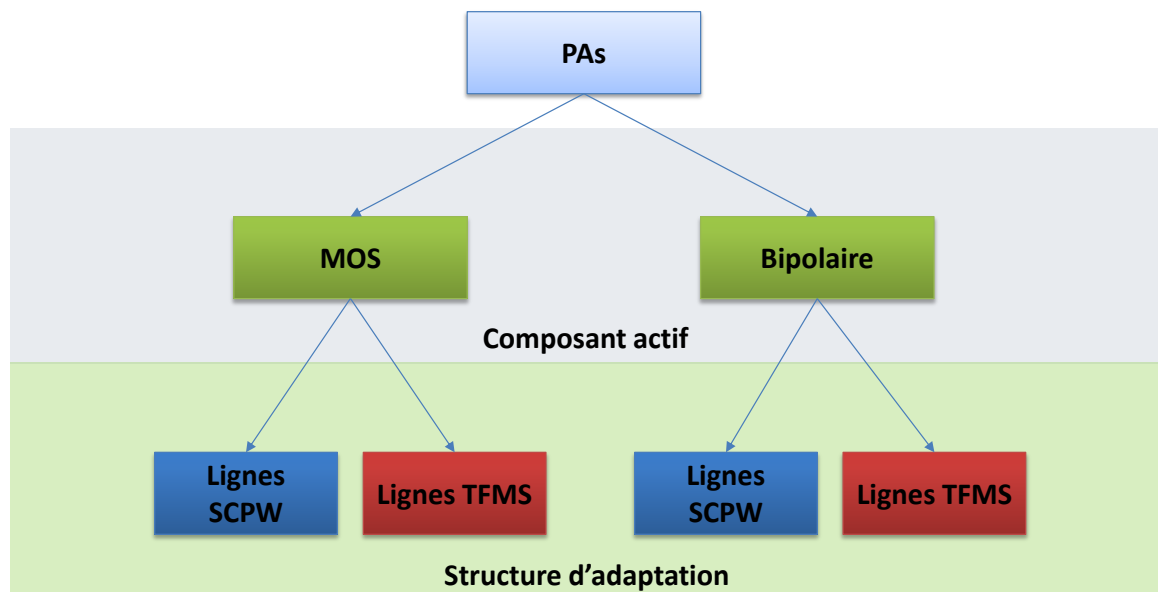


Figure II-1 Représentation de l'objectif de cette étude.

Pour comparer les deux dispositifs actifs nous faisons l'hypothèse que les deux amplificateurs (MOS et Bipolaire) doivent fonctionner dans les mêmes conditions : (1) même courant de

polarisation, (2) même tension d'alimentation, (3) même type de lignes de transmission pour les réseaux d'adaptation d'impédance en entrée et en sortie, (4) les amplificateurs doivent fonctionner en classe-A autour de 60 GHz. Enfin, pour pouvoir identifier l'impact des lignes de transmission, les lignes TFMS et S-CPW présentent la même impédance caractéristique.

II.2 Etude analytique

II.2.1 Choix de la topologie et de classe de fonctionnement

Le montage en source/émetteur commun a été choisi. Contrairement à la topologie cascode, ce montage est simple et permet d'obtenir la puissance la plus élevée pour une tension d'alimentation donnée [Razavi, 00]. Cependant, contrairement au montage cascode, cette topologie peut être instable du fait de l'effet Miller et nous devons veiller à assurer la stabilité inconditionnelle du PA lors de la phase de conception. Concernant la classe de fonctionnement, nous avons choisi la classe A qui est la meilleure en termes de linéarité [Razavi, 97] qui, malgré son efficacité dégradée, est nécessaire pour les types des modulations complexes utilisés dans la plupart des applications millimétriques [HP, 12]. L'utilisation d'un seul étage (un seul transistor) dans l'amplificateur permet de comparer efficacement l'apport des composants actifs tout en évitant de stimuler des performances ou des phénomènes qui appartiennent à la topologie plutôt qu'au composant lui-même.

II.2.2 Modèle analytique des amplificateurs de puissance fonctionnant en classe-A

Dans cette partie, nous allons revisiter les relations qui définissent le comportement d'amplificateur de puissance en classe-A, afin de définir une méthodologie de conception adaptée à nos conditions de comparaison et pour identifier les paramètres principaux qui influent sur les performances. Des relations simples et linéaires permettent de relier les performances (consommation, gain, puissance de sortie, efficacité, impédances d'entrée et de sortie) aux paramètres du transistor et des éléments passifs utilisés. Pour cela, nous utilisons une approche petit-signal en considérant que les paramètres du transistor (transconductance, impédance d'entrée, résistance de sortie) sont fixés par le point de polarisation en classe-A. Cette approximation peut se justifier par le fait que le PA classe-A fonctionne dans une zone quasi linéaire [Pozar, 11] et dans une gamme de puissance réduite

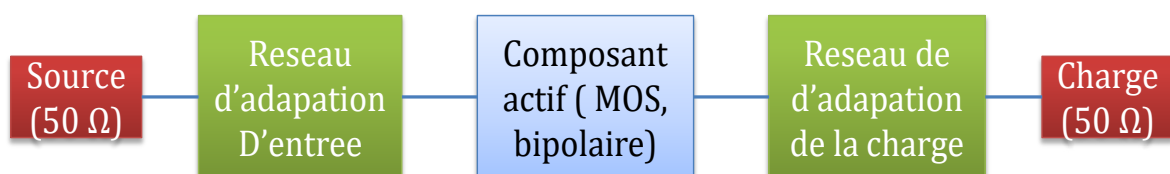


Figure II-2 Schéma-bloc générique pour un amplificateur de puissance à 1 étage

Pour un fonctionnement en classe A, le courant de polarisation DC I_0 est exprimé selon l'équation **(Eq. II-1)**, avec R_L la résistance de charge ramenée dans le plan de sortie du transistor, V_{dd} est la tension d'alimentation du PA.

$$R_L = \frac{V_{dd}}{I_0} \quad \text{Eq. II-1}$$

La puissance maximale pour le PA est définie par son point de compression en sortie O_{Cp1dB} . L'équation de ce dernier est donnée par l'équation **(Eq. II-2)**:

$$O_{Cp1dB} \approx P_{sat} - L_{sortie} - 1dB = P_{sat} - 10\log\left(\frac{\alpha}{2}\right) - 1dB \quad \text{Eq. II-2}$$

Avec L_{sortie} la perte totale du réseau d'adaptation en sortie (que l'on estime égale à la moitié de la perte totale des réseaux d'entrée-sortie α). P_{sat} est la puissance de saturation (la puissance maximale en sortie) et elle est donnée par :

$$P_{sat} \approx \frac{(V_{dd} - V_{sat})^2}{2 * R_L} \quad \text{Eq. II-3}$$

Avec V_{sat} , la tension de saturation donné par $V_{ds,sat}$ pour le transistor MOS et par $V_{ce,sat}$ pour le transistor bipolaire.

L'équation **(Eq. II-3)** nous permet de calculer le courant I_0 nécessaire pour une puissance de sortie (P_{sat}) et une tension d'alimentation (V_{dd}) données. L'équation **(Eq. II-1)** permet alors de calculer la résistance de charge R_L à partir du courant I_0 et la tension V_{dd} . Nous avons choisi de dimensionner les transistors de manière à obtenir une densité de courant qui correspond au maximum de f_t . Notre méthodologie de conception décrite dans les paragraphes **II.5** et **II.6** repose sur ce choix.

Nous avons développé l'équation qui lie le gain du PA aux différents paramètres DC et RF du transistor. Les paramètres DC pris en compte sont la résistance de sortie R_o et la transconductance g_m du composant actif. Au niveau RF, la partie réelle de l'impédance d'entrée du PA est introduite. Nous avons aussi considéré que le transistor possède une inductance de dégénérescence L_s représentant le chemin de connexion à la masse de la source/émetteur. En effet, cette inductance (liée au layout du transistor, de l'ordre de 5 à 10 pH) participe à la stabilité de l'amplificateur autour de la fréquence d'opération en augmentant la partie réelle positive de l'impédance d'entrée. On montre **(Annexe I)** que le gain est donnée par la relation suivante:

$$G_p = \frac{P_{out}}{P_{in}} = \alpha \frac{\left(gm * V_{in} \frac{R_o R_L}{R_o + R_L}\right)^2}{R_L \Re(Y_{in}) V_{in}^2} = \alpha \frac{\left(gm * \frac{R_o R_L}{R_o + R_L}\right)^2}{R_L \Re(Y_{in})} \quad \text{Eq. II-4}$$

Où α est la perte liée aux réseaux d'adaptation en entrée et en sortie, $\Re(Y_{in})$ est la partie réelle de l'admittance d'entrée, V_{in} est la tension en entrée, R_o est l'impédance petit signal de sortie et R_L la résistance de charge, et enfin gm^* est la transconductance résultante de la dégénérescence de la source/émetteur du transistor, par l'inductance parasite L_s :

$$gm^* = \frac{g_m}{\sqrt{1 + g_m^2 (2 \pi f_0 L_s)^2}} \quad \text{Eq. II-5}$$

L'équation (Eq. II-4) est indépendante de la nature du transistor utilisé puisque les paramètres utilisés (impédance d'entrée, impédance de sortie, g_m) sont communs à tous les composants actifs en RF. Nous pouvons constater à partir de cette équation que la différence du gain entre le PA bipolaire et le PA MOS est liée non pas seulement à la différence de g_m entre les deux composants, mais aussi à la différence de leur impédance de sortie et d'entrée. Ainsi, le transistor bipolaire permet d'avoir une g_m et une résistance de sortie plus élevée que le MOS, mais avec une impédance d'entrée plus faible. Quant à α , la perte dans les réseaux d'adaptation, elle impacte de la même manière le gain du PA indépendamment de la nature du composant actif utilisé. Nous devons par contre optimiser les réseaux d'adaptation, en tenant compte du facteur de qualité en entrée des composants passifs, afin d'obtenir des dimensions proches pour les réseaux utilisés dans les PAs. Nous reviendrons sur ce point dans le paragraphe II.6.

L'efficacité PAE (Power Added Efficiency) de l'amplificateur est donnée par la relation suivante :

$$PAE = \frac{(P_{out} - P_{in})}{P_{dc}} = \frac{P_{out}}{P_{DC}} (1 - G_p) \quad \text{Eq. II-6}$$

Nous pouvons finalement conclure que pour une consommation DC constante et un fonctionnement en classe-A (i.e. une même puissance de sortie), la différence de PAE entre les PAs conçus sera liée uniquement à la différence entre leur gain. Nous allons à la fin de ce chapitre valider cette étude analytique en comparant les résultats de mesures avec les performances estimées analytiquement.

II.3 Modélisation électrique des composants passifs

La modélisation électrique précise des éléments passifs utilisés est une étape essentielle pour permettre de simuler correctement les performances des fonctions millimétriques. Dans cette partie, nous mettons particulièrement l'accent sur la modélisation des capacités MOM et des plots d'accès RF qui sont utilisés dans les différents circuits réalisés dans le cadre de cette thèse.

II.3.1 Les capacités MOM (Metal-Oxide-Metal)

Les capacités intégrées sont des éléments essentiels dans les circuits radio fréquence. Elles sont souvent utilisées en tant que capacité de découplage, capacité de liaison, ou pour faire partie de réseaux d'adaptation d'impédance. Généralement, les capacités intégrées sont qualifiées par les critères suivants : (1) le facteur de qualité qui doit être élevé, (2) une densité de capacité élevée pour permettre la réalisation des grosses capacités dans une faible surface, (3) une fréquence de résonance élevée pour permettre la montée en fréquence, (4) nécessiter le moins possible d'étapes de process supplémentaires pour éviter des surcoûts de fabrication.

La technologie B55, utilisée dans cette thèse, dispose de deux types de capacités, la capacité Metal-Insulator-Metal (MIM), et la capacité Métal-Oxyde-Métal (MOM). La capacité MIM a un facteur de qualité élevé du fait de l'absence de via dans sa structure. Par contre, elle nécessite deux masques supplémentaires impliquant un coût de fabrication relativement élevé. La capacité MOM ne nécessite pas d'étapes de fabrication supplémentaire et présente un facteur de qualité relativement bon, une densité d'intégration élevée, avec un faible coût. C'est ce type de capacité qui est utilisée dans nos circuits

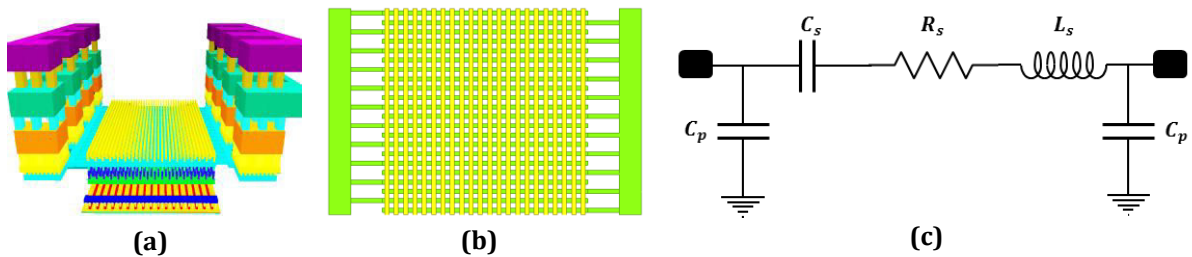


Figure II-3 (a) Vue 3D de la capacité MOM, (b) Vue TOP de la capacité MOM, (c) Modèle électrique complet de la capacité MOM.

La capacité MOM est formée de doigts métalliques inter-digités (**Figure II-3-c**) pour chaque niveau de métal. Pour réaliser des capacités MOM à forte densité, les doigts métalliques sont réalisés par les quatre couches métalliques (M_2 jusqu'au M_5). Finalement, un écran électrique isolant la capacité du substrat est réalisé par une couche de diffusion OD connectée à la masse

Le modèle électrique de la capacité MOM est représenté sur la **Figure II-3-a**. La partie intrinsèque est représentée par la capacité C_s . Les pertes résistives (dans les vias) et diélectriques sont modélisées par la résistance équivalente R_s . La partie inductive des accès est modélisée par l'inductance L_s . Cette partie fixe la fréquence de résonance de la capacité intrinsèque et elle doit être évaluée le plus précisément possible. Les pertes électriques dans le substrat sont négligeables du fait de couplage capacitif faible avec celui-ci [Quemerais, 10]. Ce couplage capacitif est pris en compte par les deux capacités C_p placées en parallèle. Le **Tableau II-1** montre les valeurs des éléments du modèle d'une capacité MOM de 200 fF qui sera utilisée dans nos circuits.

Tableau II-1 Valeurs des éléments constituant le modèle électrique d'une capacité MOM de 200 fF réalisée en technologie BiCMOS 55 nm.

C_s (fF)	R_s (mΩ)	L_s (pH)	C_p (fF)
199,6	800	7	3,5

Les paramètres admittance Y du modèle électrique de cette capacité sont comparés sur la **Figure II-4**. La procédure d'extraction de ces paramètres est présentée dans [Quemerais, 10].

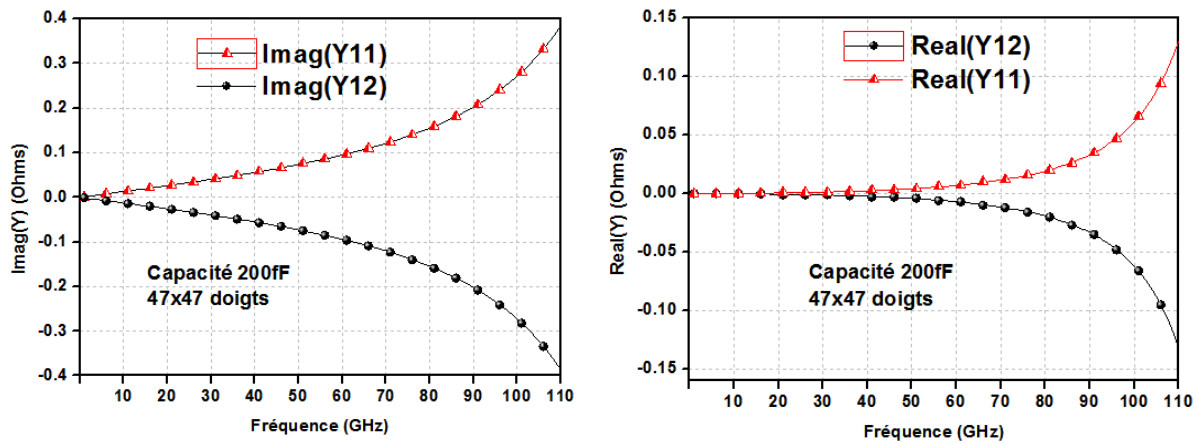


Figure II-4 Paramètres Y du modèle électrique de la capacité de 200 fF en technologie B55 : (rouge) Y_{11} , (noir) Y_{21} .

Cette capacité compacte occupe une surface d'environ $240 \mu\text{m}^2$ ($13 \mu\text{m} \times 18,5 \mu\text{m}$), conduisant à une densité de l'ordre de $0,9 \text{ fF}/\mu\text{m}^2$. Le facteur de qualité est extrait à partir des paramètres Y correspondants:

$$Q_{MOM} = \frac{\text{imag}(Y_{21})}{\text{Real}(Y_{21})} \quad \text{Eq. II-7}$$

La **Figure II-5** montre le facteur de qualité de cette capacité en fonction de la fréquence. A 60 GHz, ce facteur de qualité est d'environ 10.

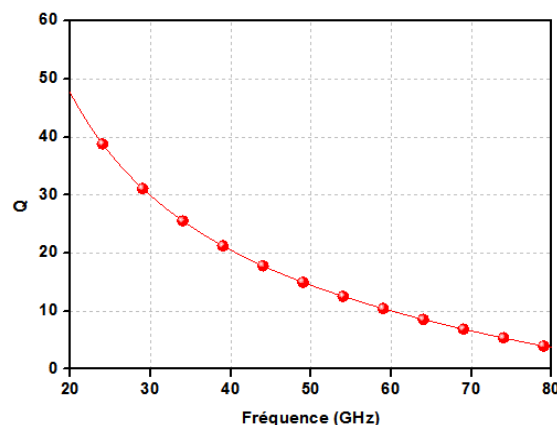


Figure II-5 Facteur de qualité extrait à partir des simulations du modèle électrique

La capacité de découplage est un élément critique pour l'amplificateur de puissance car elle doit absorber les variations brutales de la tension d'alimentation dues aux variations de courant dans l'amplificateur. Elle doit donc présenter une impédance très faible en haute fréquence et par

conséquent avoir une valeur la plus élevée possible (supérieure à 1 pF). Or, la fréquence de résonance des capacités MOM est inversement proportionnelle à leur valeur. La **Figure II-6** représente la fréquence de résonance en fonction du nombre N de doigts (structure carrée).

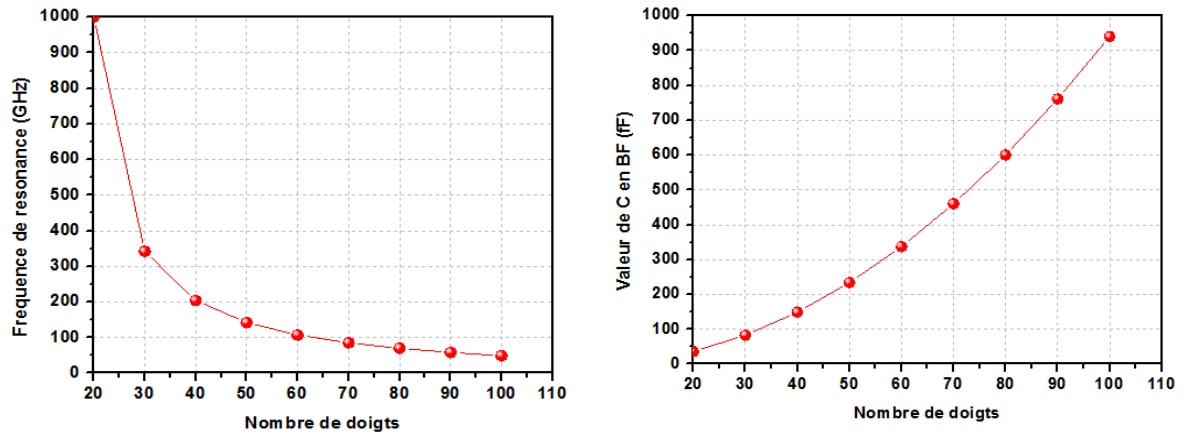


Figure II-6 (gauche) Fréquence de résonance en fonction du nombre des doigts, (droite) valeur de la capacité en basse fréquence en fonction du nombre des doigts.

On remarque que la fréquence de résonance devient inférieure à 60 GHz pour $N > 75$ (correspondant à une capacité de 500 fF en DC). Il est alors impossible de réaliser une capacité de découplage avec une seule capacité de forte valeur. Les capacités de découplage seront donc réalisées par la mise en parallèle de capacités unitaires de 200 fF (46 doigts) dont la fréquence de résonance est de l'ordre de 150 GHz.

La **Figure II-7 (a)** et la **Figure II-7 (b)** montrent la topologie utilisée pour réaliser une capacité de 1,2 pF à l'aide d'un réseau de 6 capacités unitaires de 0,2 pF. Pour modéliser les connexions entre les capacités unitaires C_u , des lignes de transmission TL de 8 μm de longueur et de 8 μm de largeur ont été ajoutées.

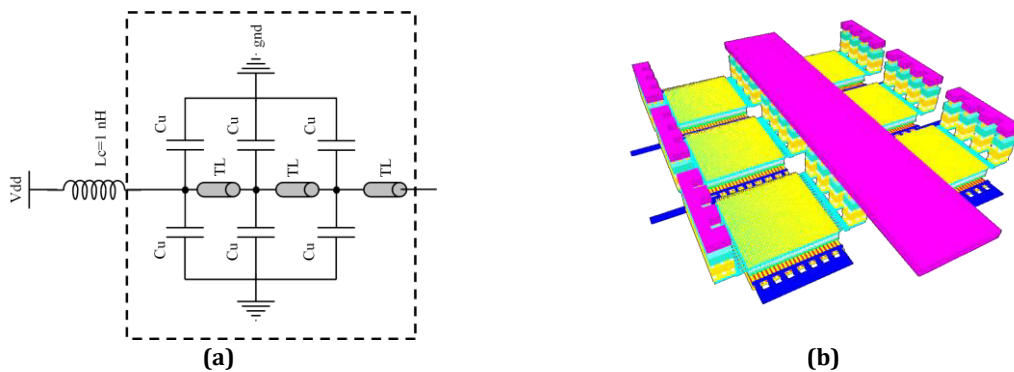


Figure II-7 (a) Schéma électrique simplifié de la capacité de découplage de 1,2 pF, (b) Vue 3D de la capacité de découplage

Nous avons finalement vérifié que la fréquence de résonance de cette cellule capacitive est bien supérieure à la fréquence de fonctionnement visée de 60GHz (**Figure II-8**). Cette cellule a été utilisée pour découpler les tensions de polarisation et d'alimentation des circuits réalisés au cours de cette thèse.

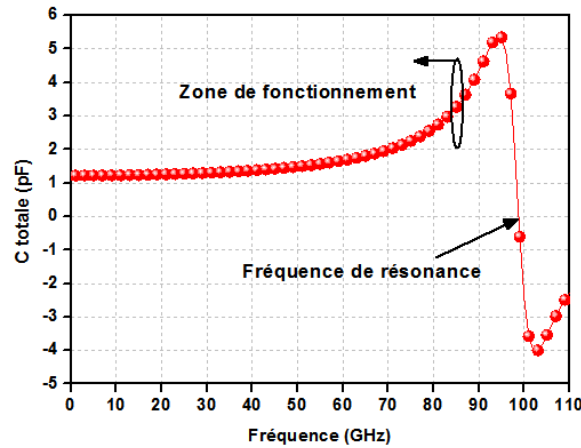


Figure II-8 Capacité totale simulée de la cellule 1,2 pF

II.3.2 Modélisation des plots d'accès RF

Dans le cas des circuits actifs, les plots d'accès RF font partie intégrante du circuit mesuré sous pointes ou en boîtier. Il est donc important de modéliser leur comportement aux fréquences millimétriques.

Les plots d'accès RF en configuration masse-signal-masse (ou GSG pour Ground-Signal-Ground) utilisés en technologie BiCMOS 55 nm sont schématisés sur la **Figure II-9**. Le plot signal (plot central) est constitué d'un empilement métal M_8 et Alucap (Ap). Les deux plots de masse sont formés par l'empilement de tous les niveaux d'interconnexion allant de M_1 jusqu'au Alucap. Un plan de masse formé des métaux M_1 et M_2 forme un écran sous le plot signal par rapport au substrat (**Figure II-9**). Dans le sens vertical, l'épaisseur d'oxyde entre le plot signal et le plan de masse est d'environ $5,41 \mu\text{m}$. La permittivité relative effective ϵ_{reff} de la couche isolante (l'oxyde) est de 4,32.

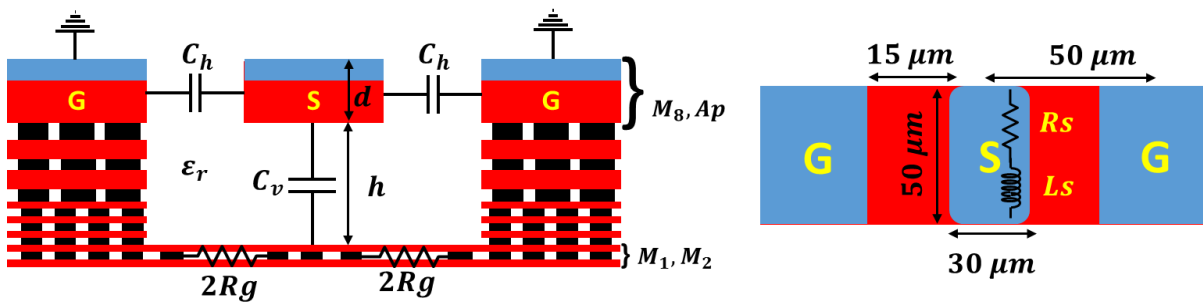


Figure II-9 Schéma simplifié d'un plot de mesure RF GSG, vue latérale (gauche), vue TOP (droite).

Ces plots sont dimensionnés en respectant les règles de dessin en fonction du pitch utilisé ($50 \mu\text{m}$). Le plot central présente des dimensions de $30 \mu\text{m} \times 50 \mu\text{m}$. Les masses RF sont disposées à $15 \mu\text{m}$ du plot signal. Pour une telle topologie et pour les dimensions choisies, les parasites du plot RF peuvent être modélisés en première approximation par : (1) une capacité verticale C_v entre le signal et la masse, (2) deux capacités latérales C_h , de part et d'autre du plot signal, Les

résistances R_g en série avec la capacité C_v , modélisent les pertes résistives dans le chemin du retour vers le plot de masse (**Figure II-10**).

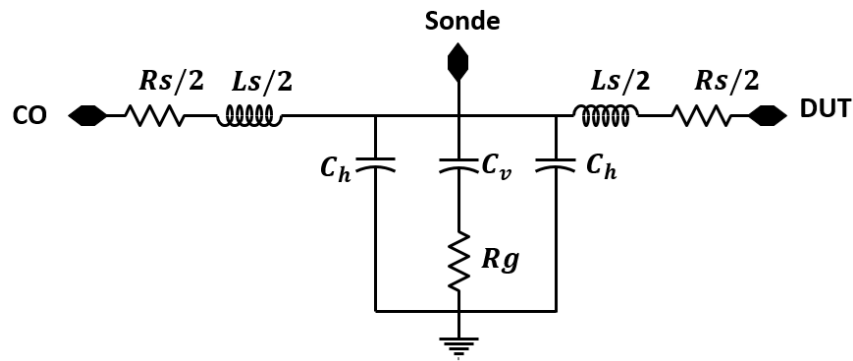


Figure II-10 Schéma équivalent d'un plot de mesure RF de la configuration GSG.

Le plan métallique horizontal du plot signal est modélisé par une résistance et une inductance en série. Les pertes résistives sont réduites dues à l'épaisseur des métaux M_8 et Alucap ($d \approx 4 \mu\text{m}$).

Afin d'obtenir une modélisation précise des plots RF prenant en compte l'intégralité des effets parasites (capacité existant entre le plot signal et les plots de masse latéraux, effet inductif induit par les métallisations, pertes), nous avons simulé ces plots RF à l'aide du simulateur électromagnétique HFSS™. Nous pouvons remarquer sur la **Figure II-11** l'existence d'un champ électrique latéral, ce qui explique la sous-estimation de calcul analytique basé sur l'hypothèse que le plot est un condensateur à plaques parallèles.

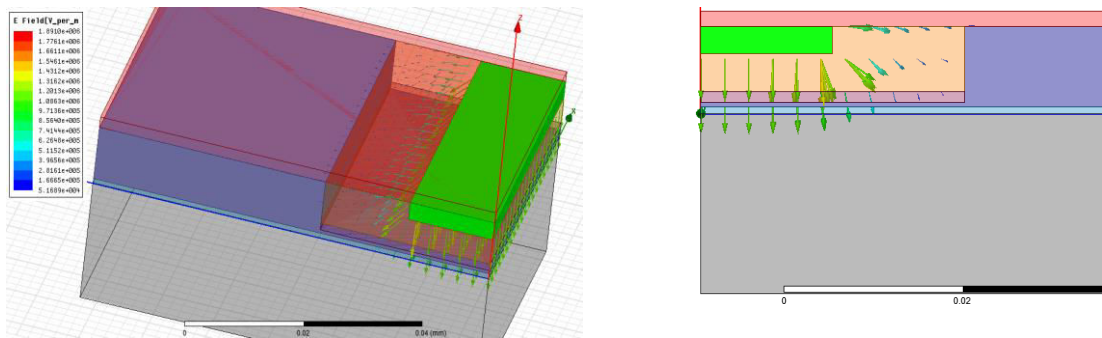


Figure II-11 Distribution du champ électrique dans le plot RF GSG.

Le modèle équivalent, dont les paramètres sont présentés dans le **Tableau II-2**, a été validé par des mesures pour le plot à pitch de $50 \mu\text{m}$ en technologie BiCMOS 55 nm, comme le montre la **Figure II-12**. Le paramètre S_{11} du plot « open », ainsi que la capacité totale du plot sont en bon accord entre la mesure et la simulation.

Tableau II-2 Valeurs des éléments constituant le modèle électrique du plot RF GSG utilisé.

C_v (fF)	R_s (m Ω)	L_s (pH)	C_h (fF)	R_g (Ω)
19,6	500	5	2,5	15

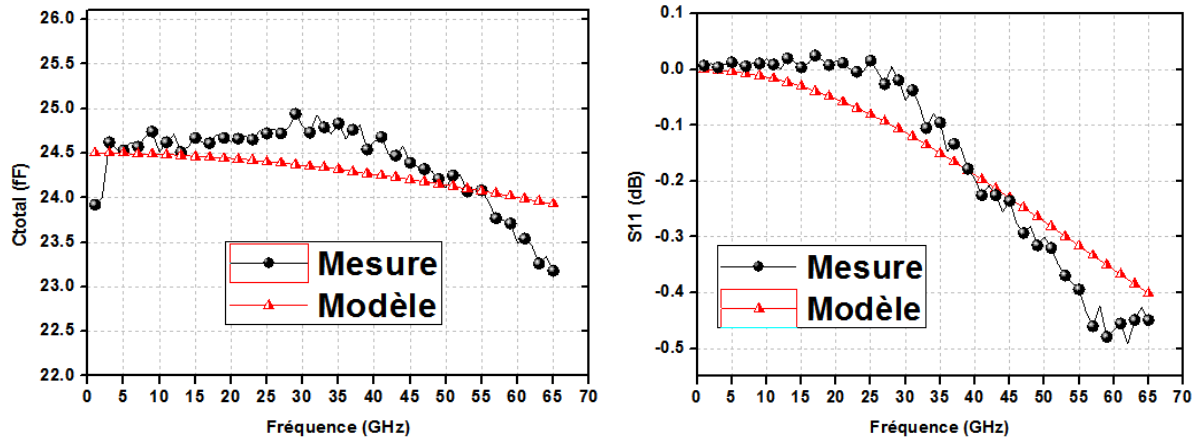


Figure II-12 Comparaison entre mesure et modèle du plot RF

II.4 Réalisation des quatre amplificateurs de puissance à 60 GHz en technologie BiCMOS55 nm

Dans cette partie, nous présentons la réalisation des quatre amplificateurs de puissance à un étage en bipolaire et en MOS fonctionnant à 60 GHz utilisant les lignes S-CPW et TFMS introduites au paragraphe I-4. La méthode de conception de l'amplificateur est tout d'abord détaillée, puis nous présentons les résultats de mesure de ces amplificateurs.

II.5 Méthode de conception des amplificateurs de puissance en MOS

La puissance de sortie P_{sat} visée pour chaque amplificateur est de l'ordre de 10 dBm. Cette puissance correspond à la puissance maximale autorisée par la FCC (Federal Communications Commission) pour les applications qui fonctionnent autour de 60 GHz [HP, 12]. L'équation (Eq. II-3) permet de déterminer la valeur du courant nécessaire (27 mA) pour que le PA fonctionne en classe-A pour une tension d'alimentation de 1,2 V. A partir de la valeur de ce courant de polarisation et de la tension d'alimentation, nous calculons la valeur de la résistance de charge (44Ω) à partir de l'équation (Eq. II-1).

L'étape suivante consiste à déterminer la taille du transistor et le nombre des doigts de grille. La détermination de la taille ($W=72 \mu m$) est faite en fixant la densité du courant à $0,38 \text{ mA}/\mu m$ (f_t maximale). Le nombre de doigts ($N_f = 48$) est calculé de manière à respecter les règles d'électromigration (EM) imposées par la technologie dans chacun des accès source ou drain [Quemerais, 10]. Cette méthodologie garantit la fiabilité des amplificateurs même quand ils fonctionnent sous une température élevée. Nous avons utilisé une longueur de grille minimale ($L_{min} = 60 \text{ nm}$) pour obtenir une fréquence de transition f_t maximale. Une diode a été mise en inverse sur la grille du transistor MOS pour éviter les problèmes d'antenne indiqués dans le DRM (Design Rule Manual) de la technologie.

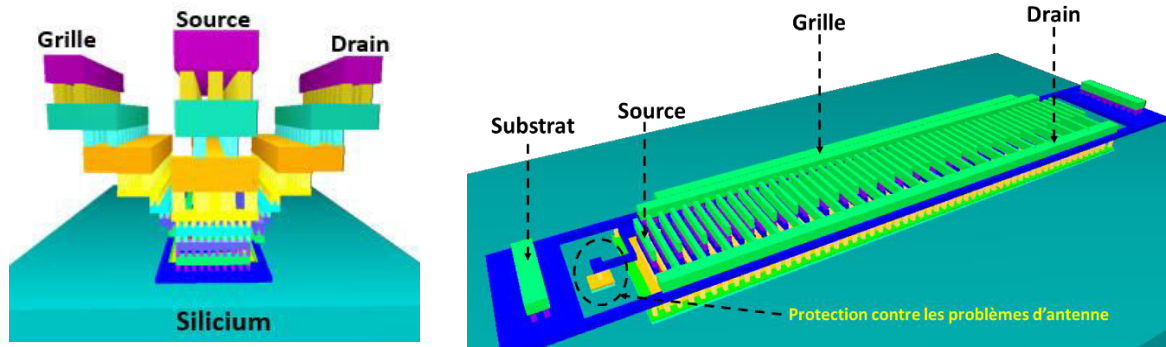


Figure II-13 Représentation 3D des accès du transistor MOS extrinsèque

La **Figure II-13** montre le dessin du transistor complet (avec accès et diode de protection) optimisé pour respecter les règles EM citées précédemment. L'empilement des niveaux métalliques sur les accès globaux source et drain permet de respecter ces règles même à haute température (105°C et 125°C). Dans cette configuration, les accès grille et drain sont dans l'axe des lignes de propagation du signal et présentent des résistances d'accès les plus faibles possibles. Enfin l'empilement décalé des niveaux de métaux permet de minimiser la capacité grille drain extrinsèque.

Deux amplificateurs CMOS ont été réalisés, l'un avec des réseaux d'adaptation à base de lignes TFMS et l'autre avec des lignes S-CPW. Nous avons choisi d'utiliser les lignes TFMS M8M8GM1 et S-CPW M8M7FM5 avec une impédance caractéristique de 50Ω . La topologie des lignes est montrée **Figure II-14**. La ligne TFMS utilise un conducteur central en métal M_8 avec une largeur de $8 \mu\text{m}$. Le plan de masse est réalisé en métal M_1 . Pour la ligne S-CPW, nous avons utilisé un conducteur central de $12 \mu\text{m}$ en métal $M_8 + \text{métal } M_7$. Les barreaux métalliques sont réalisés en métal M_5 avec une largeur de $0,5 \mu\text{m}$ et un espacement de $0,5 \mu\text{m}$.

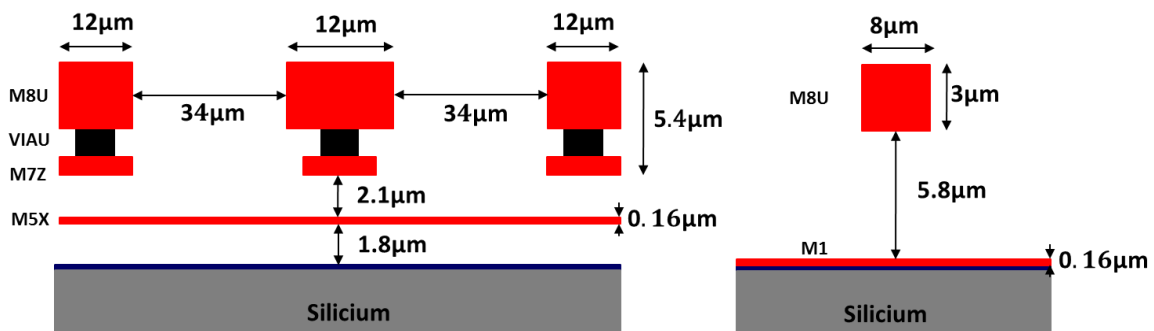


Figure II-14 Empilements métalliques de lignes utilisées dans les réseaux d'adaptation des 4 PAs : (gauche) ligne S-CPW M8M7FM5, (droite) ligne TFMS M8M8GM1.

La **Figure II-15** montre l'apport de l'utilisation des lignes S-CPW sur le facteur de qualité (3 fois supérieur à celui des lignes TFMS). En revanche, la dimension latérale des lignes S-CPW (environ $100 \mu\text{m}$) ne permet pas d'utiliser ces lignes sous forme de T pour réaliser directement des stubs. Les jonctions en T sont donc réalisées avec des lignes microruban (TFMS M8M8GM1).

La largeur physique de ces lignes très petite ($l \ll \lambda g/20$) permet de les modéliser en utilisant le modèle d'une ligne microruban classique.

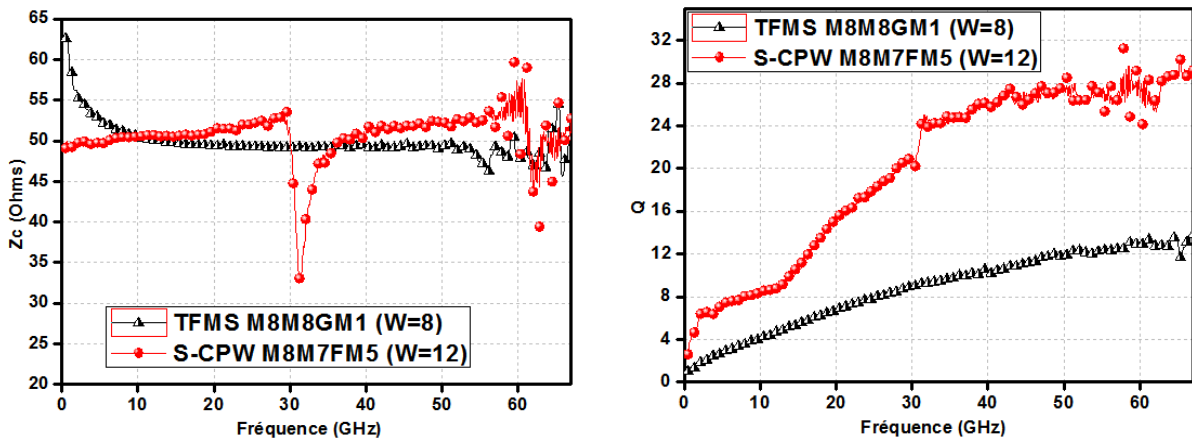


Figure II-15 Caractéristiques de lignes utilisées dans les réseaux d'adaptation des 4 PAS

Le réseau d'adaptation en sortie ramène dans le plan du drain du transistor MOS une partie réelle correspondant à la charge optimale $R_L=44 \Omega$ (calculée à l'aide de l'équation **Eq. II-1**) à travers une capacité DC block de 200 fF et en prenant en compte le plot de sortie. La partie imaginaire capacitive vue dans le plan du drain du MOS est annulée par l'inductance ramenée par un stub court-circuité par une capacité MOM de 1,2 pF (6 capacités MOM en parallèle). Dans le cas de l'utilisation des lignes S-CPW, seul le stub vertical est réalisé avec une ligne S-CPW. Les lignes horizontales sont des lignes TFMS.

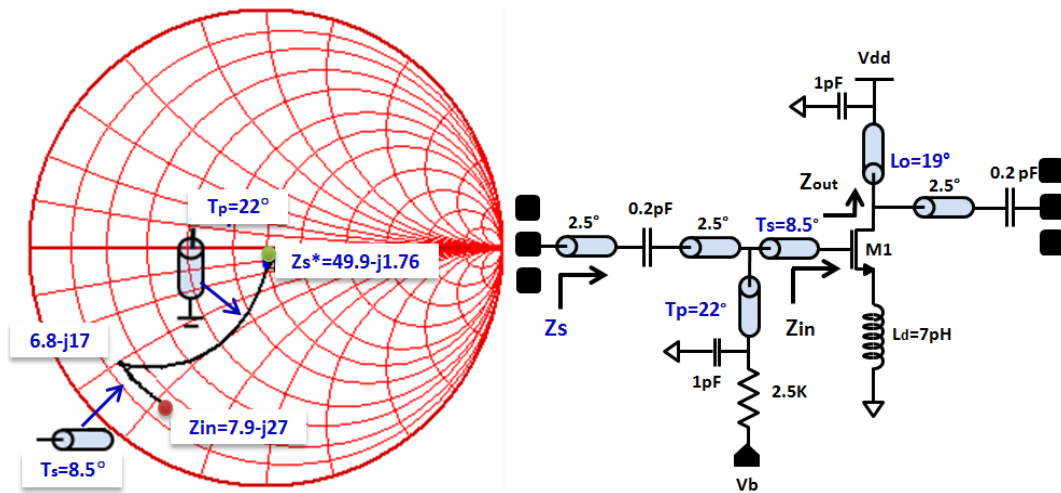


Figure II-16 Schématisation simplifiée de l'amplificateur de puissance en MOS

Comme pour le réseau de sortie, le réseau d'adaptation en entrée est constitué d'un Té en ligne microruban et d'un stub en court-circuit (en TFMS ou en S-CPW), d'une capacité MOM (DC block) de 200 fF ainsi que du plot RF d'entrée. Le stub parallèle est utilisé à la fois pour l'adaptation et pour la polarisation de la grille du MOS à travers le réseau passe-bas formé par une capacité d'environ 1 pF et une résistance de polarisation de 2,5 k Ω . Les pertes totales amenées par les

réseaux d'entrée et de sortie, à 60 GHz, sont de -3 dB dans le cas des lignes S-CPW et de -4 dB dans le cas des lignes TFMS. La technique de dimensionnement des transistors MOS est résumée dans l'organigramme présenté sur la **Figure II-17**.

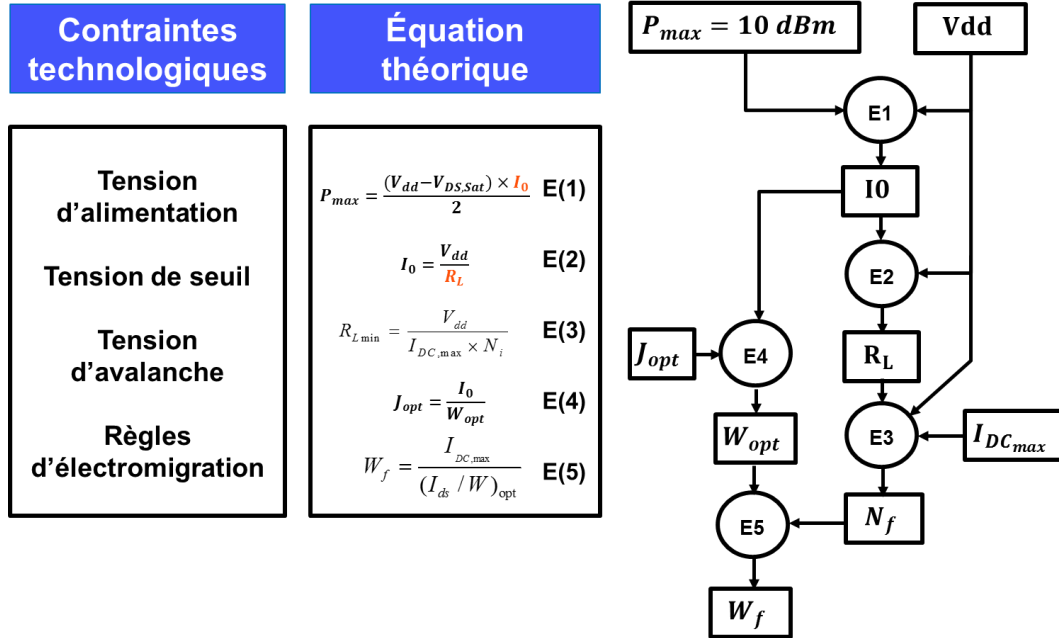


Figure II-17 Méthodologie de dimensionnement des transistors MOS des Pas

Cette méthodologie est basée sur les spécifications du PA à concevoir, les différents contraintes technologies et les équations théoriques utilisées pour la conception des PAs linéaires introduites dans le paragraphe II.2.2. Cette approche nous a permis de concevoir des amplificateurs ayant des performances suffisantes pour la comparaison visée.

II.6 Méthodologie de conception des amplificateurs de puissance en bipolaire

Les amplificateurs en bipolaire ont été conçus en utilisant la même valeur de courant de polarisation $I_0 = 27 \text{ mA}$. Cette hypothèse nous permet de comparer les PA MOS et Bipolaire à même courant de polarisation. La première étape consiste à déterminer la densité du courant optimal qui correspond à la valeur maximale de la fréquence de transition. Contrairement au cas des transistors MOS, pour les bipolaires SiGe, cette valeur n'est pas fixe et dépend de la technologie [Voinigescu, 06]. La **Figure II-18** montre l'évolution de la densité de courant optimale $J_{c_{b_{opt}}}$, qui correspond au maximum de f_t , pour plusieurs technologies BiCMOS. Nous pouvons remarquer que la densité du courant optimale $J_{c_{b_{opt}}}$ augmente en $0,0511 f_t^{1,0024}$ avec l'augmentation de la fréquence de transition. Une prédiction de la fréquence f_t maximale réalisable en technologie SiGe, faite par [Schroter, 11], montre que cette densité du courant peut aller jusqu'à $65 \text{ mA}/\mu\text{m}^2$ pour une fréquence f_t de 1,5 THz.

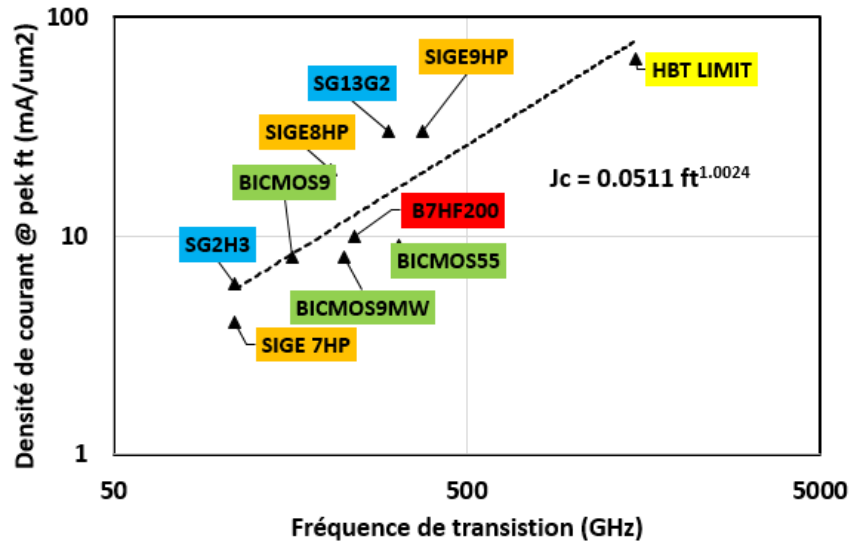


Figure II-18 Densité de courant @ peak f_t pour plusieurs technologies : en bleu [IHPM, 14], en vert [Chantre, 03], en orange [Cressler, 07], en rouge [Dotfive, 11], en jaune [Schroter, 11].

D'après la **Figure II-18**, la valeur maximale de f_t pour la technologie B55 correspond à une densité du courant $J_{c_{opt}}$ (entre 9 et 8 mA/ μm^2). En utilisant la valeur du courant optimal $J_{c_{opt}}$, nous avons calculé la surface optimale de l'émetteur avec l'équation suivante:

$$A_e = \frac{I_e}{J_{c_{opt}}} \quad \text{Eq. II-8}$$

L'étape suivante consiste à choisir la topologie du layout du transistor à utiliser. Les schémas des deux variantes du layout du transistor bipolaire, collecteur-émetteur-base (CBE) et collecteur-base-émetteur-base-collecteur Nbe x (CBEB)-C, avec Nbe est le nombre de doigts d'émetteur, disponibles dans la technologie B55 sont présentés sur la **Figure II-19**.

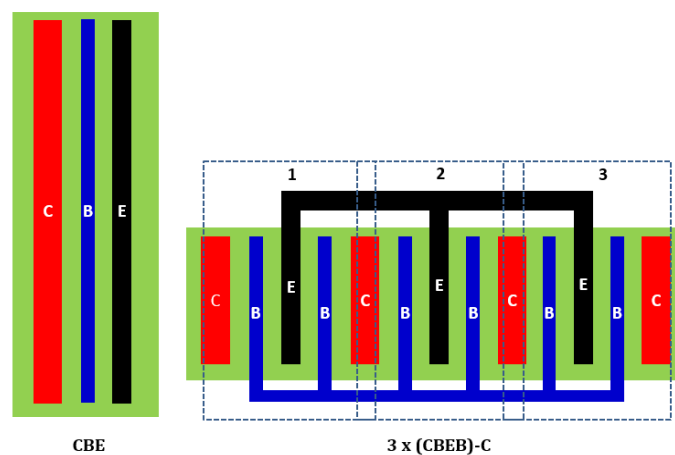


Figure II-19 Topologies de transistors bipolaires disponibles en technologie B55.

La configuration CBE présente des fréquences f_t et f_{max} inférieures à celles obtenues avec la configuration Nbe x (CBEB)-C. En effet, la configuration Nbe x (CBEB)-C réduit à la fois la résistance du collecteur et la résistance de la base ce qui se traduit par une réduction des constantes de temps intervenant dans l'expression de f_t et f_{max} malgré l'augmentation de la

capacité BC . En outre, l'injection symétrique des électrons dans la région de collecteur permet de retarder l'apparition de l'effet Kirk et de réduire le temps de transition dans le collecteur ce qui a pour effet d'augmenter la fréquence de transition [Pawlak, 09]. L'effet de la configuration sur la fréquence de transition et sur le gain MAG, qui est une image de f_{max} , est illustré sur la **Figure II-20**. Nous remarquons que l'impact de la configuration est d'autant plus important que la taille du transistor est grande (i.e. pour les applications à forte puissance).

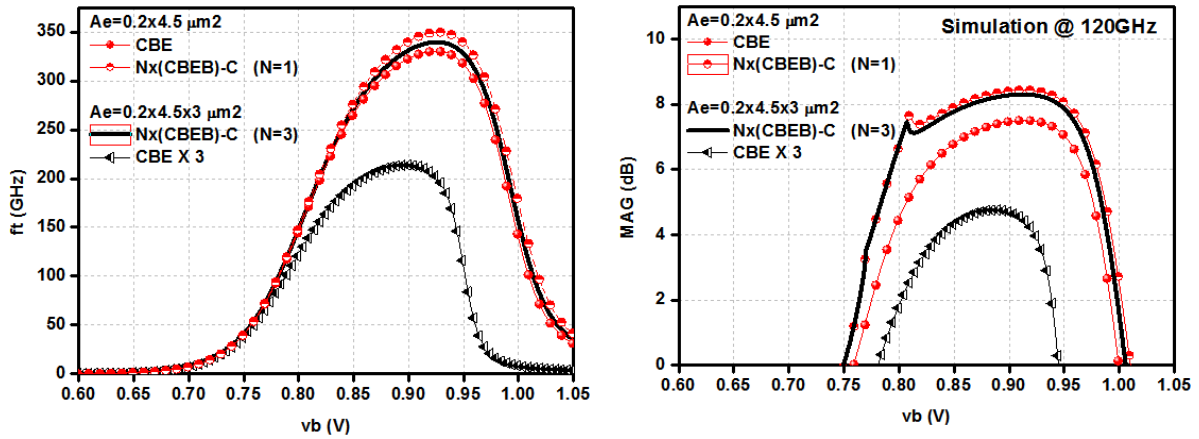


Figure II-20 Comparaison entre les performances des configurations CBE et $N_x(\text{CBEB})\text{-C}$ en fonction de la tension de base v_b : (gauche) évolution de la fréquence f_t , (droite) évolution du gain MAG à 120 GHz.

Suite à cette analyse, nous avons choisi la configuration $N_{be} \times (\text{CBEB})\text{-C}$ avec $N_{be}=3$. Nous pouvons maintenant calculer la taille du transistor pour un nombre des doigts donné en utilisant l'équation suivante :

$$L_e = \frac{A_e}{N_{be} W_e} \quad \text{Eq. II-9}$$

Avec L_e la longueur d'émetteur, et W_e la largeur d'émetteur qui est fixée à sa valeur minimale de $0,2 \mu\text{m}$. La **Figure II-21** montre le dessin du transistor complet optimisé à la fois pour respecter les règles d'électro-migration, données dans les documentations de la technologie, et pour minimiser les effets parasites des accès.

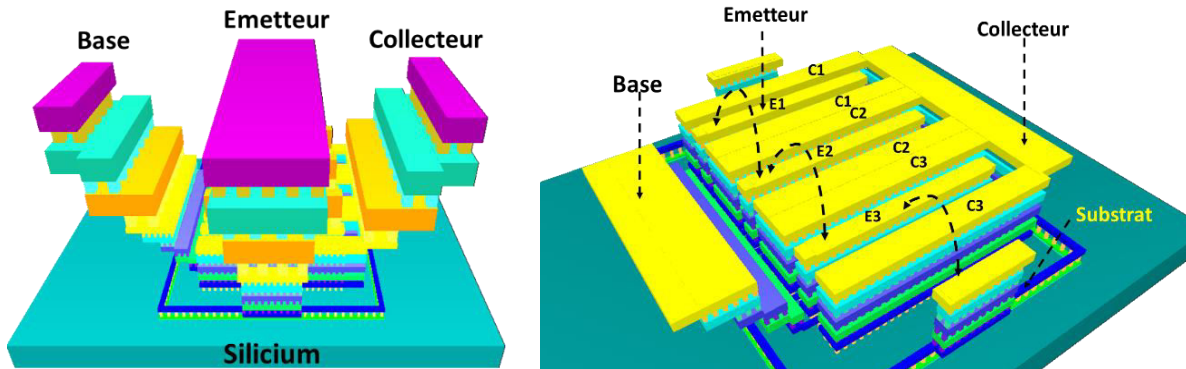


Figure II-21 Représentation 3D des accès du transistor bipolaire extrinsèque

En ce qui concerne l'adaptation d'impédance, le réseau d'adaptation en sortie présente une topologie similaire à celui utilisé pour le PA en MOS. En revanche, la topologie utilisée pour le réseau d'adaptation en entrée diffère. En effet, le transistor bipolaire présente une impédance d'entrée plus faible que le MOS avec un facteur de qualité plus faible. L'introduction d'une capacité série entre la base du transistor bipolaire et le réseau d'adaptation permet d'augmenter le facteur de qualité de l'impédance vue par le réseau. En conséquence, un réseau d'adaptation plus compact est obtenu.

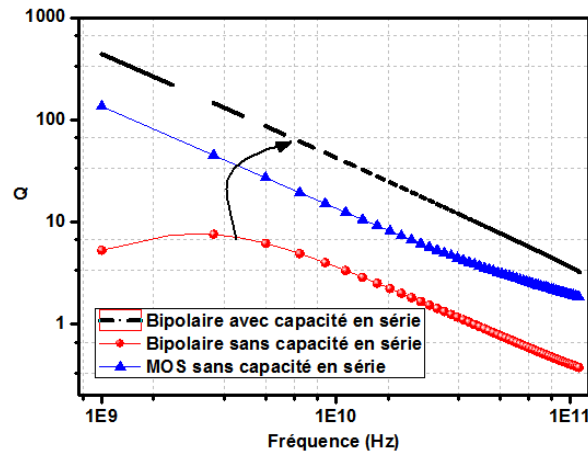


Figure II-22 Facteur de qualité d'entrée des transistors (échelle en log10 sur les deux axes)

La **Figure II-23** montre les deux chemins possibles pour adapter l'impédance d'entrée. Nous avons retenu la solution avec capacité en série. Le réseau d'adaptation est constitué d'un simple Té en microruban, et d'un stub (en TFMS ou en S-CPW). Le stub est court-circuité directement à la masse du circuit. Dans ce cas, la polarisation de la base du transistor est faite à travers une résistance de 5 K Ω mise directement entre la base et la capacité série qui précède le réseau d'entrée. Les pertes totales amenées par les réseaux d'entrée et de sortie, à 60 GHz, sont à peu près identiques à celles des PAs en MOS.

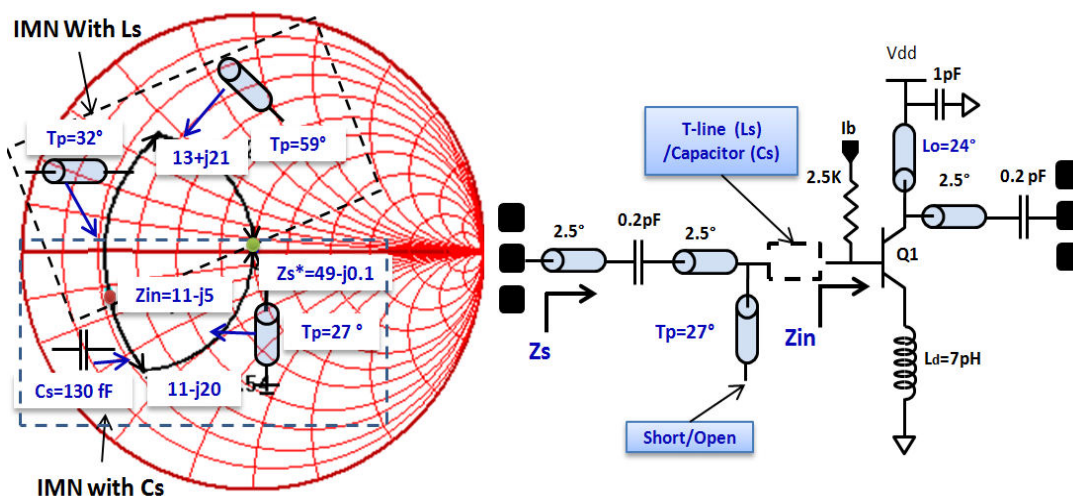


Figure II-23 Schéma simplifié de l'amplificateur de puissance en bipolaire

II.7 Caractérisation des amplificateurs fabriqués

II.7.1 Description du banc de mesure

Les mesures en paramètres S faites dans cette thèse sont réalisées au laboratoire IMEP-LAHC de Grenoble grâce à un banc de mesure sur plaque jusqu'à 110 GHz (**Figure II-24**)



Figure II-24 Photo du banc de mesure des paramètres S à l'IMEP-LAHC [Quemerais, 10].

Cet appareil est constitué d'un analyseur vectoriel de réseaux ANRITSU ME7808C générant un signal allant de 40 MHz à 65 GHz et d'une station semi-automatique Cascade S300. Par multiplication par 6 d'une fréquence externe allant jusqu'à 20 GHz dans les modules millimétriques, un signal est généré couvrant ainsi la bande 65 GHz à 110 GHz. En utilisant un combineur, le signal du VNA (Vector Network Analyzer) jusqu'à 65 GHz est combiné à celui des modules millimétriques afin d'obtenir un balayage de la fréquence allant de 40 MHz à 110 GHz sans discontinuité. La puissance de sortie du VNA est limitée dans la bande millimétrique (de l'ordre de -15 dBm au niveau de la pointe). Pour réaliser des mesures à fortes puissances, telles que les mesures de linéarité et de dynamique, nous avons utilisé un amplificateur de puissance externe permettant de fournir jusqu'à 16 dBm.

II.7.2 Performances mesurées des amplificateurs

La méthode de calibrage utilisée pour les mesures en paramètre S est de type LRRM (Line Reflect-Reflect Match) présentant une bonne précision jusqu'à 110 GHz [Quemerais, 10]. Pour les mesures en puissance (mesures grand signal), le niveau de puissance envoyé au dispositif sous test passe par une étape d'étalonnage du VNA. Pour cela nous utilisons une sonde de puissance Agilent V8486A couvrant la bande 50 GHz-75 GHz reliée à un puissance-mètre Agilent E4418B. Cette étape permet aussi de s'affranchir des pertes dans les câbles connectant les sondes et le VNA. La photo des 4 circuits mesurés est présentée sur la **Figure II-25**. Dans ce travail, nous avons optimisé le layout pour chacun des deux PAs MOS et fixé une configuration du layout pour les PAs en bipolaire.

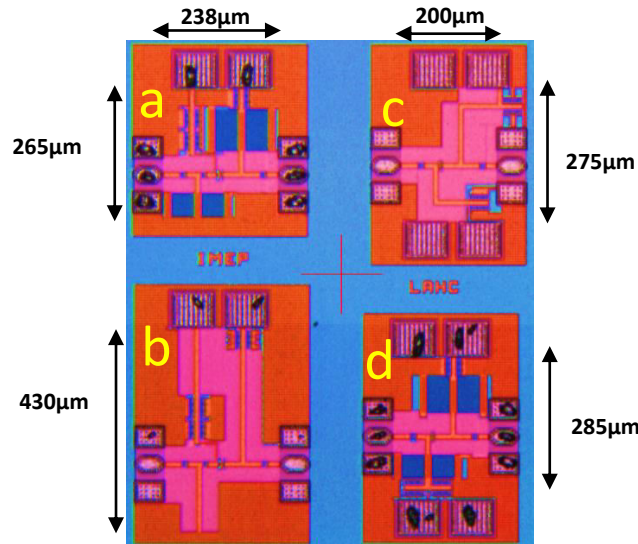


Figure II-25 Photographies (a) du PA bipolaire avec S-CPW, (b) PA bipolaire avec TFMS, (c) PA MOS avec TFMS, (d) PA MOS avec S-CPW

Les PAs en bipolaire de la **Figure II-25 (a) et (b)** montrent un gain en surface de à peu près $165 \times 240 \mu\text{m}^2$ entre le PA à lignes S-CPW et celui à ligne TFMS. Cela est dû au fait que la configuration des lignes en layout reste la même dans les deux cas. De l'autre côté, les PAs en MOS, **Figure II-25 (c) et (d)**, montrent que l'utilisation d'un layout optimisé (en utilisant des coudes par exemple avec les lignes TFMS), peut compenser le gain en surface obtenu avec le PA utilisant des S-CPW. On remarque que l'absence des encombrements latéraux dans les lignes TFMS donne une flexibilité d'optimisation pour le layout. Les mesures paramètres-S des quatre amplificateurs, effectuées sur des PAs appartenant à une même puce, sont représentées sur la **Figure II-26**.

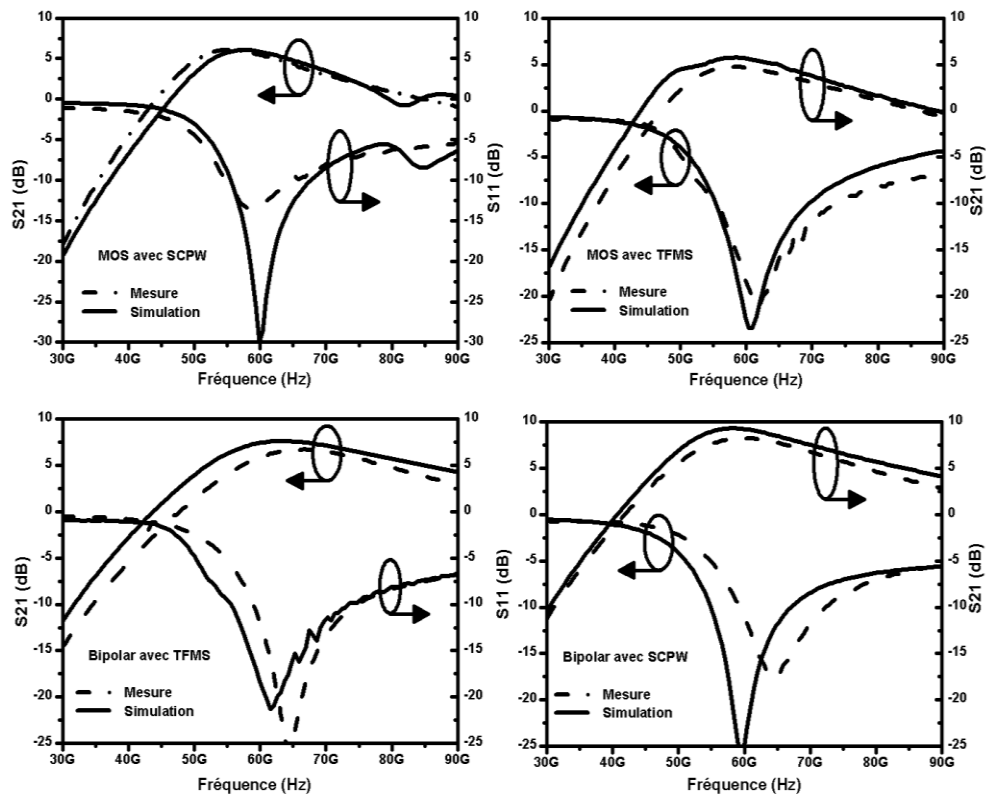


Figure II-26 Comparaisons entre mesures et simulations des amplificateurs fabriqués

Tout d'abord, on constate un bon accord entre les mesures et les simulations. Pour les PAs en MOS, un S_{21} de 5,8 dB a été mesuré pour le PA-SCPW contre 4,9 dB pour le PA-TFMS. Les paramètres S_{11} pour les deux PAs sont centrés autour de 60 GHz avec un S_{11} de -12 dB et -17 dB pour le PA-SCPW et PA-TFMS respectivement. Pour les PAs en bipolaire, le S_{21} à 60 GHz est de 8,2 dB pour le PA-SCPW contre 7,1 dB pour le PA-TFMS. Concernant les paramètres S_{11} , un décalage vers une fréquence plus haute a été observé dans les deux cas. Ce décalage est attribué à un modèle non encore mature du transistor bipolaire.

Nous rappelons que la stabilité inconditionnelle de l'amplificateur de puissance doit être assurée sur toute la bande de fréquence du DC jusqu'à la bande millimétrique. Lorsque le facteur de Rollet K (Eq. II-10) est supérieur à 1 et la valeur absolue du déterminant $|\Delta|$ (Eq. II-11) est inférieure à l'unité, l'amplificateur est dit inconditionnellement stable [Gonzalez, 97].

$$K = \frac{1 + |S_{11}|^2 - |S_{22}|^2 + |\Delta|^2}{2|S_{12}||S_{21}|} \quad \text{Eq. II-10}$$

$$|\Delta| = |S_{11}S_{22} - S_{12}S_{21}| \quad \text{Eq. II-11}$$

Ceci est vérifié pour les quatre amplificateurs réalisés comme le montre la **Figure II-27**. Notant que la stabilité mesurée par les facteurs K et $|\Delta|$ représente seulement la stabilité petit signal de l'amplificateur. Pour un amplificateur de puissance, spécialement pour les amplificateurs à plusieurs étages, la stabilité doit être aussi assurée par des simulations transitoires en injectant des impulsions sur les nœuds critiques de l'amplificateur. La réponse stable des amplificateurs en réponse aux impulsions appliquées a confirmé les résultats de stabilité en petit signal.

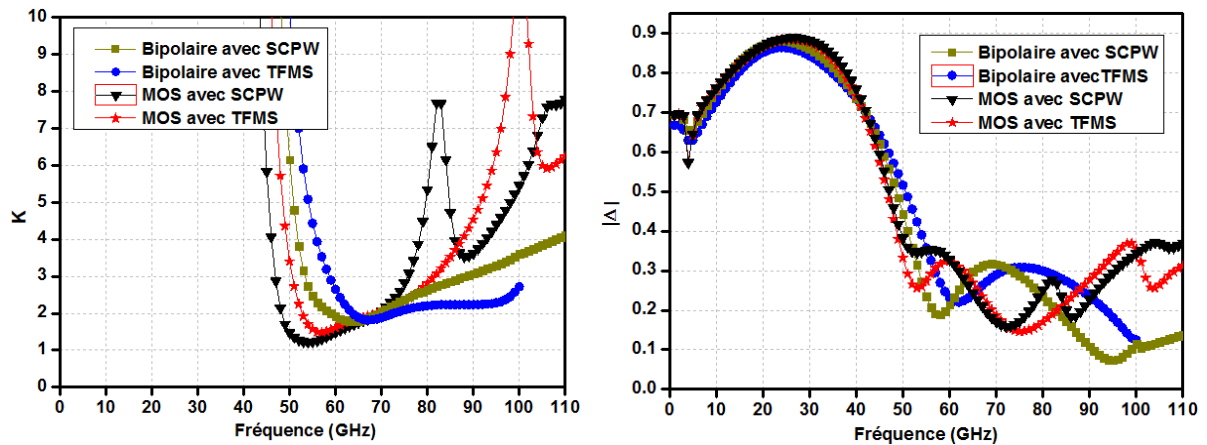


Figure II-27 Facteur de stabilité des PAs fabriqués : K et $|\Delta|$.

La **Figure II-28** montre le gain en puissance (gain large signal) et la puissance de sortie, mesurés à 60 GHz pour les quatre amplificateurs. Les PAs bipolaire présentent un gain en puissance de 8,2 dB pour le PA-SCPW et de 7 dB pour le PA-TFMS. Pour les PAs en MOS, un gain en puissance de 5,5 dB a été mesuré pour le PA-SCPW contre 4,9 dB pour le PA-TFMS. Comme prévu, la puissance de saturation est à peu près identique ($P_{\text{sat}} \approx 10$ dBm) pour les quatre PAs.

En ce qui concerne le rendement, une PAE de 16 % est obtenue pour le PA en bipolaire à base des lignes S-CPW. A l'opposé, le PA en MOS à base des lignes TFMS présente une efficacité de seulement 9 %. L'efficacité maximale pour le PA en MOS à base de lignes S-CPW est identique à celle du PA en bipolaire à base de lignes TFMS (PAE=12 %). Ces résultats montrent que l'utilisation du transistor bipolaire améliore l'efficacité de 3 % pour le même type de lignes. D'autre part, les lignes S-CPW améliorent l'efficacité de 3 % par rapport aux TFMS pour les deux types de PA (MOS et Bipolaire).

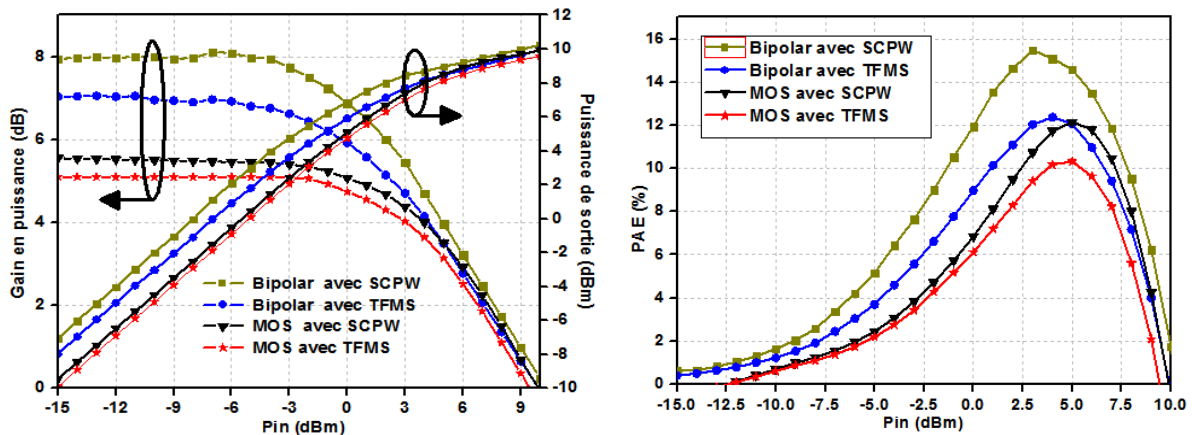


Figure II-28 Comparaisons entre mesures et simulations des mesures en puissance.

Ces résultats sont en bon accord avec les résultats estimés en utilisant le modèle analytique présenté dans le paragraphe II.2.2. Les paramètres DC (g_m^* , R_0) et RF ($R(Y_{in})$) de chaque PA sont détaillés dans le **Tableau II-3**. Ces paramètres ont été extraits par simulation et injectés dans le modèle de l'équation (Eq. II-4). Le paramètre α représente la perte totale dans les réseaux d'adaptation entrée/sortie. Ces résultats ont fait l'objectif d'une publication dans la conférence BCTM [Serhan, 14].

Tableau II-3 Tableau de comparaison entre les mesures et les performances estimées à partir du modèle analytique de l'équation Eq. II-4.

Type d'amplificateur	$\Re(Y_{in})$ ($m\Omega^{-1}$)	R_0 (Ω)	g_m^* ($m\Omega^{-1}$)	RL (Ω)	α (dB)	Estimation de G_p (dB) (Eq. II-4)	Mesure G_p (dB)
MOS /TFMS	10,5	90	60	45	-4	4,4	4,9
Bipolaire/TFMS	70	180	205	45	-4	8,2	7,1
MOS /S-CPW	10,5	90	60	45	-3	5,4	5,5
Bipolaire/S-CPW	70	180	205	45	-3	9,2	8.25

Le **Tableau II-4** résume les performances de nos amplificateurs par rapport à des réalisations issues de la littérature. Ces résultats permettent de montrer les améliorations apportées, sur les PAs millimétriques, par la combinaison entre la technologie bipolaire et la topologie des lignes à ondes lentes par rapport à l'utilisation d'une technologie et/ou une topologie des lignes standards.

Tableau II-4 Tableau de comparaison avec l'état de l'art des amplificateurs de puissance en silicium à un étage, classe-A, 60 GHz.

	Technologie	S_{11} (dB)	G_P (dB)	I_{DC} / V_{dd}	OCP_{1dB} (dBm)	PAE (%)	P_{sat} (dBm)	FOM ^t
[Quemerai, 10]	CMOS 65 nm	-13	4,5	20 mA -1,2 V	6,4	26	9,2	22
[Tang, 12]	CMOS 40 nm	-15	5,6	22 mA -1,2 V	7	16	10	20
[Garcia, 08]	CMOS 65 nm	x	4,5	27 mA - 1,2 V	6	8,5	9	7,3
Ce travail MOS/S-CPW	BiCMOS 55nm	-12	5,5	27 mA - 1,2V	7	12	10	15
Ce travail Bip. /S-CPW		-18	8,2		6,5	16		37
Ce travail MOS/TFMS		-20	4,9		7	9		15
Ce travail Bip. /TFMS		-14	7,1		6,5	12		37

$$^t\text{FOM} = G_p \times P_{sat} \times f^2 \times \text{PAE} \text{ [Tang, 12]}$$

II.8 Conclusion

Malgré l'évidence sur l'intérêt de transistors bipolaires pour la conception de circuits RF/mmW, il n'existait aucun travail dans la littérature qui compare l'apport du transistor bipolaire par rapport au transistor MOS dans un même nœud technologique BiCMOS dans le cadre de réalisation de PAs soumis à des conditions de fonctionnement identiques. Le travail mené dans ce chapitre réalise cette comparaison et met, en même temps, en évidence l'intérêt des lignes S-CPW par rapport aux lignes TFMS dans la conception des circuits en bande millimétrique. Ainsi, ce travail a contribué à la validation de modèles des transistors MOS et bipolaires de la technologie BiCMOS 55 nm, ainsi qu'à la modélisation des composants passifs utilisés : Les lignes TFMS et S-CPW, les capacités MOM, les plots de mesure RF. Une méthodologie de conception, basée sur les spécifications du PA à concevoir, les différentes contraintes technologies et les équations théoriques des PAs linéaires, a été adoptée pour le dimensionnement des PAs.

Les mesures, effectuées sur la même puce, montrent un gain en puissance de 8,2 dB pour le PA bipolaire avec des lignes S-CPW, contre 7 dB pour le PA en bipolaire avec des lignes TFMS. Pour les PAs en MOS, ce gain en puissance est de 5,5 dB pour le PA-SCPW contre 4,9 dB pour le PA-TFMS. La puissance de saturation est à peu près identique ($P_{sat} \approx 10$ dBm) pour les quatre PAs. D'autre part, une PAE de 16 % est obtenue pour le PA en bipolaire à base des lignes S-CPW. A l'opposé, le PA en MOS à base des lignes TFMS présente une efficacité de seulement 9 %. En outre, une PAE d'environ 12 % est obtenue à la fois pour le PA en MOS à base de lignes S-CPW et pour le PA en bipolaire à base de lignes TFMS. D'où l'amélioration apportée par le transistor bipolaire, pour le même type des lignes, est de 3 %. D'autre part, les lignes S-CPW améliorent l'efficacité, pour le même type des lignes, de 3 % par rapport aux TFMS. Enfin, le PA en émetteur commun réalisé avec des lignes S-CPW présente des performances mesurées au-dessus de l'état de l'art en ce qui concerne les amplificateurs de puissance linéaires 60 GHz à un étage.

Références

[Serhan, 14]

A. Serhan, et al., "Comparison between MOS and bipolar mm-wave power amplifiers in advanced SiGe technologies," IEEE Bipolar/BiCMOS Circuits and Technology Meeting (BCTM), 2014.

[IHPM, 14]

"Mm-wave SiGe IC Design: A Technology Overview", Semiconductor Today Magazine, 2014.

[Tang, 12]

X.L. Tang, E. Pistono, P. Ferrari, and J.-M. Fournier, "Enhanced Performance of 60-GHz Power Amplifier by using Slow-wave Transmission Lines in 40 nm CMOS Technology", International Journal of Microwave & Wireless Technology, Vol. 4, pp. 93-100, 2012.

[HP, 12]

Hewlett-Packard, "Wireless LAN at 60 GHz - IEEE 802.11ad Explained", <http://cp.literature.agilent.com/litweb/pdf/5990-9697EN.pdf>, Application note, pp. 4-5, 2012.

[Schroter, 11]

M. Schroter, et al., "Physical and Electrical Performance Limits of High-Speed SiGe:C HBTs—Part II: Lateral Scaling", IEEE Transaction on Electron Devices, vol. 58, no. 11, pp. 3697-3706, 2011.

[Dotfive, 11]

"Results on IFX HBT technology targeting for performances towards 2.5 ps gate delay and 500 GHz f_{max} ", Deliverable report for DOTFIVE project, <http://cordis.europa.eu/docs/projects/cnect/0/216110/080/deliverables/001-DOTFIVEDeliverableD241.pdf>, 2011.

[Pozar, 11]

D. Pozar, "Microwave Engineering", 4th edition, 2011: ISBN-13: 978-0470631553

[Quemerais, 10]

T. Quémérais, "Conception et étude de la fiabilité des amplificateurs de puissance fonctionnant aux fréquences millimétriques en technologies CMOS avancées", Thèse de Doctorat, Université de Grenoble, 2010.

[Pawlak, 09]

A. Pawlak, M. Schroter, J. Krause, G. Wedel, C. Jungemann, "On the Feasibility of 500 GHz Silicon-Germanium HBTs", IEEE Simulation of Semiconductor Processes and Devices, 2009.

[Garcia, 08]

A. Valdes-Garcia, S. Reynolds, J.-O. Plouchart, "60 GHz transmitter circuits in 65nm CMOS", Radio Frequency Integrated Circuits Symposium (RFIC), pp. 641-644, 2008.

[Cressler, 07]

J. D. Cressler, "Fabrication of SiGe HBT BiCMOS Technology", Hardcover – December 13, 2007: ISBN-13: 978-1420066876

[Voinigescu, 06]

S. P. Voinigescu, et al., "Si-based Semiconductor Components for Radio-Frequency Integrated Circuits (RF IC)", 2006: ISBN: 81-7895-196-7 Editor: Will Z. Cai.

[Chantre, 03]

A. Chantre, et al., "0.13 μ m SiGe:C BiCMOS technology", <http://www.electrochem.org/dl/ma/206/pdfs/1285.pdf>, 2003.

[Razavi, 00]

B. Razavi, "Design of Analog CMOS Integrated Circuits," McGraw-Hill, 1st edition, 2000. ISBN: 0072380322

[Razavi, 97]

B. Razavi, "RF Microelectronics," Prentice Hall, 1st edition, 1997. ISBN: 0138875715.

[\[Gonzalez, 97\]](#)

G. Gonzalez, "Microwave transistor amplifiers: analysis and design," Prentice Hall, 2nd ed., 1997.

ISBN: 0132543354.

Chapitre III : Détecteurs de puissance pour les applications millimétriques

III.1 Introduction et motivation

Le détecteur de puissance est un dispositif qui génère un signal DC en sortie en fonction de la puissance d'un signal RF en entrée. Généralement, la sortie du détecteur doit être proportionnelle à la puissance d'entrée RF.

Ce chapitre présente la conception de détecteurs de puissance pour les applications millimétriques. Deux types d'applications sont visés : (1) les applications basées sur le contrôle d'amplificateurs de puissance (Automatic level control ALC) où les détecteurs conçus doivent avoir une faible consommation, une vitesse élevée, une dynamique et une sensibilité modérées. (2) Les applications dédiées aux mesures in-situ et d'autotest (Built in Test BIT) où les détecteurs doivent principalement avoir une forte sensibilité et une large dynamique de détection.

Dans un premier temps, les concepts de base des détecteurs de puissance sont introduits et les catégories de détecteurs sont présentées. Ensuite, des architectures de détecteur de puissance réalisées avec les technologies CMOS et BiCMOS sont étudiées afin de déterminer celles qui sont le mieux adaptées aux applications visées. Finalement, nous présentons la conception et la caractérisation de quatre détecteurs de type BiCMOS qui constituent l'état de l'art des détecteurs de puissance à 60 GHz. Cette étude montre en plus les avantages et les inconvénients des transistors bipolaires et MOS pour la détection de puissance.

III.2 Les caractéristiques des détecteurs de puissance RF

Tout d'abord, nous présentons les caractéristiques des détecteurs de puissance RF afin d'avoir une définition claire des termes utilisés lors de l'évaluation des différentes architectures proposées dans la littérature.

III.2.1 La dynamique de détection et la sensibilité

La dynamique de détection d'un détecteur de puissance est l'intervalle de puissance pour lequel le signal DC en sortie du détecteur évolue avec la puissance du signal RF en entrée. Dans le cas idéal, la fonction de transfert d'un détecteur de puissance doit être linéaire sur toute la dynamique de détection, comme illustrée sur la **Figure III-1**.

La sensibilité est la puissance minimale P_{min} qui peut être détectée et elle est limitée par le bruit du détecteur. La valeur supérieure de la dynamique de détection P_{max} est limitée par, la capacité thermique pour les détecteurs de puissance à base d'effet joule, et par l'effet de saturation

pour les détecteurs à base de transistors. En général, le besoin en dynamique dépend de l'application dans laquelle le détecteur sera utilisé (voir prochains paragraphes).

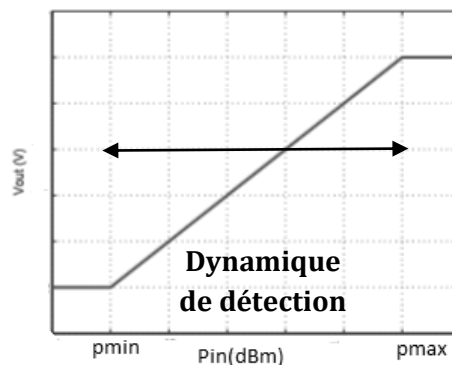


Figure III-1 Caractéristique de transfert idéale d'un détecteur de puissance

III.2.2 Le temps de réponse et la bande de fonctionnement en entrée

Le temps de réponse est le temps nécessaire au détecteur pour fournir une réponse stable après un changement de la puissance d'entrée. Pour les applications ALC, la variation du signal en sortie doit être compatible avec la vitesse de variation de l'amplitude du signal RF modulé. Les détecteurs de puissance basés sur l'effet Joule présentent un temps de réponse élevé par rapport à celui de détecteurs à base de transistors. Cette limitation est liée à l'inertie thermique des détecteurs de température. Dans le cas de détecteurs à transistor, le temps de réponse du détecteur est défini par le réseau du filtrage en sortie. Le temps de réponse des détecteurs actifs est souvent un compromis avec la sensibilité et la consommation.

La bande de fonctionnement en entrée d'un détecteur est la plage de fréquence du signal en entrée (d'amplitude constante) pour laquelle le signal en sortie est quasiment constant. Pour les applications à bande étroite, cette caractéristique n'est pas critique. Elle le devient dans les applications large bande comme les applications de test in-situ.

III.2.3 La consommation en puissance

La consommation en puissance est la puissance consommée par le détecteur pour effectuer la mesure. Pour les applications ALC, le détecteur de puissance doit avoir une faible consommation. L'efficacité en puissance des détecteurs devient en effet critique lorsque la consommation du détecteur représente un pourcentage important par rapport à la consommation du circuit sous test, or la consommation de puissance du détecteur est relative à la puissance du circuit sous test. Pour le test intégré (BIT : Built In Test), la consommation n'est pas critique puisque les circuits de test ne sont utilisés qu'en mode test.

III.2.4 La technologie de fabrication et la surface du détecteur

La technologie de fabrication a un effet sur le coût et les performances du détecteur. Comme déjà expliqué dans le **chapitre I**, les technologies CMOS et BiCMOS permettent un bon niveau d'intégration et de très bonnes performances avec un coût réduit. Enfin, la surface occupée est un critère important pour une raison de coût et d'intégration dans le circuit sous test. Pour ces raisons, nous avons exploré des architectures de détecteurs compatibles avec ces deux technologies.

III.3 Etat de l'art des détecteurs de puissance

Dans cette section, une revue des détecteurs de puissance est effectuée. Les détecteurs à diode sont présentés brièvement. Nous allons rentrer plus en détail pour les détecteurs compatibles avec les technologies CMOS et BiCMOS. Leurs principes de fonctionnement ainsi que leurs différentes limitations sont détaillées afin d'expliquer le choix des architectures étudiées dans ce travail de thèse.

III.3.1 Détecteur de puissance à diode

Le principe de détecteurs à diode est basé sur la fonction exponentielle du courant en fonction de la tension [Woochul, 05] selon l'équation (Eq. III-1):

$$I = I_0 \left(e^{\frac{q}{nKT} V_j} - 1 \right) \quad \text{Eq. III-1}$$

I_0 est le courant de saturation de la diode, n est une constante technologique, k est la constante de Boltzmann, q est la charge d'un électron, T est la température en Kelvin et V_j est la tension aux bornes de la diode.

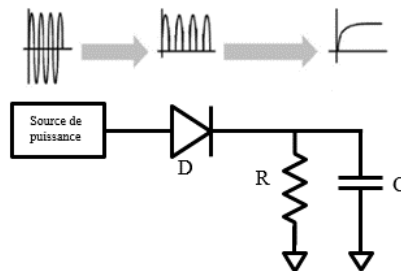


Figure III-2 Principe du détecteur à diode.

Le circuit de la **Figure III-2** illustre le principe de détecteurs à diode. Pour des faibles puissances d'entrée, le courant est donné par l'équation (Eq. III-2) [Woochul, 05]. Dans cette équation, les termes d'ordre 2 prédominent et le courant est donc approximé par une relation quadratique de la tension RF (V_j). Le réseau RC filtre le courant, et procure une tension proportionnelle à l'enveloppe du signal qui représente la puissance RF.

$$I = I_0 \sum_{i=1}^{i=\infty} \frac{\left(\frac{q}{nKT} V_j\right)^i}{i!} \quad \text{Eq. III-2}$$

Pour des fortes puissances d'entrée, la diode joue le rôle d'un redresseur. La relation devient alors linéaire entre la tension RF (V_j) et le courant moyen. La nécessité d'utiliser une diode de type Schottky, pour avoir de bonnes performances, rend ce détecteur incompatible avec les procédés technologiques standards CMOS et BiCMOS [Zhang, 06].

III.3.2 Détecteur de puissance à base de transistors MOS et Bipolaires

L'utilisation des transistors bipolaires pour réaliser des détecteurs de puissance a été explorée par [Meyer, 95]. La **Figure III-3** montre une version modifiée du détecteur publiée dans [Zhang, 04].

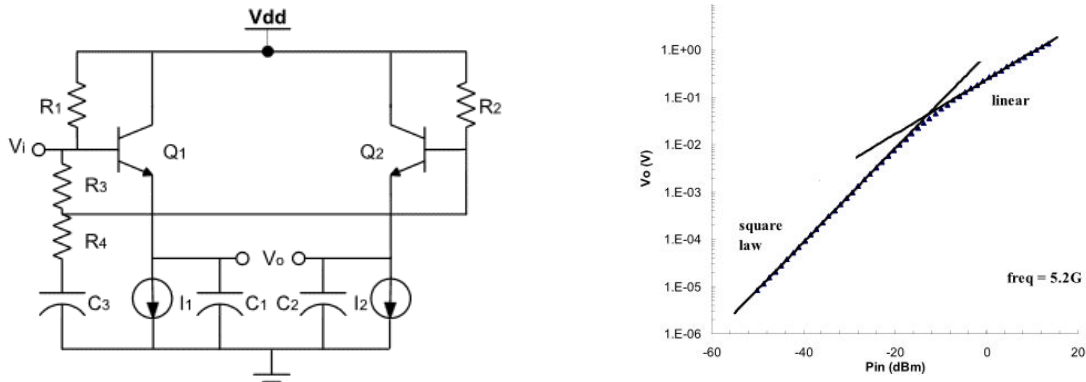


Figure III-3 Schéma simplifié du détecteur proposé dans [Zhang, 04] et fonction de transfert du détecteur pour un signal à 5.2 GHz

L'auteur distingue deux modes de fonctionnement, le mode faible puissance où le signal en sortie est proportionnel au carré de la tension d'entrée V_{ac} , et un mode forte puissance où le signal en sortie est une fonction linéaire de la tension d'entrée. Pour les fortes puissances, la sortie du détecteur est donnée par :

$$V_o = (1 - \beta)V_{ac} + \frac{1}{2}V_T \ln(\beta) \quad \text{avec } V_T = 25 \text{ mV} \quad \text{Eq. III-3}$$

Où β représente le gain en courant, et V_T est la tension thermique de la jonction. Pour les faibles puissances, la sortie du détecteur est donnée par (**Eq. III-4**) :

$$V_o = \frac{(1 + \beta^2)V_{ac}^2}{4V_T} \quad \text{Eq. III-4}$$

Le transistor Q_2 sert à annuler la composante DC du signal V_o^+ . La caractérisation à 5.2 GHz de ce détecteur montre une dynamique maximale de 65 dB et une sensibilité de -50 dBm (**Figure III-3**). Ce détecteur est très intéressant à la fois pour les applications ALC et BIT. Une version multi étages, visant l'extension de la zone de détection linéaire du détecteur, est publiée dans [Zhang,

06]. Ce dernier a été validé par mesures à 20 GHz (et par simulation à 60 GHz). Ce type de détecteurs sera exploré en détail dans ce chapitre.

Une solution alternative a été proposée par [Zhou, 08] en utilisant des transistors MOS en régime forte inversion (courant naturellement proportionnel à la puissance). Le schéma du détecteur est donné sur la **Figure III-4**.

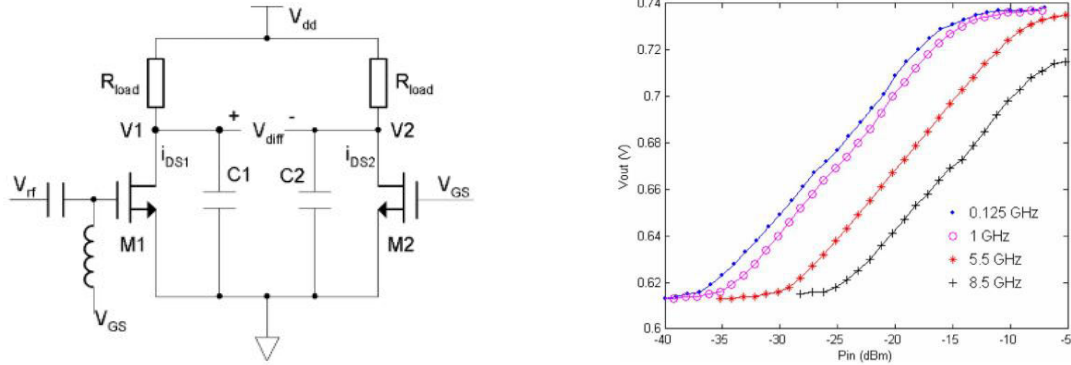


Figure III-4 Schéma simplifié du détecteur proposé dans [Zhou, 08] et fonction de transfert du détecteur pour plusieurs fréquences d'entrée

Le transistor M_1 sert à transformer la tension d'entrée V_{rf} en un courant de sortie i_{DS1} . Comme pour le détecteur de Meyer, le transistor M_2 sert à annuler les composantes DC du signal V_{diff}^+ et à compenser les tensions d'offset. Enfin, la capacité C_1 filtre les composantes RF du signal de sortie. Les courants dans les transistors M_1 et M_2 sont donnés par:

$$I_{DS1} = \frac{\mu_n C_{ox} W}{2L} (V_{GS} + V_{rf} - V_{th})^2 \quad \text{Eq. III-5}$$

$$I_{DS2} = \frac{\mu_n C_{ox} W}{2L} (V_{GS} - V_{th})^2 \quad \text{Eq. III-6}$$

Avec μ_n la mobilité des électrons dans le canal, C_{ox} la capacité d'oxyde, W et L , respectivement, la largeur et la longueur du canal de transistors. V_{GS} est la tension DC appliquée sur la grille du M_1 et M_2 , V_{th} est la tension de seuil du M_1 et M_2 , et finalement V_{rf} est l'amplitude du signal RF en entrée du transistor M_1 . Pour un signal d'entrée $V_{rf} = V_i \cos(w_0 t)$, le signal de sortie est donné par:

$$V_{diff} = R_{load} \frac{\mu_n C_{ox} W}{2L} \left[\frac{V_i^2}{2} + \frac{V_i^2}{2} \cos(2w_0 t) + (V_{GS} - V_{th}) V_i \cos(w_0 t) \right] \quad \text{Eq. III-7}$$

La capacité C_1 en sortie sert à filtrer les composantes RF situées autour de w_0 et $2w_0$, en conséquence le signal différentiel en sortie devient [Zhou, 08]:

$$V_{diff} = R_{load} \frac{\mu_n C_{ox} W}{4L} V_i^2 \quad \text{Eq. III-8}$$

Le même type de détecteur a été déjà proposé par [Zhou, 06] en technologie BiCMOS 0.25 μm . Les résultats de simulation montrent une dynamique de 45 dB, une sensibilité de -45 dBm autour de 6 GHz, et une consommation totale de 17 mW. La sensibilité et la dynamique de ces détecteurs sont compatibles pour les applications BIT. En revanche leur consommation varie en fonction de la puissance d'entrée, contrairement au détecteur précédent.

Un autre type du détecteur est le détecteur logarithmique. Ce détecteur a été développé par [Kim, 13] en technologie CMOS 0.13 μm . Le détecteur est formé de trois cellules de gain, trois redresseurs simples et un additionneur de tension (**Figure III-5**). Il possède une dynamique de détection linéaire de 50 dB pour une fréquence d'entrée de 16 GHz (**Figure III-5**). Cette large dynamique est atteinte grâce à la division de la puissance d'entrée entre les trois branches du détecteur, et à l'utilisation des redresseurs classe-B à source dégénérée [Kim, 13].

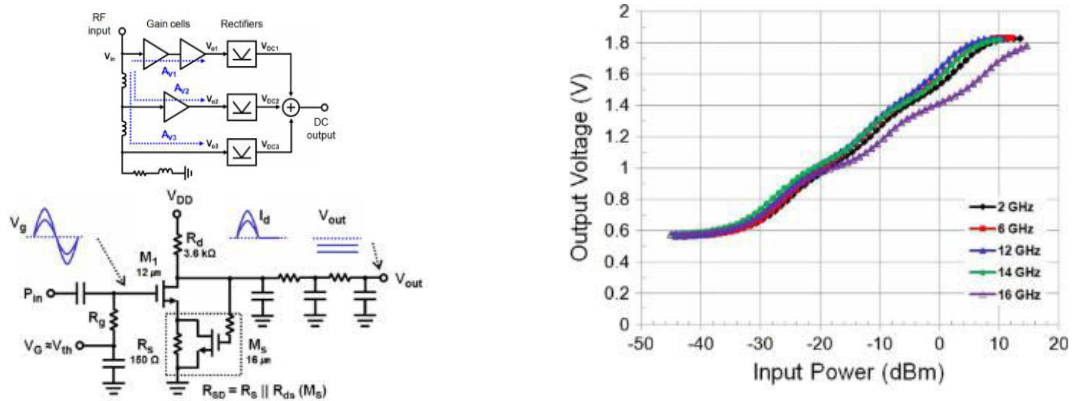


Figure III-5 Schéma simplifié du détecteur proposé dans [Kim, 13], fonction de transfert du détecteur pour plusieurs fréquences d'entrée.

Le détecteur consomme 35 mW pour une tension d'alimentation de 2 V ce qui le rend incompatible pour les applications de type ALC dédiées à l'amélioration de la PAE d'un PA par exemple.

Le principe du détecteur à diode, réalisée par un transistor bipolaire, a été expérimenté par [Hu, 06]. Le détecteur, présenté sur la **Figure III-6**, utilise les transistors en configuration diode (collecteur connecté à la base) pour redresser le signal RF.

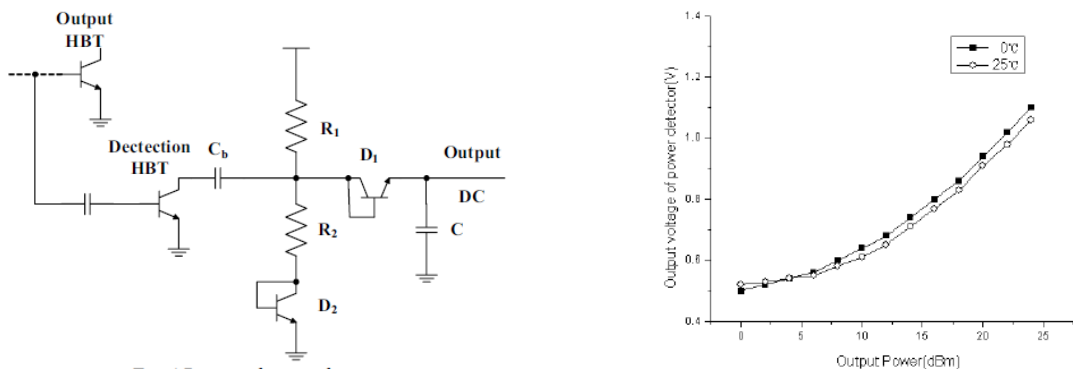


Figure III-6 Schéma simplifié du détecteur proposé, fonction de transfert du détecteur pour plusieurs fréquences d'entrée

Les simulations montrent une dynamique de détection linéaire autour de 15 dB comme nous montre la **Figure III-6**. Les problèmes, selon [Hu, 06], de ce type de détecteur sont la sensibilité aux variations de température (V_{th} du transistor), et la sensibilité aux variations du procédé de fabrication. On peut aussi relever, à partir de la **Figure III-6**, le problème d'une sensibilité très faible.

Des solutions basées sur le traitement analogique du signal RF ont été proposées dans [Yin, 05] [Kouwen, 05]. Ce type de détecteur est basé sur le principe des circuits translinéaires en courant pour réaliser des multiplicateurs [Kouwen, 05] ou bien des diviseurs [Yin, 05] afin de redresser le signal RF. Ils visent principalement la détection de la valeur RMS (Root Mean Square) de la tension RF d'entrée. La **Figure III-7** montre le cœur du détecteur proposé par [Yin, 05]. La tension d'entrée est convertie en courant I_{in} avant d'être traitée par le diviseur de courant (**Figure III-7**). Finalement, le courant de sortie I_{out} est donné par [Yin, 05]:

$$I_{out} = \frac{I_{in}^2}{I_0 + s C V_T} \quad \text{Eq. III-9}$$

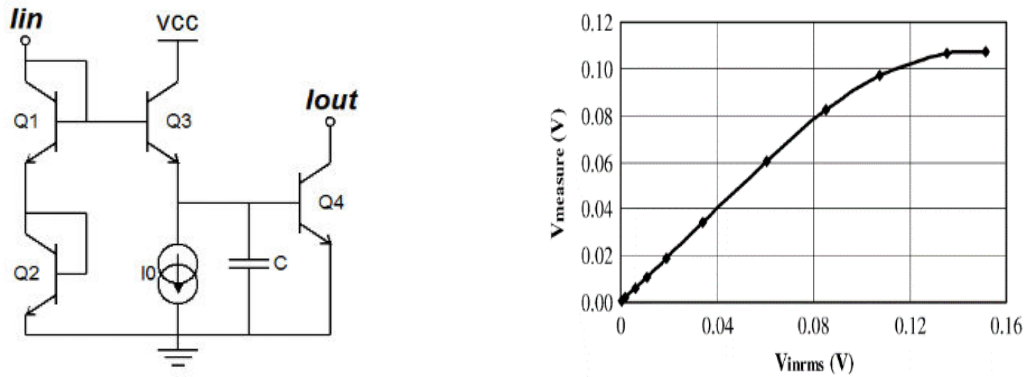


Figure III-7 Schéma simplifié du détecteur proposé dans [Yin, 05] et sa fonction de transfert.

Ce type de détecteur nécessite l'utilisation de convertisseurs courant-tension et tension-courant ce qui augmente le nombre d'étages du circuit. De plus, sa complexité limite la bande passante et rend le détecteur inutilisable pour les applications haut débit - haute vitesse comme dans le cas des applications millimétriques.

La **Figure III-8** montre les principaux blocs d'un autre type de détecteur proposé par [Garcia, 08]. Le circuit est composé de trois étages : un convertisseur courant-tension constitué par les transistors M_1 à M_5 , le deuxième étage est un circuit redresseur double alternance classe AB, et finalement un filtre RC passe bas. Une sensibilité à une puissance de -25 dBm et une dynamique de 30 dB sont mesurées pour une fréquence d'entrée de 0,9 GHz. La consommation totale du détecteur est de 8,5 mW pour une tension d'alimentation de 3,3 V. Cette consommation est acceptable pour les applications BIT pour lesquelles ce détecteur a été développé.

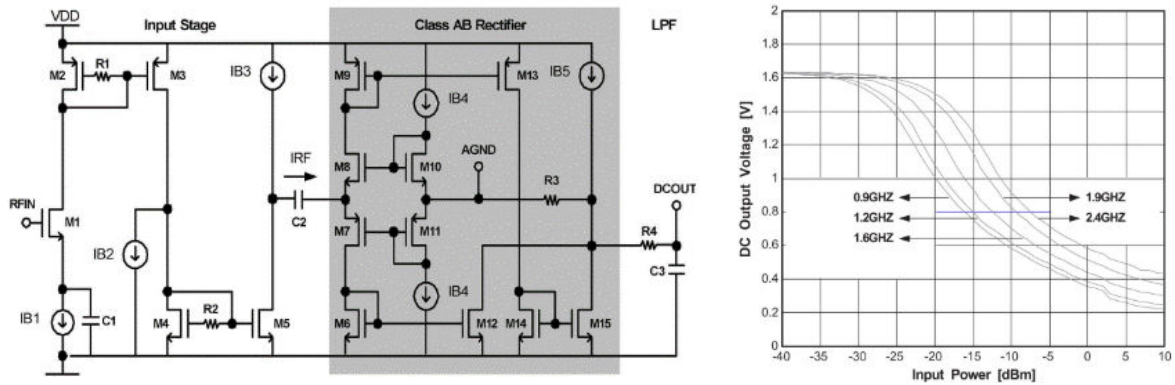


Figure III-8 Schéma simplifié du détecteur proposé dans [Garcia, 08], et sa fonction de transfert pour plusieurs fréquences d'entrée.

[Abdallah, 10] a proposé une autre structure pour les applications de test in situ à 2.4 GHz. Ce détecteur a été développé dans la technologie NXP 0.25 μm . La Figure III-9 montre le schéma complet du détecteur qui comporte une cellule de détection suivie par un filtre passe-bas. Pour les fortes puissances, le transistor M_2 polarisé en faible inversion, joue le rôle d'un redresseur mono-alternance. La Figure III-9 montre une dynamique de détection linéaire de 20 dB sur une bande de fréquence de fonctionnement de 500 MHz à 10 GHz. La vitesse de réponse et la consommation n'ont pas été mentionnées dans la publication. Ce détecteur sera exploré plus en détails dans ce travail de thèse dans une version BiCMOS avec une grande dynamique de détection et pour des applications dans le domaine millimétrique.

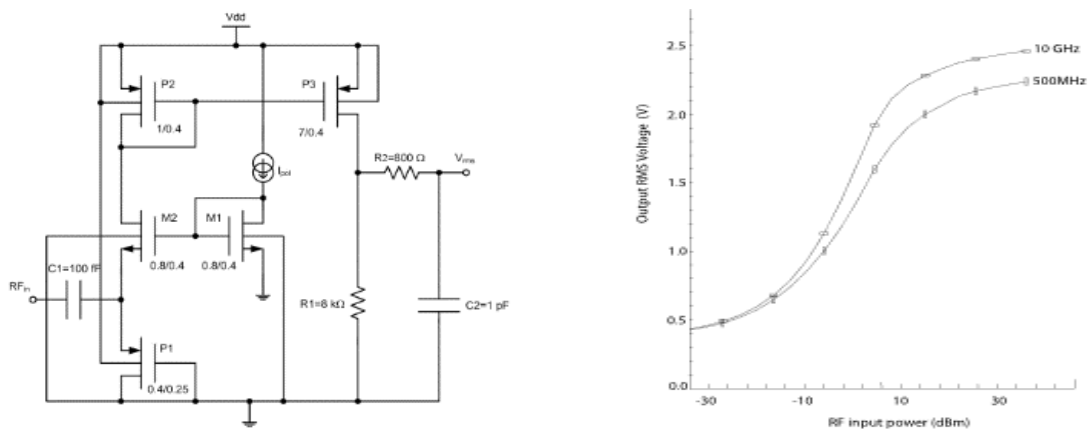


Figure III-9 Schéma simplifié du détecteur proposé [Abdallah, 10], fonction de transfert du détecteur pour plusieurs fréquences d'entrée.

En 2007, une première démonstration d'un détecteur 60 GHz a été reportée dans [Pfeiffer, 07]. Le détecteur développé en technologie SiGe BiCMOS 0.13 μm montre une dynamique de détection linéaire de 8.5 dB, une sensibilité de 4 dBm et une bande passante maximale de détection de 13.8 MHz. Le schéma du détecteur est illustré sur la Figure III-10. Le signal d'entrée issu du coupleur est transformé en courant par les transistors T5 et T6, ensuite ce courant est copié et filtré par un miroir du courant. Le courant de sortie du premier étage est amplifié puis transformé en tension par un convertisseur courant-tension à 3 étages. Enfin, le détecteur dispose de deux sorties basses

fréquences, une sortie ALC est utilisée dans une boucle d'asservissement d'un PA 60 GHz, et une deuxième sortie « to digital » est proposée pour faire du test in-situ (BITS) [Pfeiffer, 07].

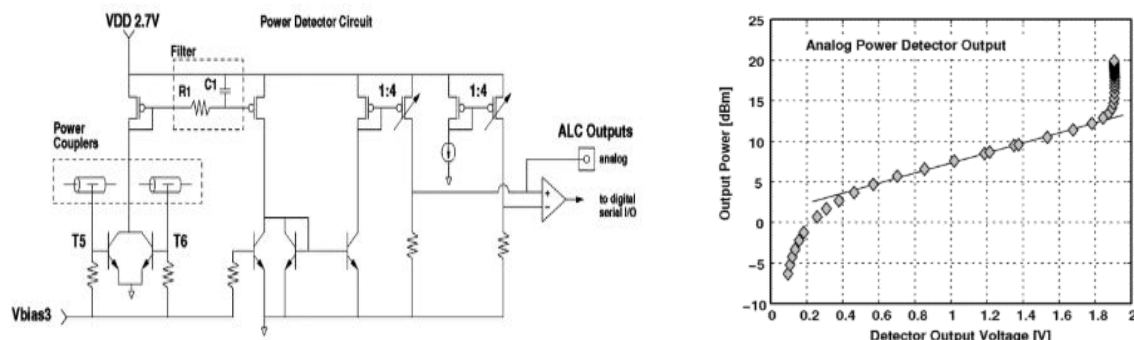


Figure III-10 schéma simplifié du détecteur proposé dans [Pfeiffer, 07], fonction de transfert du détecteur pour un signal d'entrée 60 GHz.

Une architecture similaire, conçue en CMOS, a été proposée par [Gorisse, 09], et fabriquée en technologie CMOS 65 nm de STMicroelectronics. L'occupation en surface de ce détecteur est seulement de $80 \times 80 \mu\text{m}^2$. Il consomme une puissance de $60 \mu\text{W}$ pour une tension d'alimentation de 1 V. Ce détecteur a été utilisé dans une boucle d'asservissement pour la réduction des effets SVWR (Voltage Standing-Wave Ratio) dans des PAs 60 GHz.

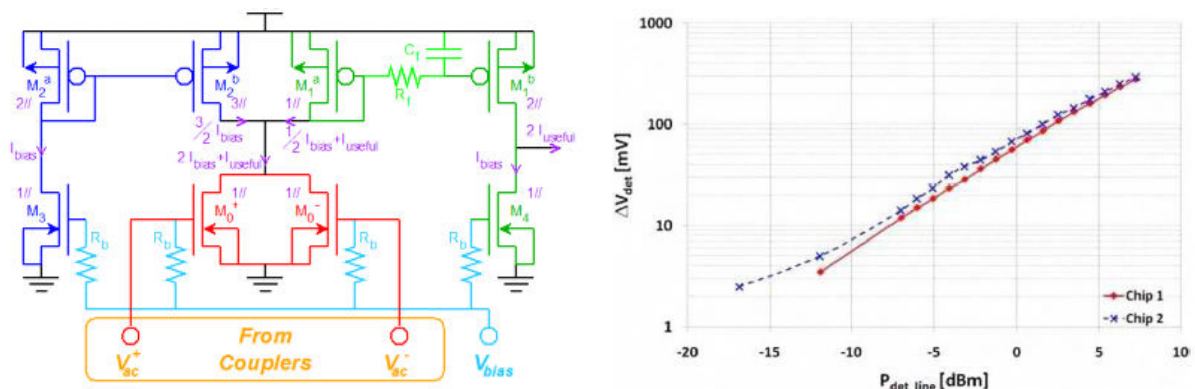


Figure III-11 Schéma simplifié du détecteur proposé dans [Pfeiffer, 07], et sa fonction de transfert pour un signal d'entrée à 60 GHz.

Une dynamique de détection de 25 dB (trois fois plus grande que [Pfeiffer, 07]) pour une sensibilité de -25 dBm a été obtenue. Cependant, l'utilisation d'un nombre élevé d'étages, pour la conversion courant tension, limite la bande passante de détection de l'enveloppe du signal à 100MHz. La puissance DC augmente en fonction de la puissance détectée.

Récemment, un détecteur utilisant un transistor bipolaire monté en émetteur commun, a été proposé par [Zhang, 12]. Ce détecteur est conçu en technologie Infineon SiGe 0.35 μm et possède une surface totale de $0.35 \times 0.8 \text{ mm}^2$ (Pads inclus). Le schéma du détecteur est représenté sur la Figure III-12, la taille du transistor 3 μm permet d'obtenir un compromis entre le bruit $1/f$ et le gain de conversion. Le transistor est polarisé à son seuil de conduction par la tension de polarisation de base V_b . En sortie du détecteur un filtre réjecteur, constitué de l'inductance L_2 et

la capacité C_3 , a été utilisé pour compenser les capacités parasites du collecteur. Finalement, l'impédance d'entrée du transistor est adaptée à 50 ohms par le réseau $(L_1 - C_1)$.

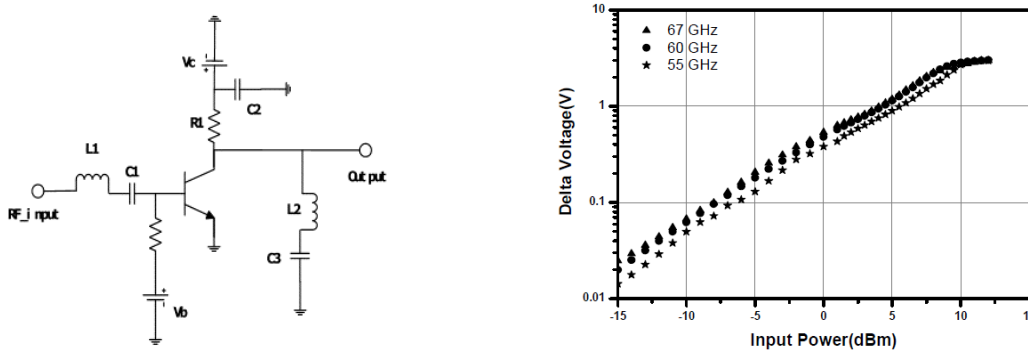


Figure III-12 Schéma simplifié du détecteur proposé dans [Zhang, 12], et sa fonction de transfert pour plusieurs fréquences d'entrée.

Le détecteur a une dynamique supérieure à 20 dB dans la bande de fréquence de 55 GHz à 67 GHz (Figure III-12). L'avantage du détecteur est sa grande vitesse (un temps de montée de 25 ps, obtenu en simulation). Le problème est la grande surface occupée par le filtre de sortie et le réseau d'adaptation en entrée.

III.3.3 Conclusion sur la littérature de détecteur de puissance

Dans les paragraphes précédents, plusieurs types de détecteurs de puissance issus de la littérature ont été présentés. Les détecteurs à diodes ont une large bande de fonctionnement, un temps de réponse court, et une consommation faible. En revanche, les diodes utilisées ne sont pas compatibles avec les procédés de fabrication standards.

Pour les fréquences du signal d'entrée inférieures à 60 GHz, les détecteurs présentés dans [Garcia, 08] et [Kim, 13] ont une assez bonne dynamique (supérieure à 30 dB). Par contre, ils présentent une consommation élevée (autour de 10 mW). Ensuite, le détecteur CMOS présenté par [Abdallah, 10] et bipolaire présenté par [Hu, 06] visent la détection des fortes puissances. Ils présentent une consommation modérée et une dynamique acceptable. La détection de puissance avec des détecteurs de puissance bipolaire à consommation faible et constante a été présentée par [Meyer, 95][Zhang, 04][Zhang, 06]. Ces détecteurs possèdent une dynamique très large (65 dB) et une sensibilité (-50 dBm) comparable aux détecteurs à diode.

A 60 GHz, le détecteur CMOS fonctionnant en régime saturé [Gorisse, 09], a une faible surface ($80 \times 80 \mu m^2$) et des performances relativement bonnes en termes de dynamique et de sensibilité (25 dB et -25dBm respectivement). Par contre, la bande passante en sortie de ce détecteur est limitée à 100 MHz ce qui le rend peu compatible avec la modulation d'enveloppe de signaux télécom dans la gamme des fréquences millimétriques. Le détecteur en bipolaire proposé par [Pfeiffer, 07] présente une dynamique limitée à 8 dB, une sensibilité de -4 dBm, et une vitesse de 13 MHz. Enfin, le détecteur en bipolaire proposée par [Zhang, 12] possède une dynamique de 20

dB et une sensibilité de -15 dBm. L'architecture est très simple mais elle occupe une large surface. La vitesse simulée de ce détecteur est de 25ps, il est donc capable de suivre des signaux 60 GHz modulés à une vitesse supérieure à 2 GHz. L'ensemble des détecteurs présentés dans ce chapitre nous permet de définir un récapitulatif des critères de choix de notre détecteur. Comme illustré sur la **Figure III-13**, le choix d'un détecteur de puissance est un compromis entre 6 paramètres principaux, tous dépendants les uns des autres. Principalement, la sensibilité est en compromis avec le temps de réponse (bande passante du bruit en sortie), la fréquence de fonctionnement est en compromis avec l'impédance d'entrée.

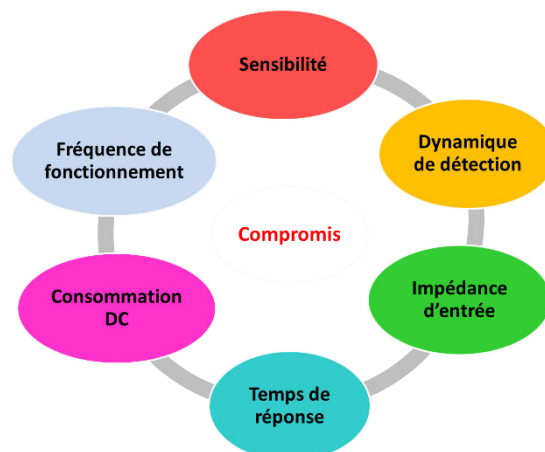


Figure III-13 Paramètres principaux pour le choix d'un détecteur de puissance

Les figures ci-dessous présentent la distribution des différents détecteurs, les plus cités dans la littérature, selon différents critères. La **Figure III-14** met en évidence le nombre limité de détecteurs de puissance dans la bande millimétrique ce qui explique notre motivation à développer des détecteurs fonctionnant dans cette bande de fréquence.

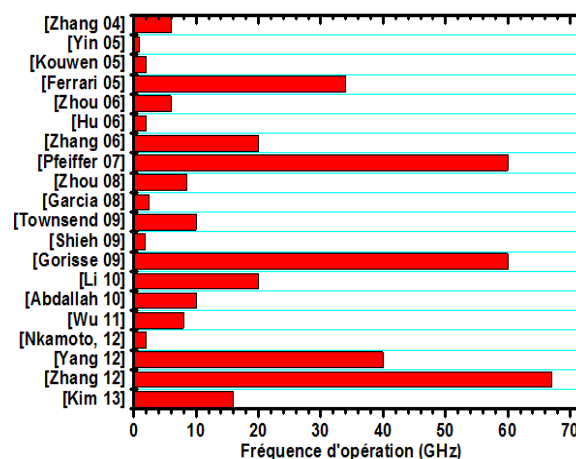


Figure III-14 (a) Fréquence de fonctionnement de détecteurs présentés dans la littérature.

De la même manière, les **Figure III-15 (a) et (b)** montrent que la sensibilité et la dynamique moyenne pour un détecteur de puissance sont de l'ordre de -25dBm et 30dB respectivement.

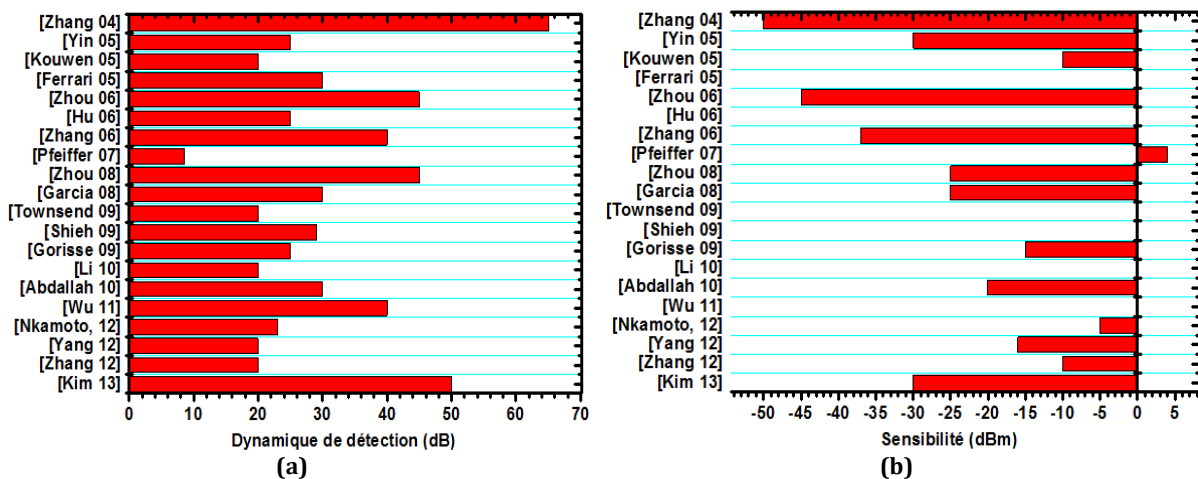


Figure III-15 (a) dynamique de détection et (a) sensibilité des détecteurs présentés dans la littérature.

Les **Figure III-16** et **Figure III-17** montrent l'évolution de la sensibilité et de la dynamique en fonction de la fréquence. On remarque que la sensibilité maximale atteinte est de l'ordre de -50 dBm. La dynamique, quant-à-elle, est strictement liée à la sensibilité et est de l'ordre de 65dB dans les meilleurs cas mais pour des fréquences RF faibles. La correspondance entre les références de **Figure III-16** et **Figure III-17** et celles de la **Figure III-15** se trouve dans le **Tableau III-5**.

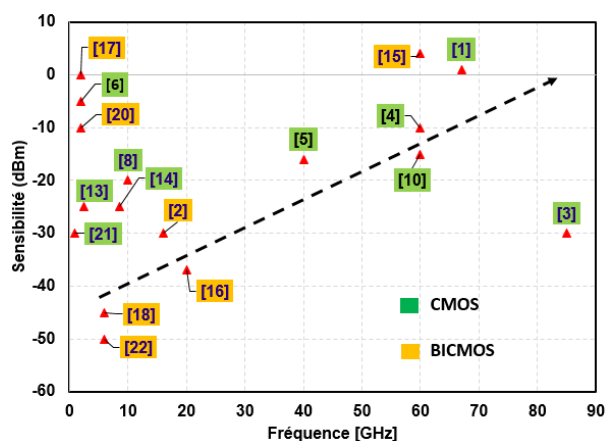


Figure III-16 Tendence de la sensibilité en fonction de la fréquence.

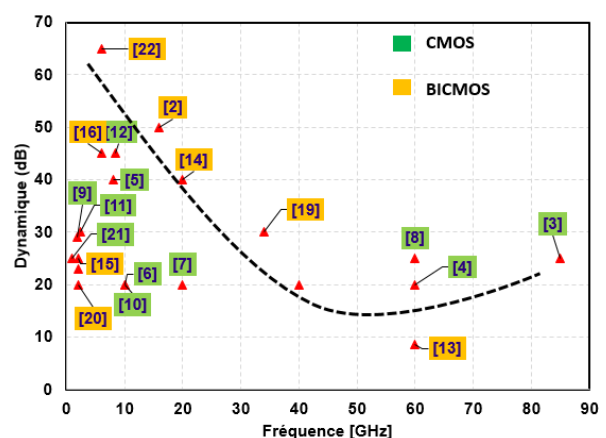


Figure III-17 Tendence de la dynamique en fonction de la fréquence.

Ce constat assoit notre objectif de réaliser des détecteurs de puissance fonctionnant dans la gamme des fréquences millimétriques pour des applications à 60 GHz et dont les caractéristiques se situent dans la région sud-est de la **Figure III-16** (forte sensibilité et la région Nord-est de la **Figure III-17** (grande dynamique).

III.4 Réalisation de détecteurs de puissance CMOS et BiCMOS à base/grille commune pour des applications millimétriques.

Dans cette partie, nous allons présenter la conception, l'analyse et les performances mesurées de deux détecteurs de puissance utilisant un étage à base/grille commune réalisés dans la

technologie BiCMOS 55 nm de STMicroelectronics. Le détecteur grille commune proposé par [Abdallah, 10] utilise une cellule de détection en MOS. Nous proposons dans cette thèse de remplacer le transistor de détection en MOS par un transistor bipolaire afin d'avoir un meilleur gain de conversion ainsi qu'une meilleure sensibilité.

III.4.1 Architectures des détecteurs base/grille commune

La **Figure III-18** montre les schémas électriques du détecteur. L'étage de détection en entrée est composé du transistor Q_1/N_1 monté en configuration base/grille commune. La capacité d'entrée C_c sert à bloquer les composantes DC du signal d'entrée. Le transistor Q_1/N_1 est polarisé à travers la résistance R_x à une faible densité du courant. La capacité C_d sert à créer un court-circuit sur la base/grille pour les fréquences élevées. La résistance R_{pi} (réalisée par une charge active pour la version CMOS) ainsi que la tension V_b permettent de polariser les transistors Q_1/N_1 autour de leur seuil de conduction. La taille de ces transistors d'entrée est choisie très faible afin de minimiser la capacité parasite sur l'entrée du détecteur.

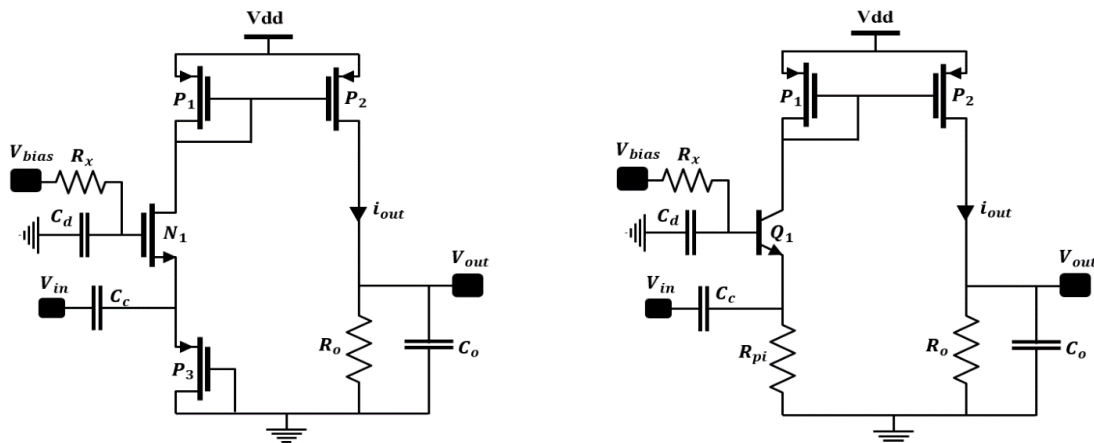


Figure III-18 Schéma du détecteur en CMOS (gauche), Schéma du détecteur en BiCMOS (droite).

Le fonctionnement de ces détecteurs dépend du niveau de puissance du signal d'entrée. Nous pouvons identifier deux régimes: un régime à faible puissance, et un régime à forte puissance. Dans le premier régime, le transistor N_1 de la version MOS fonctionne en régime sous seuil et son courant est une fonction exponentielle de la tension d'entrée (V_{in}). Le transistor Q_1 de la version BiCMOS, possède naturellement un courant exponentiel en fonction de la tension V_{in} . Le courant $I_{Q1/N1}$ est proportionnel au carré de la tension V_{in} . Dans le deuxième régime, les transistors Q_1/N_1 fonctionnent en redresseurs. Dans ces conditions, le transistor Q_1/N_1 ne conduit que pendant le demi-cycle négatif de la tension V_{in} . Le courant $I_{Q1/N1}$ est quasi linéaire avec l'amplitude de la tension V_{in} . Dans les deux régimes, le courant est amplifié à travers le miroir de courant formé par $P_1 - P_2$ et donne une tension de sortie V_{out} filtrée par le réseau (R_o, C_o). Le rapport d'amplification du miroir de courant et la résistance de sortie R_o permettent de régler la pente de la fonction de transfert $V_{out}(P_{in})$ et de fixer la limite supérieure de la dynamique de détection.

III.4.2 Etude analytique

Nous allons établir l'expression analytique de la fonction de transfert $V_{out} = f(P_{in})$, dans les deux régimes de fonctionnement. Supposant un signal d'entrée V_{in} appliqué sur l'émetteur/source des transistors Q_1/N_1 :

$$V_{in} = |V_{in}| \cos(\omega_0 t) \quad \text{Eq. III-10}$$

Pour les faibles puissances d'entrée, le courant dans les transistors Q_1/N_1 est une fonction exponentielle de la tension d'entrée V_{in} . Ce courant est donc défini par :

$$I_{Q_1} = I_0 \cdot e^{\frac{V_{in}}{n_{Q_1} V_T}} \quad \text{et} \quad I_{N_1} = I_0 \cdot e^{\frac{V_{in}}{n_{N_1} V_T}} \quad \text{Eq. III-11}$$

Avec I_0 est le courant dans le transistor pour V_{in} nulle, et V_T est la tension thermique donnée par (Eq. III-12):

$$V_T = \frac{KT}{q} \approx 26 \text{ mV} \quad \text{à une température de } 27^\circ\text{C} \quad \text{Eq. III-12}$$

Les coefficients n_{N_1} et n_{Q_1} sont les constantes de non-idéalité des transistors MOS et bipolaire respectivement.

Pour les faibles puissances d'entrée, le courant dans le transistor Q_1/N_1 peut-être approximé par l'équation (Eq. III-13), en utilisant le développement limité d'ordre 2 :

$$I_{Q_1/N_1} = I_0 + \frac{d(I_{Q_1/N_1})}{d(V_{in})} V_{in} + \frac{d^2(I_{Q_1/N_1})}{d^2(V_{in})} \frac{V_{in}^2}{2} \quad \text{Eq. III-13}$$

Le terme en V_{in} , est un terme dit hautes fréquences et sera filtré par le réseau de sortie (R_o, C_o). Le terme en V_{in}^2 est formé par une composante haute fréquence autour de $2\omega_0$ (qui elle aussi est filtrée par C_o) et une composante basse fréquence i_s proportionnelle à l'amplitude de la tension V_{in} . Le courant moyen filtré en sortie est donné par :

$$\overline{I_{Q_1/N_1}} = I_0 + \frac{I_0 |V_{in}|^2}{4 n_{Q_1/N_1}^2 V_T^2} = I_0 + i_{s,(Q_1/N_1)} \quad \text{Eq. III-14}$$

Le courant I_0 est le courant statique du détecteur et donc correspond au courant moyen en absence d'un signal d'entrée. Le courant i_s est l'écart en courant moyen engendrée par la variation de la tension $|V_{in}|$.

La transconductance des transistors Q_1/N_1 , est supposée constante pour les faibles puissances et donnée par:

$$g_{m,Q_1/N_1} = \frac{\overline{I_{Q_1/N_1}}}{n_{Q_1/N_1} V_T} = \frac{I_0 \left[1 + \frac{|V_{in}|^2}{4 n_{Q_1/N_1}^2 V_T^2} \right]}{n_{Q_1/N_1} V_T} \approx \frac{I_0}{n_{Q_1/N_1} V_T} \quad \text{Eq. III-15}$$

L'incrémentation dans le courant de sortie i_{out} est simplement une version amplifiée du courant i_s et il est décrit par l'équation (Eq. III-16):

$$i_{out} = \frac{g_{m,P2}}{g_{m,P1}} i_{s,(Q_1/N_1)} = \frac{g_{m,P2}}{g_{m,P1}} \frac{I_0 |V_{in}|^2}{4 n_{Q_1/N_1}^2 V_T^2} = \frac{g_{m,P2}}{g_{m,P1}} \frac{g_{m,Q_1/N_1} |V_{in}|^2}{4 n_{Q_1/N_1} V_T} \quad \text{Eq. III-16}$$

L'incrémentation de la tension en sortie de détecteurs (v_{out}) est donnée par :

$$v_{out} = Z_{out} i_{out} = Z_{out} \frac{g_{m,P2}}{g_{m,P1}} \frac{g_{m,Q_1/N_1} |V_{in}|^2}{4 n_{Q_1/N_1} V_T} \quad \text{Eq. III-17}$$

On peut toujours exprimer v_{out} en fonction de la puissance d'entrée (P_{in}) plutôt que de la tension d'entrée. L'équation (Eq. III-18) décrit la tension V_{in} en fonction de la puissance P_{in} et de la partie réelle de l'impédance $Re\{Y_{in}\}^{-1}$.

$$P_{in} = \frac{|V_{in}|^2}{2 Re\{Y_{in}\}^{-1}} \Rightarrow |V_{in}| = \sqrt{2 Re\{Y_{in}\}^{-1} P_{in}} \quad \text{Eq. III-18}$$

En remplaçant V_{in} , dans l'équation (Eq. III-17), par l'équation (Eq. III-18), nous obtenons:

$$v_{out} = 2 Re\{Y_{in}\}^{-1} Z_{out} \frac{g_{m,P2}}{g_{m,P1}} \frac{g_{m,Q_1/N_1} P_{in}}{4 n_{Q_1/N_1} V_T} \quad \text{Eq. III-19}$$

Pour la version en MOS, lorsque la puissance en entrée augmente, l'évolution du courant dans le transistor N_1 induit un changement du régime de fonctionnement de ce dernier. Le courant I_{N_1} est alors donné par (Eq. III-20) [Zhou, 08]:

$$I_{N_1} = \frac{1}{2} \mu_n C_{ox} \frac{W_{N_1}}{L_{N_1}} (V_{bias} - V_{in} - V_{th})^2 \quad \text{Eq. III-20}$$

La tension de sortie de la version CMOS du détecteur sera décrite par :

$$v_{out} \approx Re\{Y_{in}\}^{-1} Z_{out} \frac{g_{m,P2}}{g_{m,P1}} \left[\mu_n C_{ox} \frac{W_{N_1}}{L_{N_1}} P_{in} \right] \quad \text{Eq. III-21}$$

Ce phénomène ne se produit pas pour la version BiCMOS. Par contre, l'approximation faite dans l'équation (Eq. III-13) devient moins correcte. En outre, les équations (Eq. III-19) et (Eq. III-21) montrent que la sortie du détecteur CMOS et BiCMOS varie linéairement en fonction de la puissance P_{in} .

Dans leur régime de fortes puissances, les transistors Q_1 et N_1 jouent le rôle d'un redresseur, où le courant dans ces transistors ne circule que pendant une demi-période. Dans ce cas, le courant moyen dans Q_1 et N_1 est simplement donné par:

$$\overline{I_{Q_1/N_1}} = \frac{I_{Q_1/N_1,max}}{\pi} = \frac{1}{\pi} \sqrt{2 \times Re\{Y_{in}\} \times P_{in}} \approx \frac{1}{\pi} \sqrt{2 \times P_{in} \times g_{m,Q_1/N_1}} \quad \text{Eq. III-22}$$

Où $\overline{g_{m,Q_1/N_1}}$ est la transconductance moyenne des transistors Q_1/N_1 . L'équation (Eq. III-22) est obtenue en supposant que le courant d'entrée I_{in} (rapport entre V_{in} et $Re\{Y_{in}\}^{-1}$) passe uniquement dans les transistors Q_1 et N_1 . Cela est justifié par la valeur élevée de l'impédance présentée par la résistance R_{pi} (version BiCMOS) ou le transistor P_3 (version CMOS). Enfin, l'évolution v_{out} de la tension de sortie est exprimée par :

$$v_{out} = Z_{out} \frac{g_{m,P2}}{g_{m,P1}} \frac{\sqrt{2 \times P_{in}}}{\pi \sqrt{Re\{Y_{in}\}^{-1}}} \approx Z_{out} \frac{g_{m,P2}}{g_{m,P1}} \frac{\sqrt{2 \times P_{in} \times \overline{g_{m,Q_1/N_1}}}}{\pi} \quad \text{Eq. III-23}$$

Nous pouvons remarquer que la tension v_{out} passe d'une relation linéaire en fonction de P_{in} pour des puissances P_{in} faibles, à une relation en $\sqrt{P_{in}}$ pour les fortes valeurs de P_{in} . Enfin, la tension V_{out} est donnée par la somme de la variation v_{out} et de la tension d'offset $V_{off} = Z_{out} I_0$.

III.4.3 Performances mesurées des détecteurs

Les détecteurs fabriqués en technologie B55 ont été caractérisés en termes de dynamique, d'impédance d'entrée, de réponse fréquentielle, et de bande passante en sortie. Dans cette partie, nous allons présenter et analyser les mesures des deux détecteurs tout en expliquant les avantages et les limitations de chacun. La **Figure III-19** montre une photo des détecteurs. La surface active de chaque détecteur est de $80 \times 80 \mu m^2$. Chaque détecteur possède une entrée RF, deux entrées de polarisation (V_b et V_{dd}), et une sortie V_{out} .

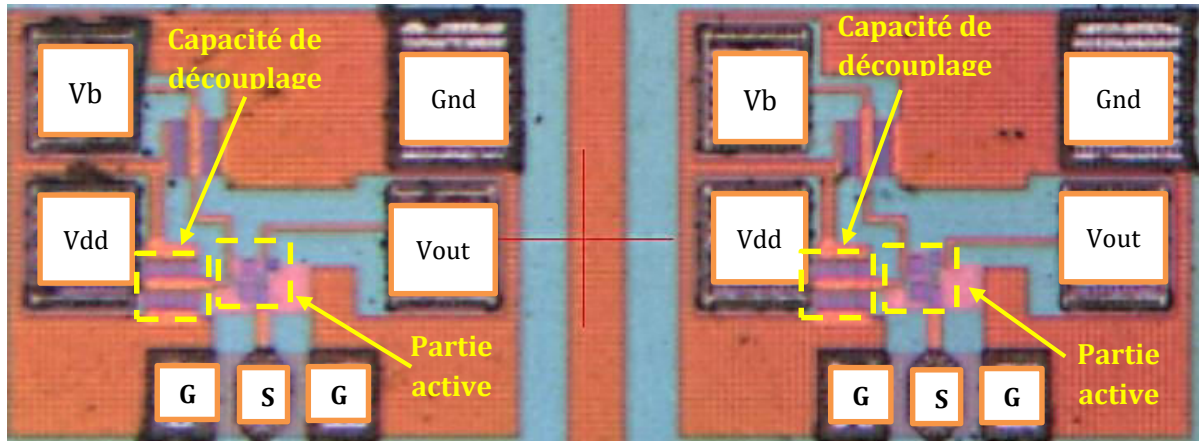


Figure III-19 Photographie des détecteurs fabriqués : (gauche) détecteur en MOS, (droite) détecteur en Bipolaire.

III.4.3.1 Fonction de transfert

La fonction de transfert $V_{out} = f(P_{in})$ a été extraite pour un signal d'entrée à 60 GHz. La tension de sortie V_{out} contient à la fois la tension d'offset (tension pour une puissance d'entrée nulle) et la variation de tension de sortie v_{out} . La **Figure III-20** montre un bon accord entre les simulations

et les mesures pour les deux versions du détecteur. Le gain de conversion (dérivé de V_{out} par rapport à P_{in}) permet de définir une première estimation de la sensibilité de détecteurs.

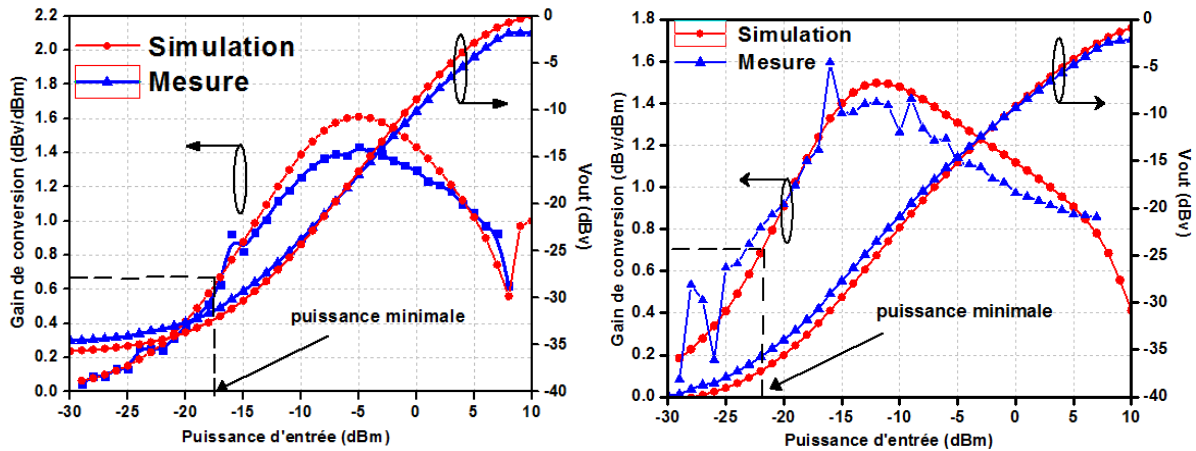


Figure III-20 Mesures et simulation de la tension de sortie et du gain de conversion: (gauche) détecteur en MOS, (droite) détecteur en BiCMOS.

Nous avons défini cette sensibilité comme étant la puissance pour laquelle le gain de conversion du détecteur est égal à la moitié de sa valeur maximale. Le maximum du gain est localisé autour de -5 dBm et de -12 dBm pour la version CMOS et BiCMOS respectivement. Ces deux puissances d'entrée représentent le point de passage du régime quadratique au régime linéaire. Le détecteur BiCMOS possède une meilleure sensibilité par rapport à la version CMOS (-22 dBm contre -17 dBm). Les deux détecteurs possèdent la même puissance de détection maximale (autour de 8 dBm) (limitée par la saturation du transistor P_2).

La tension $V_{out} - V_{off}$ de la **Figure III-21**, représente la différence entre la tension de sortie V_{out} mesurée pour une puissance d'entrée donnée et la tension V_{off} obtenue pour une puissance d'entrée nulle. Cette différence représente la tension de sortie v_{out} mesurée et celle décrite par les équations (Eq. III-19) et (Eq. III-21). Cela permet de montrer graphiquement l'existence des deux régimes de fonctionnement.

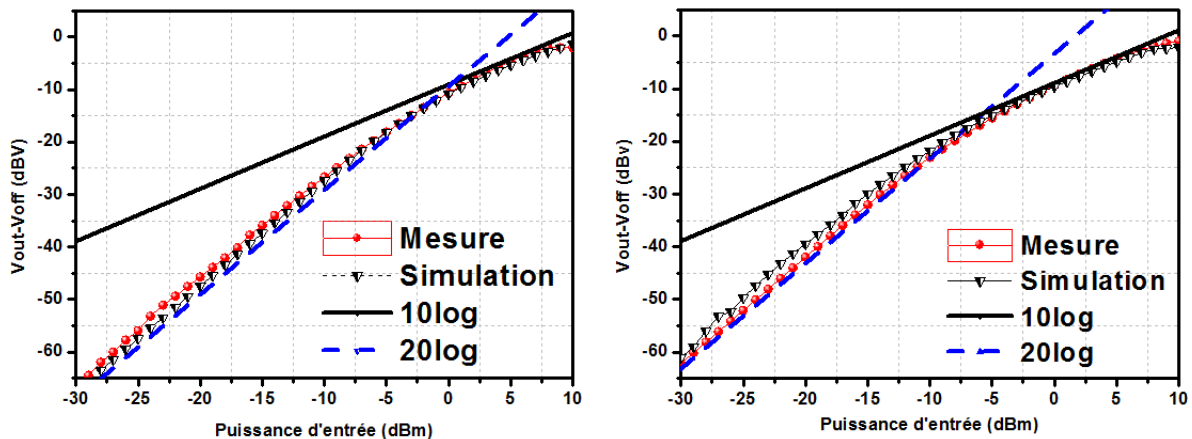


Figure III-21 Mesures et simulation de la tension de sortie après annulation de la tension d'offset : (gauche) détecteur CMOS, (droite) détecteur BiCMOS.

Nous remarquons que la tension v_{out} de la version CMOS est linéairement proportionnelle à P_{in} pour une gamme de puissance plus large par rapport à la version BiCMOS. Cela vient du fait que la tension de seuil du transistor MOS (0,38 V) dans la technologie est inférieure à celle du transistor bipolaire (0,6 V). Ceci implique que le transistor MOS entre en régime redresseur pour des puissances plus élevées, que pour le transistor bipolaire. L'annulation de la tension d'offset par un schéma différentiel du détecteur permet donc d'améliorer grandement la sensibilité. Les limites en sensibilité seront abordées en fin de partie par une modélisation en bruit du détecteur.

En ce qui concerne la consommation, les détecteurs consomment une puissance DC autour de 40 μW pour des faibles puissances d'entrée. Cette puissance augmente jusqu'à 800 μW pour une puissance d'entrée de 8 dBm. La tension d'alimentation est de 1.2 V pour les deux cellules. Cette consommation reste acceptable dans le cadre de l'application visée (l'amélioration de l'efficacité du PA), où nous verrons qu'elle représente 2.8 % de la consommation du circuit complet.

III.4.3.2 Impédance d'entrée

Ces détecteurs ont été principalement développés pour être utilisés dans une boucle d'amélioration d'efficacité des amplificateurs de puissance linéaire. Pour ce type d'application, il est important d'assurer que l'impédance d'entrée du détecteur soit élevée afin de ne pas perturber le chemin du signal RF (la sortie de l'amplificateur). Les équations décrivant l'impédance d'entrée des deux détecteurs BiCMOS et CMOS sont données par les équations (Eq. III-24) et (Eq. III-25) respectivement.

$$Z_{in,BiCMOS} = \frac{1}{Y_{in,BiCMOS}} = Z_{cc} + R_{pi} // \overline{g_{m,Q1}^{-1}} = \frac{Z_{cc}(R_{pi} + \overline{g_{m,Q1}^{-1}}) + (R_{pi} \times \overline{g_{m,Q1}^{-1}})}{R_{pi} + \overline{g_{m,Q1}^{-1}}} \quad \text{Eq. III-24}$$

$$Z_{in,CMOS} = \frac{1}{Y_{in,CMOS}} = Z_{cc} + \overline{g_{m,P3}^{-1}} // \overline{g_{m,N1}^{-1}} = \frac{Z_{cc}(\overline{g_{m,P3}^{-1}} + \overline{g_{m,N1}^{-1}}) + (\overline{g_{m,P3}^{-1}} \times \overline{g_{m,N1}^{-1}})}{\overline{g_{m,P3}^{-1}} + \overline{g_{m,N1}^{-1}}} \quad \text{Eq. III-25}$$

On peut remarquer que les impédances dépendent fortement de la transconductance des transistors de détection Q_1 et N_1 . Cela veut dire que l'impédance d'entrée la plus élevée peut être obtenue avec la version CMOS car la transconductance $g_{m,N1}$ du transistor MOS est inférieure à celle du transistor Q_1 pour un niveau du courant identique. De plus, le courant moyen dans les détecteurs n'étant pas constant en fonction de la puissance P_{in} , l'impédance d'entrée varie en fonction de la puissance d'entrée.

Les mesures en paramètres S ont été effectuées jusqu'à 67 GHz. La puissance d'entrée, fournie par le VNA, lors de mesures est la même pour les deux détecteurs (autour de -10 dBm). Afin d'extraire l'impédance d'entrée des détecteurs, nous avons éliminé, par épluchage, le plot RF et

les lignes d'accès utilisées dans le layout des détecteurs. Nous considérons que la capacité de découplage C_c fait partie intégrante du détecteur (**Figure III-22**).

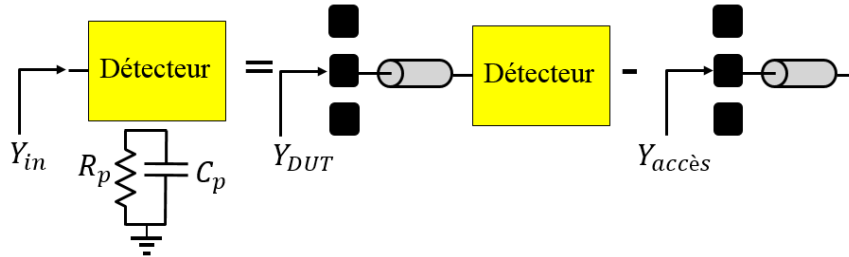


Figure III-22 Illustration d'épluchage de l'impédance d'entrée

Les courbes de la **Figure III-23** et la **Figure III-24** représentent la résistance R_p et la capacité C_p , simulées et mesurées, du réseau parallèle équivalent en entrée (Z_{in} ramenée en parallèle). Les figures montrent un assez bon accord entre les simulations et les mesures (après épluchage). En outre, nous pouvons remarquer que la résistance R_p du détecteur MOS est bien plus importante que celle de la version BiCMOS. En revanche, la capacité C_p est quasiment la même pour les deux détecteurs. Cette capacité peut être annulée dans le cas des applications à bande étroite, ce qui donne l'avantage d'une forte impédance d'entrée pour la version CMOS.

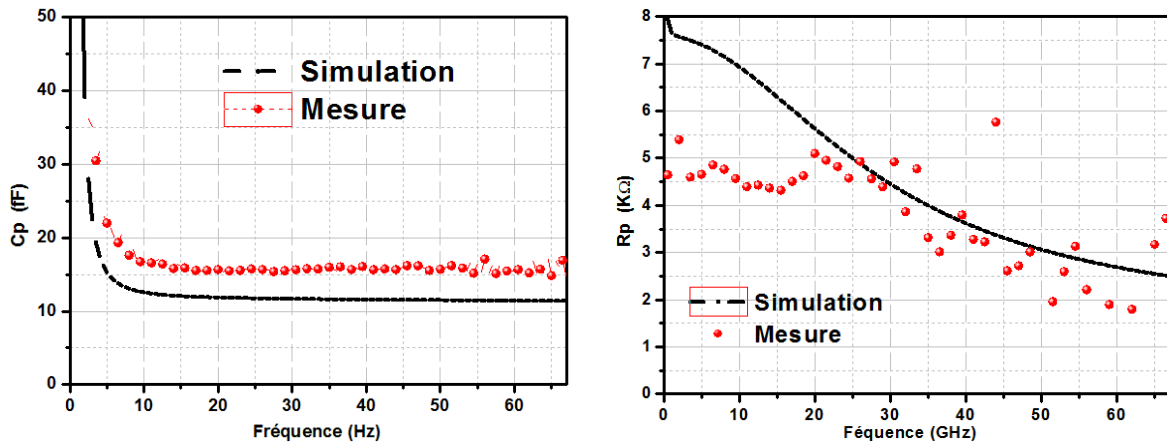


Figure III-23 Mesure et simulation de l'impédance d'entrée du détecteur CMOS: (gauche) capacité parallèle, (droite) résistance en parallèle.

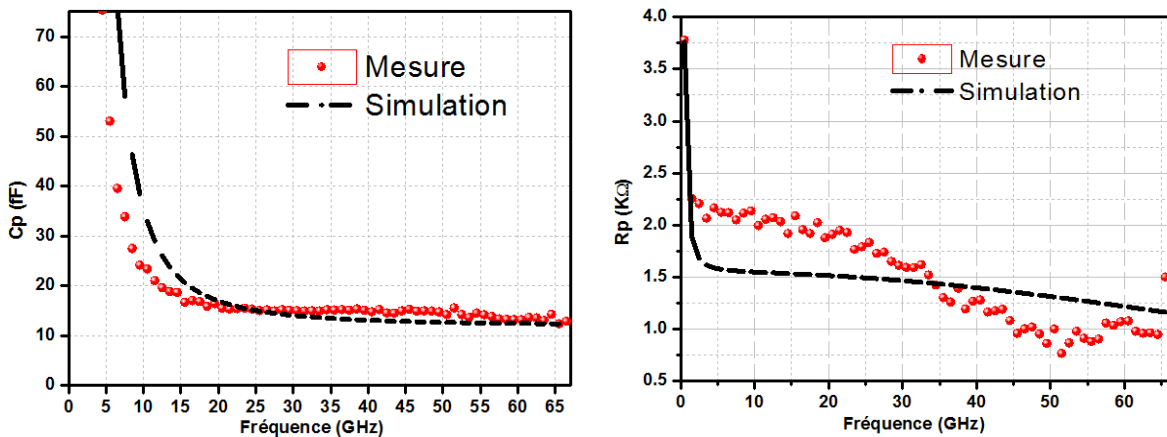


Figure III-24 Mesure et simulation de l'impédance d'entrée du détecteur BiCMOS: (gauche) capacité parallèle, (droite) résistance en parallèle.

La différence entre les parties réelles de l'impédance d'entrée (R_p), est liée à la différence de la transconductance g_m entre le transistor bipolaire Q_1 et le transistor MOS N_1 .

Pour une application large bande, la capacité C_p ne peut pas être annulée. Dans ce cas, l'impédance à considérer est l'impédance équivalente Y_{in}^{-1} . Nous pouvons remarquer sur la **Figure III-25** que cette impédance est de l'ordre de 0.2 k Ω pour les deux détecteurs (du fait de C_p proche). L'analyse du réseau d'entrée montre que la dégradation de Y_{in}^{-1} est principalement liée au faible facteur de qualité de la capacité de couplage C_c . En simulant l'impédance d'entrée avec une capacité idéale, de même valeur, nous pouvons constater que l'impédance d'entrée tend vers une valeur proche de celle de sa partie réelle (**Figure III-25**). En effet, la capacité équivalente C_p , obtenue grâce à une capacité C_c idéale, est moins importante que celle obtenue avec une capacité réelle à facteur de qualité modéré.

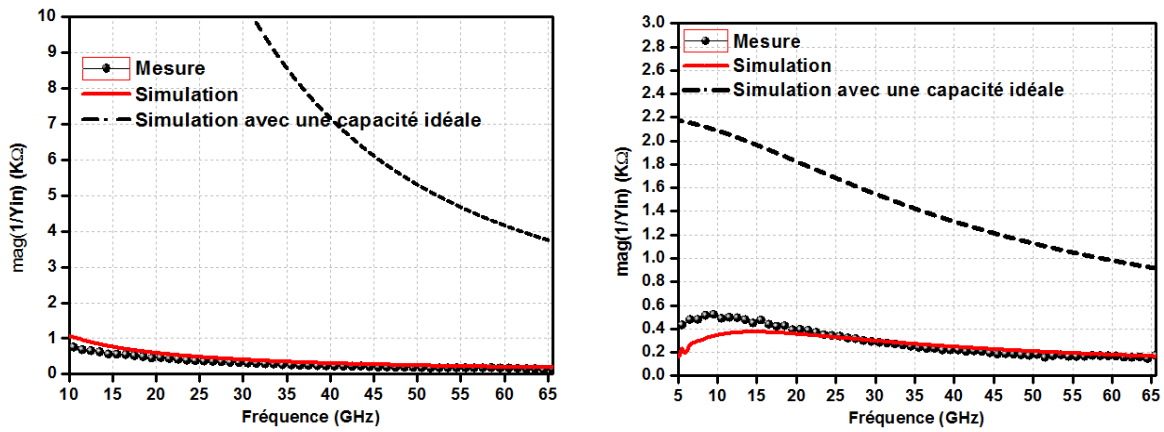


Figure III-25 Mesures et simulation de l'impédance d'entrée : (gauche) détecteur en CMOS, (droite) détecteur en BiCMOS.

III.4.3.3 Réponse fréquentielle

La **Figure III-26** montre la tension de sortie $V_{out} - V_{off}$ en fonction de la fréquence du signal d'entrée (entre 50 GHz et 65 GHz limitée par les appareillages) et pour 3 niveaux puissance.

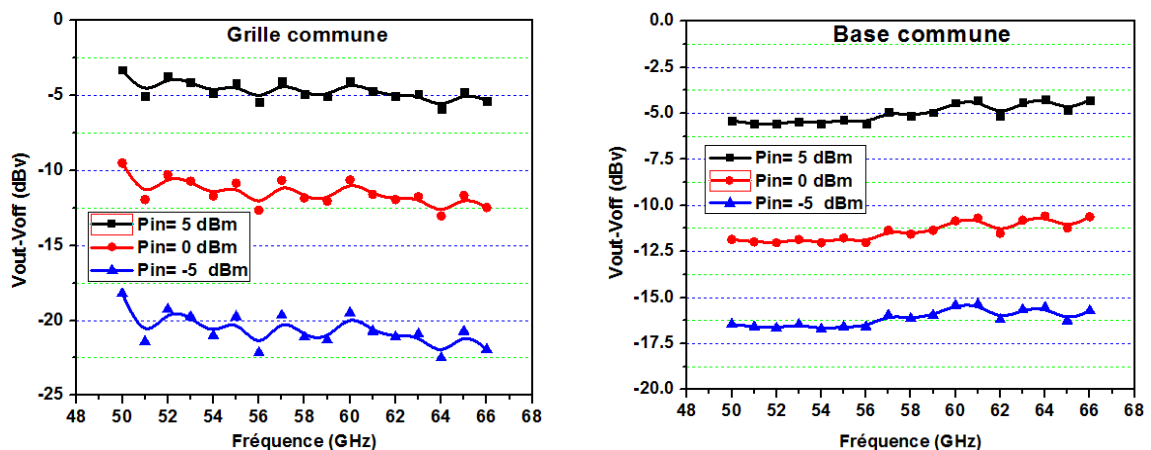


Figure III-26 Tension de sortie en fonction de la fréquence, mesurée à puissances fixes : (gauche) détecteur en MOS, (droite) détecteur en bipolaire.

Nous observons sur la **Figure III-26** une fluctuation faible de la tension de sortie (de l'ordre de 1 dB). Cette propriété du détecteur est assez importante pour éviter le post-traitement en sortie du détecteur dans le cas des applications large bande. Les fluctuations mesurées sont principalement liées aux signaux réfléchis au niveau de la sonde de mesures. Ces derniers sont liés à la désadaptation d'impédance entre l'impédance d'entrée du détecteur et l'impédance du générateur. La puissance au niveau des plots d'entrée a été calibrée, à chaque fréquence, afin d'assurer une puissance constante sur l'entrée des détecteurs.

III.4.3.4 Bande passante

Comme expliqué précédemment, le temps de réponse de ce détecteur est globalement limité par le filtre passe-bas (R_o , C_o) en sortie. Les pôles introduits par le miroir de courant se retrouvent à des fréquences élevées et n'ont quasiment pas d'influence sur le temps de réponse du détecteur. Une approximation du temps de réponse de la tension en sortie est donnée par:

$$\tau = 2.2 (R_o // r_{ds,P2}) \times C_o \quad \text{Eq. III-26}$$

Les valeurs de C_o et R_o sont identiques pour les deux détecteurs et sont de l'ordre de 100 fF et 1 k Ω respectivement. Ce choix nous a permis d'avoir une bande passante supérieure à 1 GHz tout en gardant un gain de conversion acceptable. Nous pouvons noter que l'utilisation d'une faible capacité de sortie (C_o) n'est pas favorable pour la détection des faibles puissances d'entrée. En effet, la bande passe du bruit en sortie du détecteur est fixé par cette capacité. Les simulations transitoires des deux détecteurs, présentées sur la **Figure III-27**, montrent que le temps de réponse des détecteurs est bien inférieur à 1 ns.

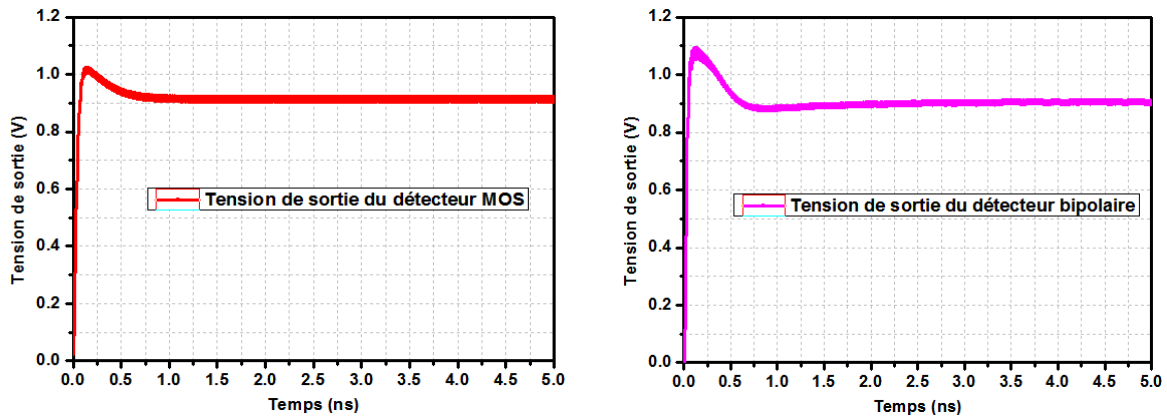
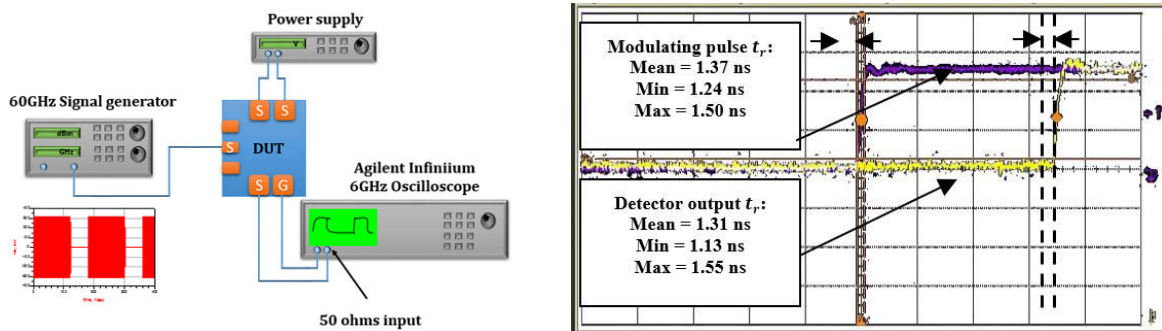


Figure III-27 Tension de sortie simulée des détecteurs MOS (gauche) et BiCMOS (droite) en réponse à un signal 60 GHz.

Nous avons tenté de caractériser les détecteurs en termes de vitesse de réponse (bande passante). Pour le faire, nous avons appliqué un signal modulé à l'entrée du détecteur et nous avons mesuré la réponse en sortie du détecteur (**Figure III-28**). La modulation du signal d'entrée se fait à l'intérieur du générateur PSG par un signal carré modulant de 10 MHz et de temps de

montée de 1,3ns. Le signal de sortie est mesuré à l'aide d'un oscilloscope DSO80604B Infiniium d'Agilent de 6 GHz de bande passante.



Nous pouvons constater que le détecteur est capable de suivre la vitesse de commutation du signal d'entrée correspondant à une bande passante de 700 MHz. Ces mesures sont limitées par le temps de montée du signal modulant. Les mesures sont effectuées seulement sur la version bipolaire du détecteur qui a été choisi pour être utilisé dans une boucle d'amélioration de l'efficacité d'un amplificateur de puissance qui fait l'objet du chapitre suivant.

III.4.4 Étude analytique du bruit

La sensibilité est limitée par le bruit du détecteur. Nous développons dans ce paragraphe une étude analytique pour définir le rapport signal sur bruit (SNR pour Signal to Noise Ratio) des deux détecteurs en fonction des différents paramètres des transistors. Les résultats obtenus à partir du modèle analytique sont comparés avec les simulations en bruit réalisées sur ADS et interprétés afin de définir les paramètres agissant sur la sensibilité des détecteurs. Dans cette étude, nous allons utiliser l'approche faible puissance dans laquelle le courant I_0 et par conséquent les transconductances des transistors sont quasi-constantes. La Figure III-29 montre les schémas électriques des deux détecteurs incluant les différentes sources du bruit.

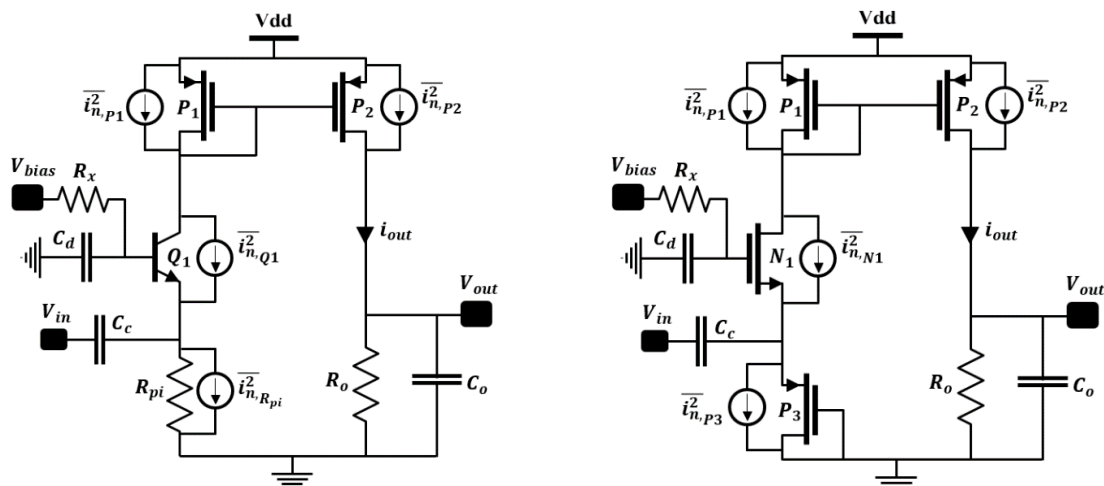


Figure III-29 Schéma des détecteurs avec les sources du bruit.

Pour les transistors bipolaires le bruit est principalement dû au bruit de grenaille (shot noise) du courant collecteur. Le bruit en $1/f$ est négligé. Le bruit de courant collecteur $\overline{i_{n,Qi}^2}$ est exprimé par:

$$\overline{i_{n,Qi}^2} = 2 \gamma n_{Qi} K T g_{m,Qi} B \quad \text{Eq. III-27}$$

Avec K la constante de Boltzmann, T la température ambiante, B est la bande passante du détecteur, n_{Qi} et $g_{m,Qi}$ le facteur de non idéalité et la transconductance du transistor bipolaire. En revanche, le bruit dans les transistors MOS, est modélisé à la fois par le bruit thermique du canal et le bruit en $1/f$ (flicker noise). Ce dernier a une influence importante sur le bruit de sortie. Les transistors PMOS du miroir du courant fonctionnent également en sous seuil pour les faibles puissances d'entrée. D'où, le bruit total, nommé $\overline{i_{n,Pi}^2}$ pour le transistor PMOS, peut-être écrit sous la forme suivante:

$$\overline{i_{n,Pi}^2} = 2KT g_{m,Pi} B + \frac{g_{m,Pi}^2 K_{f,P}}{C_{ox} W_{Pi} L_{Pi}} \ln(f_c) \quad \text{Eq. III-28}$$

avec f_c la fréquence corner extraite graphiquement à partir des simulations en bruit, $K_{f,P}$ la constante du bruit $1/f$ pour les transistors PMOS, C_{ox} la capacité d'oxyde de grille, W_{Pi} , L_{Pi} , et $g_{m,Pi}$ la longueur, la largeur et la transconductance du transistor P_i .

Considérant le pire de cas où l'impédance de la source est infinie, nous pouvons ramener le bruit généré par le transistor Q_1 et la résistance R_{pi} directement dans le plan de sortie du transistor P_1 . Le bruit total en sortie du détecteur est exprimé en fonction des différents paramètres du circuit par l'équation:

$$\overline{i_{n,t}^2} = \overline{i_{n,P2}^2} + \frac{g_{m,P2}^2}{g_{m,P1}^2} \left[\frac{\overline{i_{n,Q1}^2}}{(1 + g_{m,Q1} R_{pi})^2} + \overline{i_{n,P1}^2} + \overline{i_{n,Rpi}^2} \right] \quad \text{Eq. III-29}$$

Nous pouvons maintenant exprimer l'équation finale du SNR pour le détecteur Bipolaire par le rapport entre l'équation (Eq. III-16) et l'équation (Eq. III-29):

$$SNR = \frac{i_{out}^2}{\overline{i_{n,t}^2}} = \frac{i_{out}^2}{\overline{i_{n,P2}^2} + \frac{g_{m,P2}^2}{g_{m,P1}^2} \left[\frac{\overline{i_{n,Q1}^2}}{(1 + g_{m,Q1} R_{pi})^2} + \overline{i_{n,P1}^2} + \overline{i_{n,Rpi}^2} \right]} \quad \text{Eq. III-30}$$

Après avoir analysé par simulation les différentes sources du bruit dans les détecteurs, il apparaît que le bruit est dominé par le bruit du transistor MOS de sortie P_2 . Le rapport SNR peut être alors approximé, par le rapport entre i_{out}^2 et $\overline{i_{n,P2}^2}$.

Cela nous permet de définir la sensibilité $P_{in,min}$, pour un rapport SNR donné, par l'équation suivante :

$$P_{in,min} \approx \sqrt{\frac{2KTBg_{m,P1} + \frac{g_{m,P1}g_{m,P2}K_{f,P}}{C_{ox}W_{P2}L_{P2}} \ln(f_c)}{Re\{Y_{in}\}^{-2} \frac{g_{m,P2}}{g_{m,P1}} \frac{g_{m,Q1}^2}{4n_{Q1}^2V_T^4}} SNR} \quad \text{Eq. III-31}$$

La même étude a été effectuée pour le détecteur CMOS. Pour ce détecteur, le transistor N_1 fonctionne en régime sous seuil pour les faibles puissances et son courant de bruit $\overline{i_{n,N1}^2}$ s'écrit:

$$\overline{i_{n,N1}^2} = 2Kn_{N1}Tg_{m,N1}B + \frac{gm_{Ni}^2K_{f,N}}{C_{ox}W_{N1}L_{N1}} \ln(f_c) \quad \text{Eq. III-32}$$

Avec $K_{f,N}$ la constante du bruit $1/f$ pour les transistors NMOS. Similairement au cas précédent, la sensibilité du détecteur sera approximée par :

$$P_{in,min} \approx \sqrt{\frac{2KTBg_{m,P1} + \frac{g_{m,P1}g_{m,P2}K_{f,P}}{C_{ox}W_{P2}L_{P2}} \ln(f_c)}{Re\{Y_{in}\}^{-2} \frac{g_{m,P2}}{g_{m,P1}} \frac{g_{m,N1}^2}{4n_{N1}^2V_T^4}} SNR} \quad \text{Eq. III-33}$$

D'après les équations (Eq. III-31) et (Eq. III-33), l'augmentation de la transconductance $g_{m,Q1/N1}$ et/ou de l'impédance d'entrée $Re\{Y_{in}\}^{-1}$ permet d'améliorer la sensibilité du détecteur (pour un rapport SNR donné). En outre, la sensibilité est directement linéaire avec la bande passante du bruit en \sqrt{B} . Cela met en évidence le compromis entre la bande passante et la sensibilité.

Les **Figure III-30** et **Figure III-31** représentent la tension du bruit en sortie, extraite par simulation, des détecteurs CMOS et BiCMOS respectivement. Le bruit a été simulé sur une bande de 300 kHz (bande passante imposée par le multimètre utilisé dans les mesures).

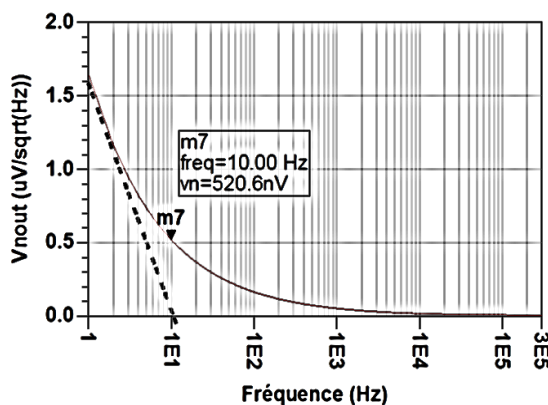


Figure III-30 Simulation de la tension de bruit en sortie du détecteur CMOS.

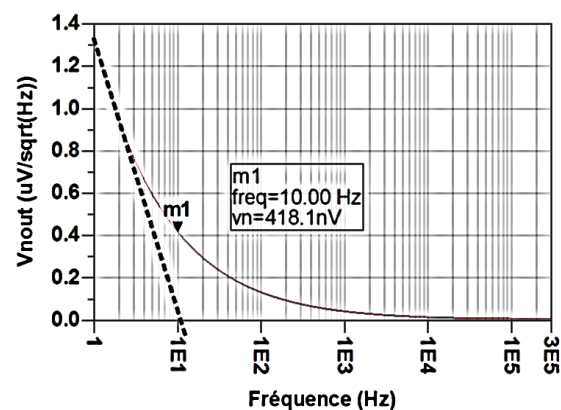


Figure III-31 Simulation de la tension de bruit en sortie du détecteur BiCMOS.

Malgré le niveau de bruit proche pour les deux détecteurs (même transistor P_2 , quasiment même courant DC pour les faibles puissances), le détecteur BiCMOS présente une meilleure sensibilité,

Figure III-32. Cela est lié au fait que le transistor Q_1 possède un gain supérieur à celui du transistor N_1 , ce qui veut dire qu'il possède un rapport signal sur bruit supérieur pour le même niveau de puissance d'entrée. Cela est bien cohérent avec les équations (Eq. III-31) et (Eq. III-33). Les résultats des simulations et des modèles sont affichés dans le **Tableau III-1**.

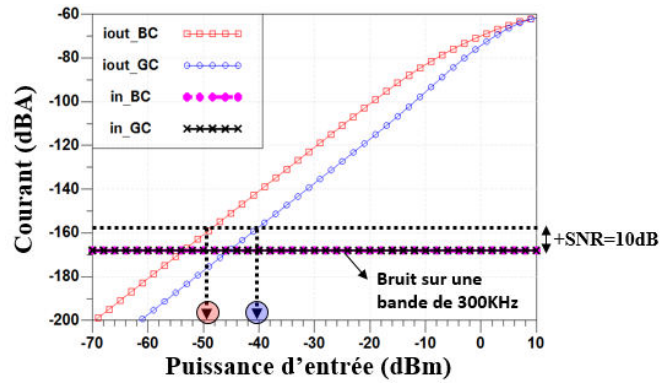


Figure III-32 Tension de sortie v_{out} des détecteurs CMOS et BiCMOS, et bruit en sortie simulé et calculé par le modèle en fonction de la puissance d'entrée.

Tableau III-1 Résultats obtenus en simulation et à partir du modèle analytique du bruit.

Détecteur	Densité de bruit simulation	Densité de bruit simulation	Sensibilité simulation	Sensibilité modèle
CMOS	$4.95e^{-9} A/\sqrt{Hz}$	$5.77e^{-9} A/\sqrt{Hz}$	-40 dBm	-42 dBm
BiCMOS	$4.81e^{-9} A/\sqrt{Hz}$	$4.77e^{-9} A/\sqrt{Hz}$	-49 dBm	-51 dBm

III.5 Etude et réalisation de détecteurs CMOS et BiCMOS de type Meyer

Les détecteurs à grille/base commune étudiés précédemment présentent un inconvénient dû à la variation du courant de polarisation en fonction de la puissance détectée. L'augmentation de ce courant engendre une augmentation de la consommation statique du détecteur et une variation de l'impédance d'entrée qui est directement liée à la valeur de la transconductance g_m . Pour éviter ces problèmes, nous nous sommes inspirés de la structure proposée par Meyer [Meyer, 95], présentant une consommation constante.

III.5.1 Détecteur de puissance type Meyer

Les détecteurs de type Meyer sont principalement développés pour être utilisés dans le cadre des mesures in-situ (sujet d'une autre thèse dans notre laboratoire). Ils présentent les caractéristiques suivantes: une forte sensibilité, une consommation modérée, une impédance d'entrée quasi-constante en fonction de la puissance d'entrée, et une surface réduite. Ce détecteur a été étudié en technologie SiGe BiCMOS par [Zhang, 04][Zhang, 06]. Le circuit se base sur la caractéristique exponentielle du courant de collecteur du transistor bipolaire. Afin d'augmenter l'impédance d'entrée, nous avons proposé une structure similaire utilisant des transistors MOS fonctionnant sous le seuil présentant une caractéristique exponentielle du courant de drain [Serhan, 2014]. Les deux structures MOS et Bipolaire ont été réalisées à des fins de comparaison.

Les schémas des détecteurs sont présentés sur la **Figure III-33**. Les transistors Q_1/N_1 représentent la cellule de détection et sont polarisés à faible densité du courant à travers la résistance R_p et le miroir de courant formé par Q_3 et Q_4 . La capacité C_c sert à éliminer les composantes continues de la tension d'entrée V_{in} , tandis que la capacité C_o permet d'intégrer les variations du courant de Q_1/N_1 et d'éliminer les composantes hautes fréquences de la tension de sortie $V_{out,p}$. Le choix de la valeur de C_o est un compromis entre la vitesse (la bande passante en sortie), et le bruit (la sensibilité). La branche de droite formée par le transistor Q_2/N_2 identique à Q_1/N_1 , et polarisée par un courant identique à travers le miroir du courant (Q_5-Q_6), permet d'éliminer l'offset dans la tension différentielle en sortie V_{out} ($V_{out,p} - V_{out,n}$) correspondant à une puissance d'entrée est nulle.

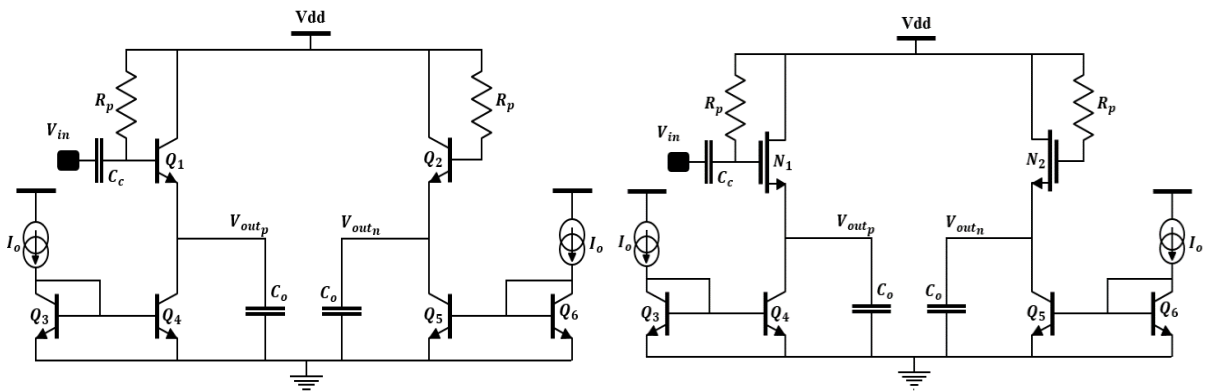


Figure III-33 Schéma simplifié du détecteur de puissance type Meyer : version bipolaire (gauche), version BiCMOS (droite).

Les dimensions des différents composants sont données dans le **Tableau III-2**. En particulier, les dimensions du transistor N_1 (i. e. N_2) et le courant de polarisation I_0 ont été choisis pour que les MOS fonctionnent en régime sous le seuil.

Tableau III-2 Valeurs des paramètres des composants utilisés dans les deux circuits

	N_1, N_2	$Q_1, Q_2, Q_3, Q_4, Q_5, Q_6$	C_c (fF)	C_o (fF)	I_0 (μA)	R_p (KΩ)
Valeur	W = 2 μm L = 0.06 μm	L _e = 2 μm W _e = 0.2 μm	255	140	25	5

La fonction de transfert analytique de ces deux détecteurs peut être établie en utilisant la même approche faible puissance utilisée dans le paragraphe **III.4.2**, en appliquant l'équation (**Eq. III-14**) pour les transistors Q_1/N_1 et Q_2/N_2 . Nous pouvons démontrer que la tension de sortie V_{out} , pour des faibles puissances d'entrée, peut-être décrite par (**Eq. III-34**) :

$$V_{out} = Z_{out} (I_{Q_1/N_1} - I_{Q_2/N_2}) = Z_{out} \frac{I_0 |V_{in}|^2}{4 n_{Q_1/N_1}^2 V_T^2} = 2 \operatorname{Re}\{Y_{in}\}^{-1} Z_{out} \frac{I_0 P_{in}}{4 n_{Q_1/N_1}^2 V_T^2} \quad \text{Eq. III-34}$$

Avec Z_{out} l'impédance de sortie des détecteurs. Cette équation définit la zone de détection quadratique des détecteurs.

Pour des fortes puissances en entrée, la fonction de transfert du détecteur est obtenue en appliquant la fonction logarithmique sur la différence du courant en sortie et est donnée par la relation (Eq. III-35):

$$V_{out} = V_{out,p} - V_{out,n} = |V_{in}| + \delta_{V_0} = \sqrt{2 \operatorname{Re}\{Y_{in}\}^{-1} P_{in}} + \delta_{V_0} \quad \text{Eq. III-35}$$

La tension δ_{V_0} est un terme d'erreur dépendant à la fois de l'amplitude du signal en entrée V_{in} ainsi que de la température, et il est donné par l'équation suivante:

$$\delta_{V_0} = V_T \cdot \log \left(\sqrt{2\pi \frac{|V_{in}|}{V_T}} \right) = V_T \cdot \log \left(\sqrt{2\pi \frac{\sqrt{2 \operatorname{Re}\{Y_{in}\}^{-1} P_{in}}}{V_T}} \right) \quad \text{Eq. III-36}$$

Les transistors d'entrée Q_1 et N_1 fonctionnent alors comme des redresseurs I_{Q_1/N_1} . La tension de sortie V_{out} passe d'une relation linéaire pour des puissances P_{in} faibles, à une relation en $\sqrt{P_{in}}$ sans que les transistors Q_1 et N_1 changent leurs régimes de fonctionnement car ils restent polarisés à courant constant. Ces comportements sont similaires à ceux qui sont observés pour les détecteurs précédents (base et grille commune).

III.5.2 Performances mesurées des détecteurs

Les détecteurs, conçus également en technologie BiCMOS 55 nm, ont été caractérisés en termes de dynamique de détection, impédance d'entrée, et temps de réponse. La **Figure III-34** montre une photo des circuits. La surface active de chaque détecteur est d'environ $50 \times 40 \mu\text{m}^2$. Chaque détecteur possède une entrée RF, deux entrées de polarisation (I_0 et V_{dd}), et les deux sorties $V_{out,p}$ et $V_{out,n}$. Les accès RF utilisés à droite du circuit sont également mis à gauche, comme composants fictifs (Dummy), pour rendre l'architecture parfaitement symétrique.

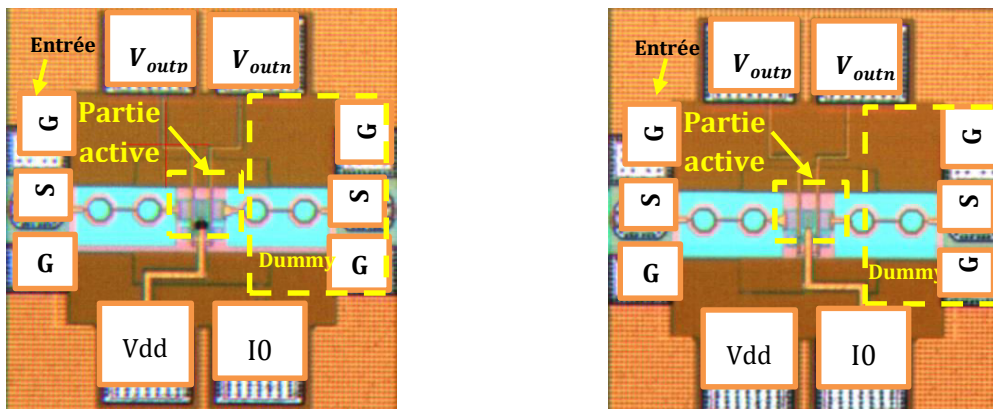


Figure III-34 Photographie des détecteurs fabriqués : (gauche) détecteur en bipolaire, (droite) détecteur BiCMOS avec MOS en sous seuil.

III.5.2.1 Fonction de transfert $V_{out} = f(P_{in})$

La **Figure III-35** montre la comparaison entre les mesures et les simulations pour la fonction de transfert V_{out} des deux détecteurs. En ce qui concerne la version utilisant un NMOS polarisé en régime sous seuil, nous pouvons observer une dynamique de détection de 42 dB (d'autour de -40 dBm à 2 dBm). Pour les puissances d'entrée inférieures à -40 dBm, la tension V_{out} mesurée est limitée par le bruit et devient trop instable. La zone de détection linéaire (en 10log), pour ce détecteur, est assez réduite par rapport à celle de la version purement bipolaire.

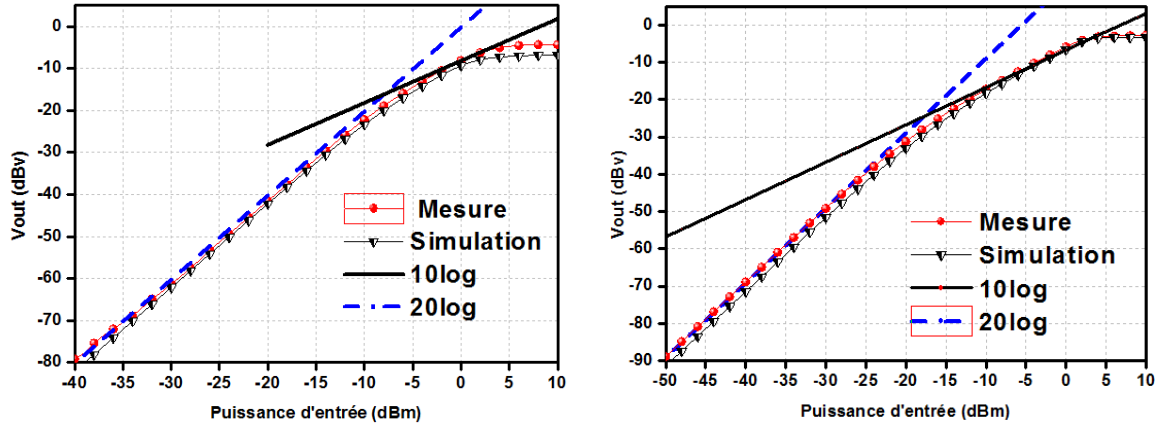


Figure III-35 V_{out} en fonction de la puissance d'entrée d'un signal 60 GHz : (gauche) détecteur en MOS sous seuil, (droite) détecteur Meyer en bipolaire.

Pour la version bipolaire, la dynamique de détection est 10 dB plus élevée (-50 dBm à 2 dBm). Cette version de détecteur représente l'état de l'art des détecteurs de puissance mesurés à 60 GHz et fabriqués en technologies silicium. La puissance minimale détectée est limitée à -50 dBm pour les mêmes raisons que précédemment. La différence de puissance minimale détectable entre les deux versions de détecteurs est liée principalement au bruit et à leur différence de gain comme nous le montrerons ultérieurement.

III.5.2.2 Impédance d'entrée

L'impédance d'entrée de ces détecteurs peut être interprétée par analogie avec l'amplificateur grille/base commune. Par conséquent, l'impédance d'entrée du détecteur sous seuil (BiCMOS) est donnée par l'équation suivante :

$$Z_{in} = \frac{1}{Y_{in}} = \frac{1}{j C_c w} + \left[(r_{g,N_1} + \frac{1}{j C_{gs,N_1} w} + \left(1 + \frac{g_{m,N_1}}{C_{gs,N_1} w} \right) Z_o) // R_p \right] \quad \text{Eq. III-37}$$

r_{g,N_1} et C_{gs,N_1} sont, respectivement, la résistance de grille et la capacité grille-source du transistor N_1 , Z_o est l'impédance résultante de la mise en parallèle de la capacité C_o avec les résistances de sortie des transistors N_1 et Q_4 .

De la même manière, l'impédance d'entrée du détecteur utilisant un bipolaire est donnée par l'équation suivante :

$$Z_{in} = \frac{1}{Y_{in}} = \frac{1}{j C_c \omega} + \left[(r_{bQ_1} + Z_{\pi Q_1} + (1 + g_{mQ_1} Z_{\pi Q_1}) Z_o) // R_p \right] \quad \text{Eq. III-38}$$

$r_{bQ_1}, Z_{\pi Q_1}$ sont, respectivement, la résistance de base et l'impédance base-émetteur du transistor Q_1 (la mise en parallèle de r_{π} et C_{π}). Z_o est l'impédance résultante de la mise en parallèle de la capacité C_o avec les résistances de sortie des transistors Q_1 et Q_4 . R_p est la résistance de polarisation utilisée en entrée et est la même pour les deux détecteurs.

La **Figure III-36** montre un assez bon accord entre la mesure et la simulation de l'impédance équivalente en entrée Y_{in}^{-1} . Nous pouvons constater que l'impédance d'entrée de ces détecteurs est supérieure à l'impédance d'entrée des détecteurs utilisant l'architecture grille/base commune. Il est important de noter que l'impédance d'entrée de ces détecteurs est quasiment constante, en fonction de la puissance, dans la zone de détection quadratique. Dans leurs zones de détection linéaire, l'impédance d'entrée tend à augmenter du fait de redressement du courant RF en entrée.

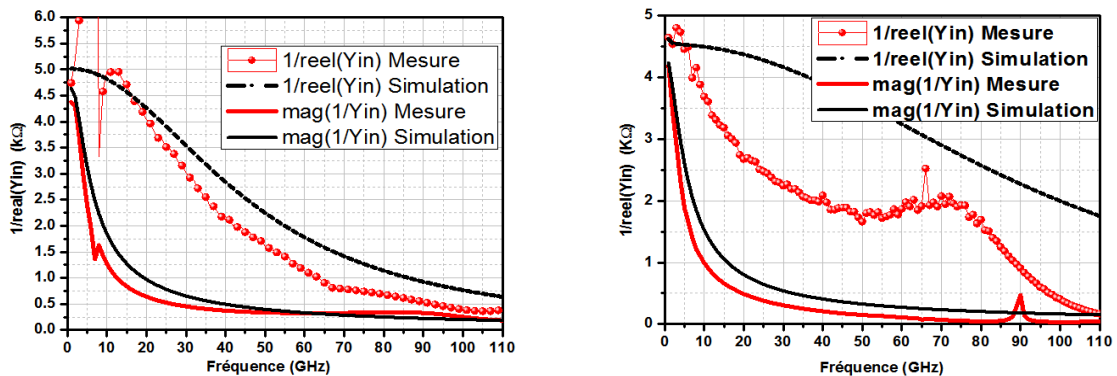


Figure III-36 Mesure et simulation de l'impédance d'entrée : (gauche) du détecteur Meyer en bipolaire, (droite) du détecteur BiCMOS en sous seuil.

III.5.2.3 Réponse en fréquence

Nous avons ensuite procédé à la caractérisation de la réponse en fréquence des détecteurs en utilisant la même procédure décrite dans le paragraphe III.4.3.3.

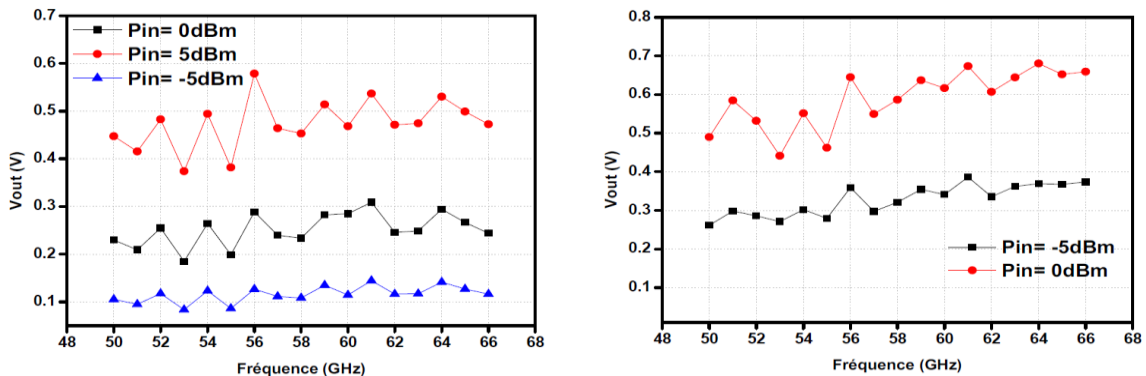


Figure III-37 Tension de sortie en fonction de la fréquence, mesurée à puissances fixes : (gauche) détecteur BiCMOS, (droite) détecteur purement bipolaire.

Nous observons aussi une réponse quasi-constante avec des fluctuations dans la réponse similaires à celles qui sont observées précédemment pour les détecteurs base/grille commune.

III.5.3 Étude analytique en bruit

L'étude du bruit présentée ici se fait à courant constant (caractéristique de cette structure). La **Figure III-38** montre le circuit du détecteur bipolaire avec toutes les sources du bruit considérées dans cette étude.

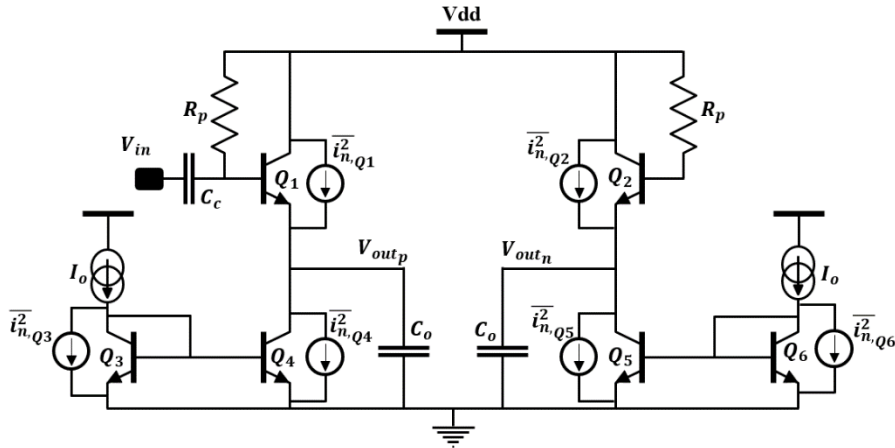


Figure III-38 Représentation des sources du bruit dans la version bipolaire.

Le courant de sortie i_{out} issu du transistor Q_1 et représentant le signal i_{out} s'écrit:

$$i_{out} = \frac{I_0 |V_{in}|^2}{4 n_{Q1}^2 V_T^2} = \frac{g_{m,Q1} |V_{in}|^2}{4 n_{Q1} V_T} = 2 \operatorname{Re}\{Y_{in}\}^{-1} \frac{g_{m,Q1} P_{in}}{4 n_{Q1} V_T} \quad \text{Eq. III-39}$$

Identiquement au cas du détecteur à base commune, nous considérons que le bruit des transistors bipolaires est uniquement lié à leur bruit de grenaille (**Eq. III-27**). Le courant de bruit total en sortie du détecteur est égal à la somme des courants de bruit en sortie et il est exprimé par :

$$i_{nt}^2 = \sum i_{n,Q_i}^2 = 6 (2 \gamma n_{Q_i} K T g_{m,Q_i} B) = 12 \gamma K T n_{Q_i} g_{m,Q_i} B \quad \text{Eq. III-40}$$

Le rapport entre la puissance du signal et la puissance du bruit (SNR) est donc donné par :

$$SNR = \frac{i_{out}^2}{i_{nt}^2} = \frac{\frac{g_{m,Q_i}^2 |V_{in}|^4}{16 n_{Q_i}^2 V_T^2}}{12 \gamma K T n_{Q_i} g_{m,Q_i} B} = \frac{\operatorname{Re}\{Y_{in}\}^{-2} g_{m,Q_i} P_{in}^2}{48 \gamma K T n_{Q_i}^3 V_T^2 B} \quad \text{Eq. III-41}$$

Notons que toutes les transconductances g_{m,Q_i} sont égales (même taille et même courant I_0 pour tous les transistors Q_i). Enfin, la sensibilité $P_{in,min}$, pour un rapport SNR donné, est exprimé par :

$$P_{in,min} = \sqrt{\frac{48 \gamma K T n_{Q_i}^3 V_T^2 B SNR}{\operatorname{Re}\{Y_{in}\}^{-1} g_{m,Q_i}}} \quad \text{Eq. III-42}$$

La **Figure III-40** et la **Figure III-41** montrent le bruit simulé en sortie de chacun de deux détecteurs sur une bande de 300 kHz (Bande passante imposée par le multimètre utilisé dans les mesures). Nous pouvons remarquer le faible niveau du bruit en sortie pour le détecteur bipolaire. D'autre part, pour la version BiCMOS, la présence du bruit $1/f$ augmente beaucoup la tension du bruit en sortie.

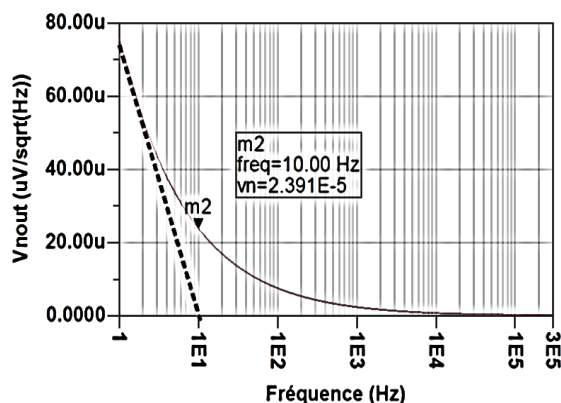


Figure III-40 Bruit en fonction de la fréquence pour le détecteur BiCMOS.

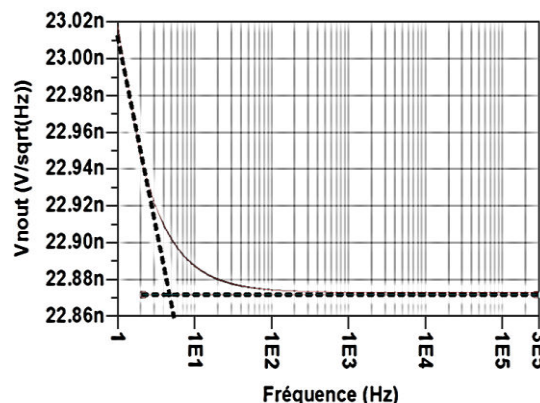


Figure III-41 Bruit en sortie en fonction de la fréquence pour le détecteur bipolaire.

Afin de comparer les sensibilités de chacun des détecteurs nous nous sommes placés à un rapport $SNR = 1$ et une bande passante de 300 kHz. Dans ce cas la sensibilité est déterminée par l'intersection entre la tension du bruit en sortie et la tension de sortie V_{out} (**Figure III-42** et **Figure III-43**).

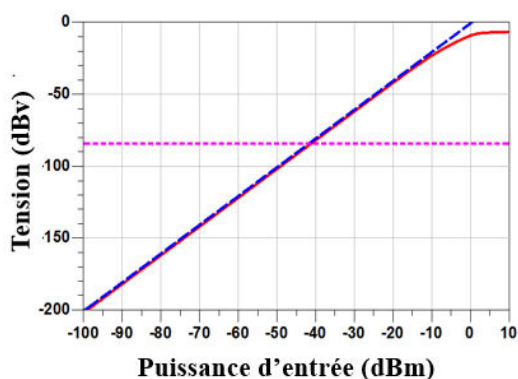


Figure III-42 Tension de sortie V_{out} et bruit en sortie simulé : BiCMOS.

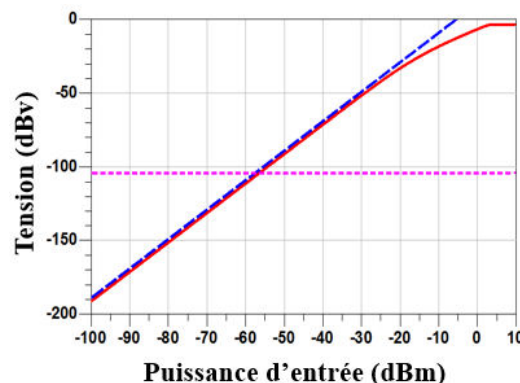


Figure III-43 Tension de sortie V_{out} et bruit en sortie simulé : bipolaire.

La sensibilité du détecteur purement bipolaire est meilleure que celle du détecteur BiCMOS en sous seuil. Le **Tableau III-3** résume et compare la sensibilité calculée analytiquement et celle obtenue en simulation pour les deux détecteurs (pour $SNR=1$ (0 dB) et $B = 300$ kHz) et permet de valider le modèle analytique du bruit.

Tableau III-3 Résultats de simulations et de modélisation du bruit.

Détecteur	Bruit simulation	Bruit modèle	Sensibilité simulation	Sensibilité modèle
BiCMOS	$2.29e^{-8} A/\sqrt{Hz}$	$1.77e^{-8} A/\sqrt{Hz}$	-41 dBm	-43 dBm
Bipolaire	$2.90e^{-9} A/\sqrt{Hz}$	$2.6e^{-9} A/\sqrt{Hz}$	-57 dBm	-58 dBm

III.6 Conclusion

Après avoir présenté les concepts de base des détecteurs de puissance RF, nous avons étudié deux architectures de détecteur de puissance RF réalisées dans des technologies CMOS et BiCMOS. Les comportements de détecteurs ont été expliqués grâce aux modèles analytiques développés pour les caractéristiques de transfert, ainsi que pour les comportements en bruit.

Dans un premier temps, deux détecteurs à base/grille commune ont été conçus. Les deux détecteurs présentent une dynamique de détection mesurée comprise entre -30 dBm et 8 dBm. L'étude analytique du bruit et les simulations montrent cependant une sensibilité théorique de -52 dBm pour le détecteur base commune contre -43 dBm pour le détecteur grille commune. Cela est dû à la différence de gain entre les deux structures. La consommation en puissance DC n'est pas constante et varie entre 40 μW pour des faibles P_{in} et environ 800 μW pour $P_{in} = 8$ dBm. Enfin, l'augmentation du courant DC engendre une variation de l'impédance d'entrée qui est directement liée à la valeur de la transconductance g_m . L'impédance d'entrée, étant inversement proportionnelle à g_m , est plus élevée pour le détecteur grille commune.

Ensuite, nous avons exploré l'architecture de type Meyer qui fonctionne à consommation constante. Cela permet de découpler l'impédance d'entrée et la puissance détectée. Ce détecteur, basé sur les caractéristiques exponentielles du courant du bipolaire, a montré une dynamique mesurée comprise entre : -50 dBm et 2 dBm. En outre, nous avons développé une solution alternative en remplaçant le transistor de détection en bipolaire par un transistor MOS sous seuil. Le nouveau détecteur présente une dynamique plus réduite comprise entre -40 dBm, et 2 dBm pour la même consommation (50 μA). La meilleure sensibilité de la version en bipolaire est due au bruit en $1/f$ plus faible et à la forte transconductance du transistor bipolaire par rapport au MOS. Comparant aux architectures base/grille commune, ces derniers détecteurs possèdent une impédance d'entrée plus élevée. En revanche, la puissance maximale détectée est de 5 dB en dessous de celle des détecteurs base/grille commune.

L'ensemble de détecteurs, réalisés en technologie BiCMOS 55 nm, présentent une réponse fréquentielle quasi-plate, une très petite taille, et un temps de réponse compatible avec les modulations large bande utilisées dans la bande de fréquences millimétriques. Les performances de ces détecteurs sont récapitulées dans le **Tableau III-4**.

Dans le chapitre suivant, nous présentons une application de ces détecteurs dans le cadre de l'amélioration de l'efficacité d'un amplificateur de puissance basée sur une technique de polarisation adaptative de l'étage de puissance.

Tableau III-4 Performances des quatre détecteurs fabriqués en technologie BiCMOS 55 nm.

Référence	Technologie	Puissance consommée (mW)	Surface (active) (μm^2)	Fréquence (GHz)	Dynamique de détection (dB)	Sensibilité (dBm)	$Re\{Y_{in}\}^{-1}$ (K Ω) à 60 GHz
[Détecteur, n1] ¹	B55	0,05 - 0,8	80x80	50-67	38	-30	2,1
[Détecteur, n2] ²	B55	0,05 - 0,8	80x80	50-67	38	-30	0,9
[Détecteur, n3] ³	B55	0,05	50x80	50-67	44	-40	1,9
[Détecteur, n4] ⁴	B55	0,05	50x80	50-67	52	-50	1

¹ Détecteur base commune, ² détecteur grille commune, ³ détecteur Meyer avec MOS sous seuil, ⁴ détecteur Meyer avec des bipolaires.

Tableau III-5 Etat de l'art des détecteurs de puissance en technologies CMOS et BiCMOS.

N°	Référence	Technologie	Puissance consommée (mW)	Surface (active, totale)	Fréquence (GHz)	Dynamique de détection (dB)	Sensibilité (dBm)
1	[Wurstho., 14]	0,35 μm BiCMOS	-	100 x 50 μm^2 /a	76	-	1
2	[Kim, 13]	0,13 μm CMOS	35,2	1 x 0,75 mm^2 /t	16	50	-30
3	[Johnson 13]	0,25 μm BiCMOS	-	-	85 à 94	25	-30
4	[Zhang, 12]	0,35 μm BiCMOS	-	0,35 x 0,8 mm^2 /t	55 à 67	20	-10
5	[Yang, 12]	0,13 μm CMOS	0,116	65 x 260 μm^2 /a	0,1 à 40	20	-16
6	[Nkamoto, 12]	90 nm CMOS	0,3	0,04 mm^2	1,98	23	-5
7	[Wu 11]	0,18 μm CMOS	70	-	8	40	-
8	[Abdallah, 10]	0,25 μm CMOS	-	150 x 150 μm^2 /a	10	20	-20
9	[Li, 10]	0,13 μm CMOS	0,1	0,085 mm^2	0,5 à 20	20	-
10	[Gorisse, 09]	65 nm CMOS	0,05	80 x 80 μm^2 /a	60	25	-15
11	[Shieh, 09]	0,18 μm CMOS	16	-	1,8	29	-
12	[Town. 09]	0,18 μm CMOS	3,8	0,36 mm^2	3,1 à 10	20	-
13	[Garcia, 08]	0,35 μm CMOS	8,6	0,031 mm^2	0,9 à 2,4	30	-25
14	[Zhou, 08]	0,13 μm CMOS	0,18	97 x 130 μm^2 /a	8,5	45	-25
15	[Pfeiffer, 07]	0,13 μm BiCMOS	-	-	60	8,5	4
16	[Zhang, 06]	IBM 7WL	-	700 x 550 μm^2 /a	20	40	-37
17	[Hu, 06]	0,8 μm BiCMOS	-	-	2	25	0
18	[Zhou, 06]	0,25 μm BiCMOS	17	97 x 130 μm^2 /a	6	45	-45
19	[Ferrari, 05]	CMOS	-	-	34	30	-
20	[Kouwen, 05]	0,35 μm BiCMOS	25,4	2,25 mm^2	2	20	-10
21	[Yin, 05]	IBM BiCMOS	0,034	0,912 mm^2	0,9	25	-30
22	[Zhang, 04]	IBM BiCMOS	0,012	600 x 550 μm^2 /t	6	65	-50

Références

[Serhan, 14]

A. Serhan, E. Lauga-Larroze, J.-M. Fournier, "Sub-Threshold Based Power Detector for Low-Cost Millimeter-Wave Applications", IEEE PhD Research in Microelectronics and Electronics (PRIME), 2014.

[Wursthorn, 14]

J. Wursthorn, et al., "A true-RMS integrated power sensor for on-chip calibration", IEEE Bipolar/BiCMOS Circuits and Technology Meeting (BCTM), 2014.

[Kim, 13]

K. Kihyun, Y. Kwon, "A Broadband Logarithmic Power Detector in 0.13- μ m CMOS", IEEE Microwave and Wireless Components Letters, vol. 23, no. 9, pp.498-500, 2013.

[Zhang, 12]

J. Zhang, V. Fusco, Y. Zhang, "A compact V-band active SiGe power detector", IEEE European Microwave Integrated Circuits Conference (EuMIC), 2012.

[Yang, 12]

Y. Xin, Y. Uchida, L. Qing, T. Yoshimasu, "Low-power ultra-wideband power detector IC in 130 nm CMOS technology", IEEE MTT-S International Microwave Workshop Series on Millimeter Wave Wireless Technology and Applications (IMWS), 2012.

[Wu, 11]

J. Wu, K. Hsu, W. Lai, C. Tu, S. Chen, C. Tang, Y. Juang, "A linear-in-dB radio-frequency power detector", IEEE MTT-S International Microwave Symposium Digest (MTT), 2011.

[Abdallah, 10]

L. Abdallah, H.G. Stratigopoulos, C. Kelma, S. Mir, "Sensors for built-in alternate RF test", IEEE European Test Symposium (ETS), 2010.

[Li, 10]

L. Chaojiang, G. Fei, P. Wang, "A Low-Power Ultra wideband CMOS Power Detector With an Embedded Amplifier", IEEE Transactions on Instrumentation and Measurement, vol. 59, no. 12, pp. 3270-3278, 2010.

[Gorisse, 09]

J. Gorisse, A. Cathelin, A. Kaiser, E. Kerherve, "A 60GHz 65nm CMOS RMS power detector for antenna impedance mismatch detection", in Proc. ESSCIRC, 2009.

[Townsend, 09]

K.A. Townsend, J.W. Haslett, "A Wideband Power Detection System Optimized for the UWB Spectrum", IEEE Journal of Solid-State Circuits, vol.44, no.2, pp.371-381, 2009.

[Shieh, 09]

S. Ming-Liang, et al. "Linear radio frequency power detector", Microwave Conference, 2009. APMC 2009. Asia Pacific, pp.2316-2319, 2009.

[Zhou, 08]

Z. Yijun, M. Chia, "A Low-Power Ultra-Wideband CMOS True RMS Power Detector", IEEE Transactions on Microwave Theory and Techniques, vol. 56, no. 5, pp. 1052-1058, 2008.

[Garcia, 08]

A. Valdes-Garcia, R. Venkatasubramanian, J. Silva-Martinez, E. Sanchez-Sinencio, "A Broadband CMOS Amplitude Detector for On-Chip RF Measurements", IEEE Transactions on Instrumentation and Measurement, vol.57, no.7, pp.1470-1477, 2008.

[Pfeiffer, 07]

U. R. Pfeiffer, D. Goren, "A 20 dBm Fully-Integrated 60 GHz SiGe Power Amplifier With Automatic Level Control", IEEE Journal of Solid-State Circuits, vol. 42, no. 7, pp. 1455-1463, 2007.

[Zhang, 06]

Tao Zhang, W.R. Eisenstaedt, R.M. Fox, Q. Yin, "Bipolar Microwave RMS Power Detectors", IEEE Journal of Solid-State Circuits, vol. 41, no. 9, pp. 2188-2192, 2006.

[Hu, 06]

Q. Z. Hu, Z.H. Liu, L. Yan, W. Zhou, "A SiGe Power Amplifier With Power Detector And VSWR Protection For TD-SCDMA Application", in Proc. International Conference on Mixed Design of Integrated Circuits and System (MIXDES), 2006.

[WOOCHUL, 05]

J. Woonchul, "Design and fabrication of on chip microwave pulse power detectors". Thèse de doctorat à l'Université de Maryland, 2005.

[Ferrari, 05]

G. Ferrari, et al., "CMOS fully compatible microwave detector based on MOSFET operating in resistive regime", IEEE Microwave and Wireless Components Letters, vol. 15, no .7, pp. 445-447, 2005.

[Yin, 05]

Y. Qizhang , W. R. Eisenstaedt, R. M. Fox, Z. Tao, "A translinear RMS detector for embedded test of RF ICs", IEEE Transactions on Instrumentation and Measurement, vol. 54, no. 5, pp. 1708-1714, 2005.

[Kouwen, 05]

M. Kouwenhoven, A. Van Staveren, "A 2GHz mean-square power detector with integrated offset chopper", IEEE International Solid-State Circuits Conference (ISSCC), 2005.

[Zhang, 04]

Z. Tao, W. R. Eisenstaedt, R.M. Fox, "A novel 5GHz RF power detector", in Proc. International Symposium on Circuits and Systems (ISCAS), 2004.

[Agilent, 01]

Agilent Technologies, Agilent Fundamentals of RF and Microwave Power Measurements: Application Note 64-1C, 2001.

[Milanovic, 96]

V. Milanovic, M. Gaytan, M. E. Zaghoul, "Micromachined thermocouple microwave detector in CMOS technology", IEEE symposium on Circuits and Systems, 1996.

[Nakamoto, 96]

H. Nakamoto, et al., "A real-time temperature-compensated CMOS RF on-chip power detector with high linearity for wireless applications", in Proc. (ESSCIRC), 2012.

[Meyer, 95]

R.G. Meyer, "Low-power monolithic RF peak detector analysis", IEEE Journal of Solid-State Circuits, vol. 30, no. 1, pp. 65-67, 1995.

Chapitre IV : Application des détecteurs de puissance à l'amélioration de l'efficacité des amplificateurs de puissance à 60 GHz

Dans ce chapitre, l'amélioration de l'efficacité d'un amplificateur de puissance et utilisant les détecteurs précédemment développés est évoquée.

IV.1 Introduction et motivation

Les performances des technologies silicium CMOS et BiCMOS permettent la faisabilité des systèmes de communication en bande millimétrique [Jain, 09] [Mitomo, 12] [Tomkins, 09] [Siligaris, 13]. Dans le cadre de cette montée en fréquence, les performances et la fiabilité de blocs critiques comme les amplificateurs de puissance sont de plus en plus contraintes et peuvent être améliorées grâce à plusieurs techniques utilisant des boucles d'asservissement [Haikun, 13] [Liu, 14]. Après avoir fait un état de l'art sur ces différentes techniques, nous présentons plus spécialement celles utilisées pour améliorer l'efficacité en puissance (PAE) des amplificateurs de puissance. Enfin, nous proposons une solution pour un amplificateur de puissance linéaire large bande fonctionnant en fréquence millimétrique autour de 60GHz basée sur l'utilisation des détecteurs de puissance que nous avons présentés dans le chapitre précédent.

Les amplificateurs de puissance linéaires, tels que les amplificateurs classe-A, présentent une PAE instantanée faible lorsque la puissance instantanée en sortie devient faible. Une manière d'améliorer la PAE moyenne est d'ajuster dynamiquement la puissance DC dans l'amplificateur au regard de la variation de la puissance en sortie à l'aide d'une boucle d'asservissement commandant dynamiquement le courant ou la tension d'alimentation de l'amplificateur. Plusieurs solutions ont été proposées dans la littérature pour les applications dans la bande de fréquences inférieure à 10 GHz. La technique d'élimination et restauration d'enveloppe (Envelope Elimination and Restoration EER), et la technique d'accompagnement d'enveloppe (Envelope Tracking ET) sont les deux techniques les plus utilisées dans les applications RF telles que les systèmes de communication 2G et 3G [Kim, 13] [Peng, 02]. Avec ces techniques, la tension d'alimentation du PA provenant d'un convertisseur DC-DC à rendement élevé doit suivre la variation de l'enveloppe du signal. Le défi d'implémentation de ces méthodes réside dans la réalisation des convertisseurs DC-DC présentant une bande passante compatible avec celle de l'enveloppe du signal et un rendement élevé sur toute la dynamique de cette enveloppe. Par conséquent, ces techniques ne peuvent pas être utilisées dans les systèmes de communication à très haut débit (quelques Gbits) fonctionnant en bande millimétrique. A ce stade, seule la solution basée sur un système de polarisation dynamique peut être utilisée [Liu, 12]. Cette solution est basée sur le contrôle dynamique du courant de polarisation en fonction de la variation instantanée

de l'enveloppe du signal. Une contre-réaction directe entre la sortie du PA et sa tension de polarisation est effectuée à travers un détecteur de puissance et un simple circuit analogique.

Nous allons dans ce chapitre expliquer le principe de cette technique ainsi que la conception et les résultats de deux circuits démonstrateurs. Le premier circuit comprend un PA en bipolaire avec un détecteur de puissance base-commune intégrés sur la même puce (la fonction de transfert de la boucle a été réalisée par co-simulation). Le deuxième circuit est un système bouclé de polarisation dynamique entièrement intégré formé d'un PA et d'un détecteur CMOS sous seuil couplé à une interface analogique pilotant la polarisation du PA.

IV.2 Etat de l'art sur les techniques d'amélioration des performances des amplificateurs de puissance en bande millimétrique.

[Haikun, 13] a proposé une technique de correction de performances pour un amplificateur de puissance à 60 GHz (**Figure IV-1**). Cette technique consiste à corriger les erreurs de décalage fréquentiel des paramètres- S petit-signal. Ce type d'erreur peut être lié soit aux variations technologiques, soit à l'imprécision des modèles des composants utilisés dans le design. L'auteur utilise des lignes à permittivité variable (Digital Controlled Artificial Dielectric DICAD) pour permettre le changement de la longueur électrique de la ligne à longueur physique fixe. Le schéma simplifié ainsi que la ligne utilisée sont illustrés sur la **Figure IV-1**.

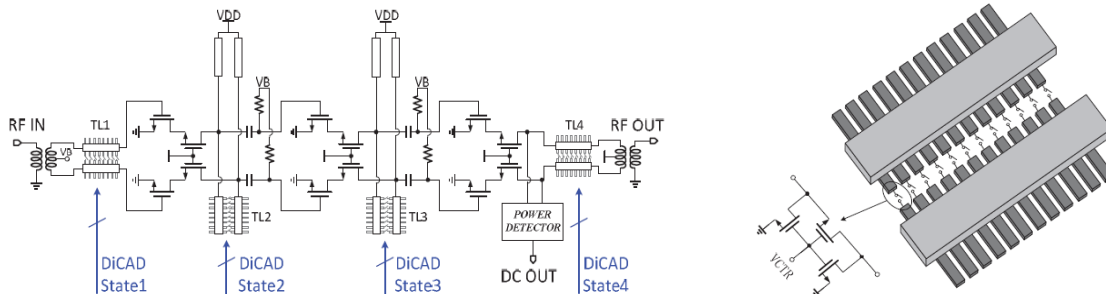


Figure IV-1 (gauche) Schéma simplifié de l'amplificateur sous test [Haikun, 13], (droite) Schéma simplifié d'une ligne DICAD [Haikun, 13].

Un exemple de correction de paramètres- S petit signal du PA est montré sur la **Figure IV-2**.

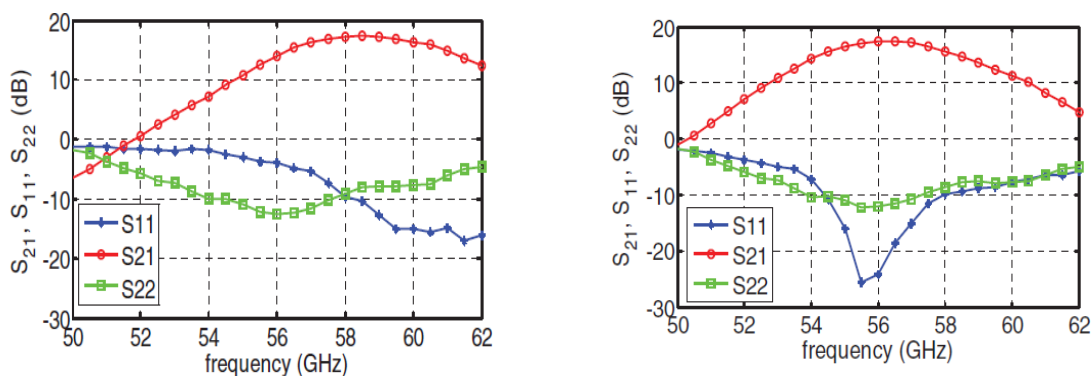


Figure IV-2 (gauche) Paramètres S avant la correction [Haikun, 13], (droite) Paramètres S corrigées [Haikun, 13].

Une boucle d'asservissement utilisée pour l'amélioration de l'efficacité d'un PA classe-A différentiel 26 GHz à deux étages, a été présentée par [Liu, 14]. La technique utilise un mode de polarisation dynamique en agissant sur la polarisation des deux étages (**Figure IV-3**). La vitesse de la boucle est fixée par les résistances R_2 et R_3 et la capacité de découplage C_{bypass} placées en sortie du circuit de polarisation (**Figure IV-3-b**).

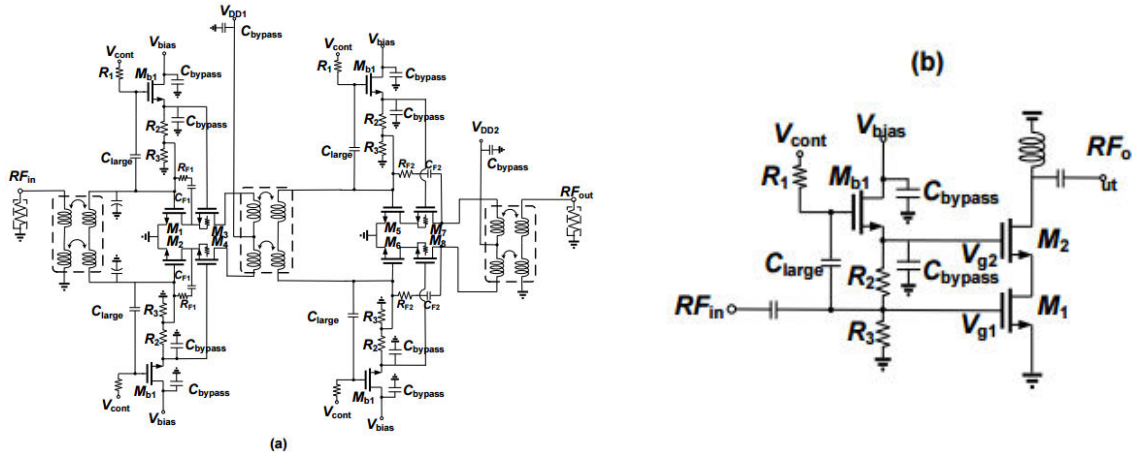


Figure IV-3 (a) Schéma simplifié de l'amplificateur complet proposé dans [Liu, 14], (b) Schéma simplifié d'une unité d'amplificateur avec son circuit de polarisation.

La **Figure IV-4-a** montre une comparaison entre la consommation du PA avec et sans polarisation dynamique dans le cas d'un signal mono-fréquence en entrée. Nous remarquons une réduction importante du courant de polarisation DC pour les faibles puissances d'entrée P_{in} et une consommation similaire à celle de la classe-A pour les fortes puissances. On voit que cette technique permet l'amélioration de la PAE tout en maintenant un fonctionnement linéaire en classe A de l'amplificateur. Le profil du gain en puissance, de la puissance de sortie P_{out} et de la PAE de l'amplificateur, mesurés et simulés en mode de polarisation dynamique pour un signal mono-fréquence 26 GHz, sont présentés sur la **Figure IV-4-b**. Malgré une différence non justifiée dans la publication entre les simulations et les mesures, les performances du PA restent très acceptables. Cependant, ces performances n'ont pas été comparées avec celles obtenus en mode de polarisation constante.

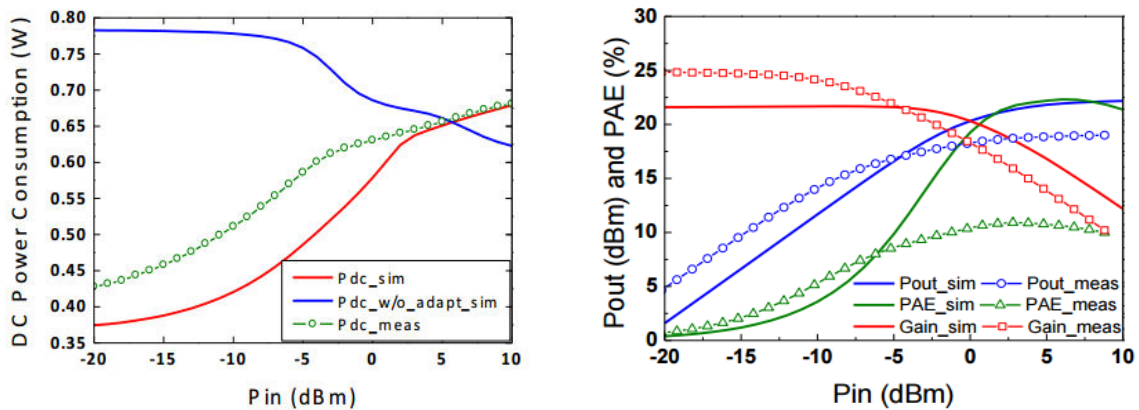


Figure IV-4 (gauche) Courant DC en mode adaptatif et en mode polarisation constante, (droite) performances grand signal du PA en mode adaptatif.

Un travail similaire a été publié par le même auteur en 2012 [Liu, 12] visant la linéarisation d'un PA classe-AB à 60 GHz (**Figure IV-5**). La technique consiste à contrôler le profil du gain de l'amplificateur de puissance en changeant la tension de polarisation de l'étage de sortie. La **Figure IV-5** montre le schéma simplifié de l'amplificateur. Les transistors M_1 à M_3 forment un détecteur de puissance dont la sortie est rebouclée sur les grilles des transistors de l'étage de sortie.

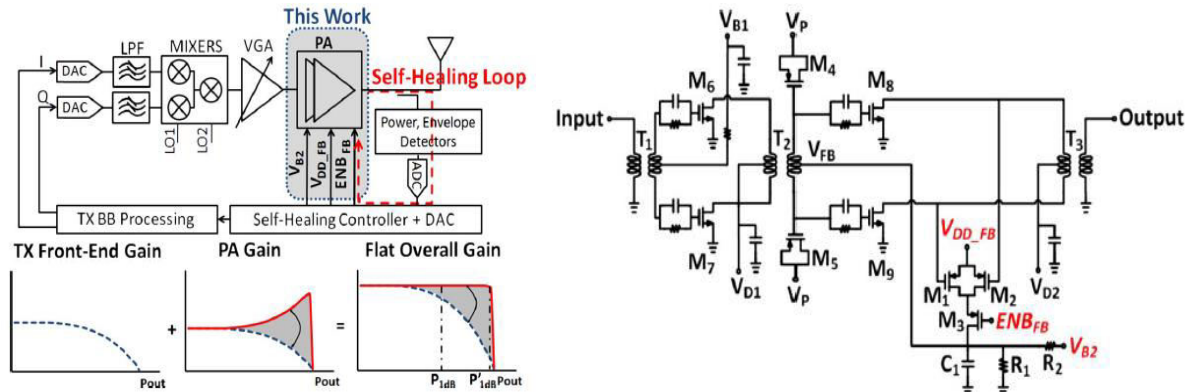


Figure IV-5 (gauche) Schéma du système proposé, (droite) Schéma de l'amplificateur [Liu, 12].

La **Figure IV-6** montre le profil du gain et de la PAE de l'amplificateur, mesurés pour un signal à 60 GHz, en présence et en absence de la boucle. L'efficacité de l'amplificateur a été améliorée grâce à la réduction de la consommation du dernier étage pour les faibles puissances d'entrée. Nous remarquons que le point de compression en entrée de l'amplificateur est augmenté de 5 dB en utilisant la boucle d'asservissement. Cependant, le profil du gain n'est plus linéaire en fonction de la puissance d'entrée susceptible d'apporter une distorsion pour les hautes puissances.

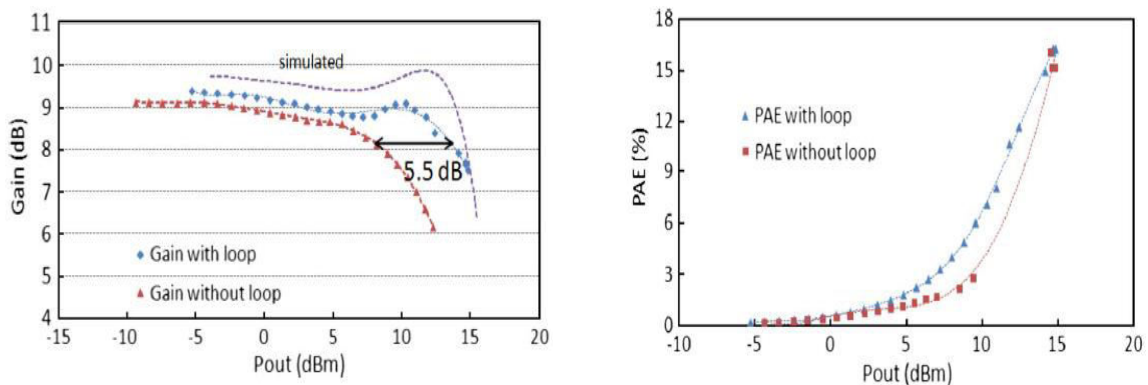


Figure IV-6 (gauche) Effet de la boucle sur le gain, (droite) amélioration de la PAE de l'amplificateur [Liu, 12].

[Steven, 12] a proposé dans le cas d'un PA fonctionnant à 28 GHz une technique d'autocorrection (Self Healing) piloté par un automate numérique (Self Healing Core) (**Figure IV-7**). Plusieurs types de détecteurs sont utilisés pour extraire les informations nécessaires à la détection des imperfections de l'amplificateur. A titre d'exemple, des détecteurs de puissance RF sont placés en entrée et en sortie pour pouvoir estimer à la fois le gain et la puissance de sortie de l'amplificateur. D'autre part, les capteurs de température permettent de détecter les défauts catastrophiques (dysfonctionnement complet d'un des transistors). Pour permettre l'ajustement

- Chapitre IV : Amélioration, en temps réel, de l'efficacité de PAs 60 GHz -

des réseaux d'adaptation, en entrée et en sortie, la technique d'actuateur des lignes de transmission est utilisée (**Figure IV-7**).

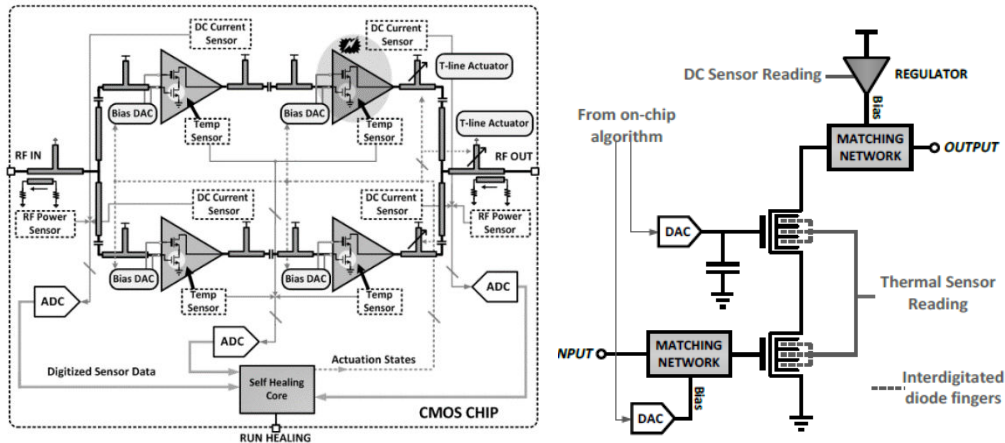


Figure IV-7 (gauche) Schéma simplifié du PA avec les capteurs et les circuits de contrôle, (droite) schéma d'un PA seul avec les capteurs et les réseaux d'adaptation associés [Steven, 12].

Un système de correction numérique utilise les sorties des capteurs pour ajuster les réseaux d'adaptation, les tensions d'alimentation et les tensions de polarisation du PA. La **Figure IV-8-a** montre que l'algorithme utilisé permet de retrouver le point de fonctionnement et la charge appropriée pour une puissance maximale en sortie, avec pour conséquence une amélioration de 2,5 dB de la puissance de sortie. De plus, la distribution de 20 circuits en fonction de la puissance (P_{out}) montre que cette technique permet de réduire l'influence des variations process. Enfin, la **Figure IV-8-b** montre une amélioration de 50 % sur la puissance DC, pour une puissance de sortie donnée.

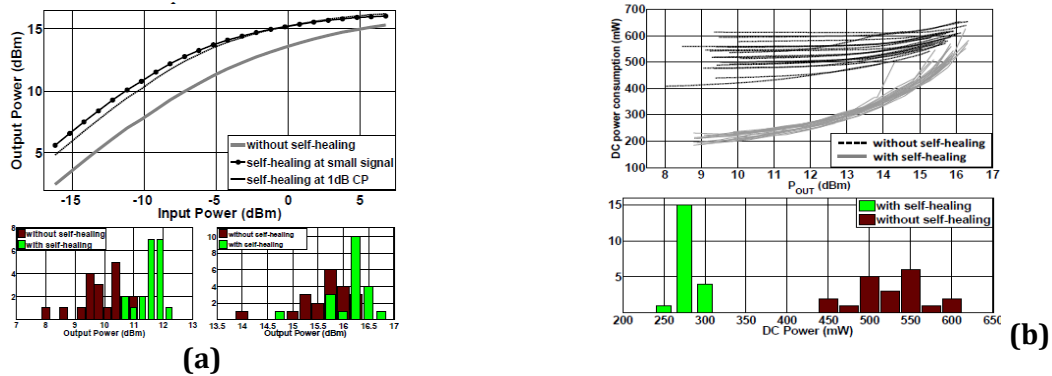


Figure IV-8 (a) Amélioration des performances DC, (b) amélioration de la puissance de sortie [Steven, 12].

En 2011, [Minami, 11] a proposé un système d'optimisation dynamique de la technique de neutralisation utilisée dans les PAs différentiels. Cette technique consiste à compenser l'instabilité introduite par la capacité C_{gd} , en additionnant un couplage capacitif de signe opposé par des capacités de neutralisation [Lee, 98]. D'après [Minami, 11], la valeur optimale des capacités de neutralisation dépend de la puissance du signal d'entrée/sortie du PA. Pour cela, l'auteur propose que ces capacités soient réalisées avec des diodes à capacité variable (des varacteurs) dont la valeur est ajustée, en fonction de la puissance de sortie, par une boucle d'asservissement (**Figure**

IV-9). Cette technique permet d'éviter la dégradation du gain (i.e. de l'efficacité) du PA tout en assurant une bonne stabilité.

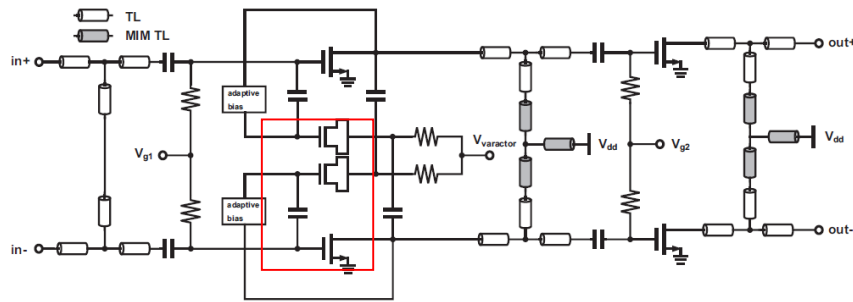


Figure IV-9 Schéma simplifié du PA différentiel 2 étages 60 GHz proposé dans [Minami, 11].

La **Figure IV-10-a** montre les résultats de simulation de la tension de polarisation optimale et la valeur de capacité correspondante de varacteurs en fonction de la puissance d'entrée. L'ajustement de la capacité de neutralisation, à travers la boucle d'asservissement, a permis de maintenir un profil de gain constant. Cela est illustré à travers le profil de PAE qui reflète le profil du gain où la consommation est identique pour toutes les courbes (**Figure IV-10-b**).

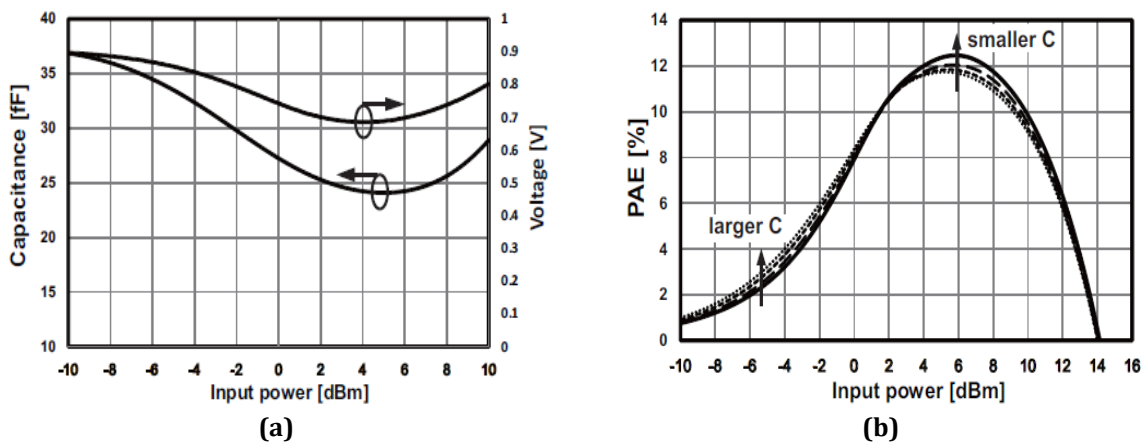


Figure IV-10 (a) Evolution de la capacité de couplage et de la tension de polarisation des varacteurs en fonction de la puissance d'entrée, (b) Amélioration de la PAE en fonction de la puissance d'entrée [Minami, 11].

Une boucle d'asservissement visant la réduction de l'effet de désadaptation de la charge présentée par l'antenne (VSWR) a été proposée par [Pfeiffer, 07], **Figure IV-11**, et [Gorisse, 09].

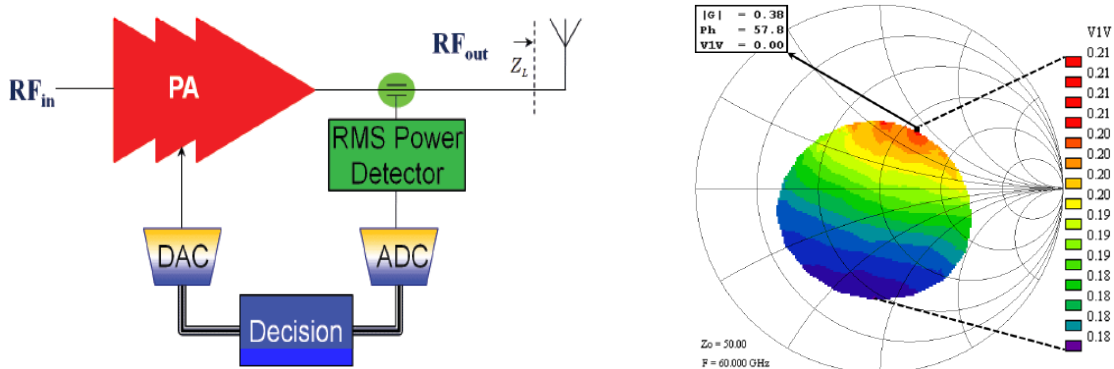


Figure IV-11 (gauche) Schéma de la boucle d'asservissement proposée, (droite) Coefficient de réflexion en sortie et la tension de détecteur associée V1V [Gorisse, 09].

L'idée consiste à détecter le niveau de puissance réfléchi par l'antenne et à agir sur la polarisation du PA afin de réduire la puissance émise par le PA et d'éviter la destruction du transistor de puissance. La détection de puissance au niveau de l'antenne se fait avec un détecteur en sortie d'un coupleur. Des mesures load-pull ont été effectuées en introduisant une désadaptation d'impédance par rapport à la charge nominale de 50 Ohms. Les mesures présentées sur la **Figure IV-11** montrent la capacité du système à détecter et corriger l'impact des variations du VSWR jusqu'à un rapport de 3:1 [Gorisse, 09].

Pour conclure, nous pouvons discerner dans la littérature deux grandes catégories de systèmes utilisant des boucles d'asservissement. La première catégorie est dédiée à la correction ou l'autocorrection des performances telles que les paramètres S , la stabilité [Minami, 11], la puissance DC et la puissance de sortie [Steven, 12]. Pour ce type d'application, la vitesse de réponse des boucles d'asservissement n'est pas critique puisque la procédure d'autocorrection ne se fait pas en temps réel mais dans des conditions statiques ou quasi statiques. Une deuxième catégorie est dédiée à l'amélioration en temps réel des performances telles que la linéarité [Liu, 12], l'efficacité [Liu, 14], ou à la protection contre l'effet de désadaptation de la charge (VSWR) [Gorisse, 09]. Les applications de la deuxième catégorie présentent un défi au niveau de la vitesse de réponse de la boucle de contre réaction qui doit être compatible avec la vitesse de variation de l'enveloppe du signal modulé. Nous nous sommes intéressés aux techniques de la deuxième catégorie et plus spécialement celles utilisées pour améliorer en temps réel l'efficacité des amplificateurs de puissance linéaires. La technique d'amélioration adoptée est la technique de polarisation adaptative. Cette technique basée sur des boucles d'asservissement à large bande passante semble la seule à pouvoir être utilisée pour l'amélioration de l'efficacité des amplificateurs millimétriques véhiculant des modulations large bande.

IV.3 La technique de polarisation adaptative

La technique de polarisation adaptative est basée sur le contrôle du courant continu consommé par le PA en fonction de la puissance instantanée du signal modulé émis par l'amplificateur. Cette technique permet d'améliorer le rendement d'un amplificateur de puissance A ou AB lors de son fonctionnement dans sa région back-off. En effet le rendement maximal d'un PA se situe autour de sa puissance de sortie maximale, où le gain atteint la zone de compression. En deçà de cette puissance maximale, le rendement décroît rapidement. Dans le cadre des communications numériques, la puissance instantanée est sujette à des variations importantes du fait des rapports PAPR (Peak-to-Average Power Ratio) de plus en plus élevés, ce qui conduit à une puissance de sortie moyenne (donc un rendement moyen) bien inférieure à sa valeur maximale. La **Figure IV-12** présente un schéma de principe d'un système d'émission utilisant la technique de polarisation adaptative.

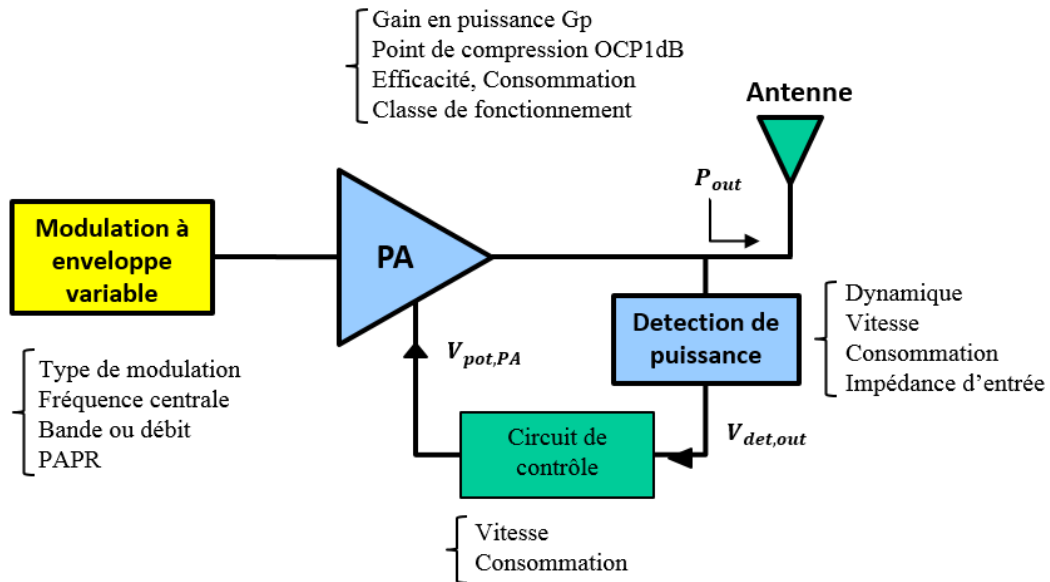


Figure IV-12 Système d'émission avec asservissement du courant de polarisation

Le détecteur de puissance génère une tension de sortie $V_{det,out}$ proportionnelle à la puissance du signal en sortie du PA. Cette tension est mise en forme par un circuit de contrôle de faible consommation qui gère la loi de commande entre la puissance P_{out} et la tension de polarisation $V_{pol,PA}$ pilotant le courant de polarisation DC du PA. Cette loi de commande vise soit l'amélioration de l'efficacité moyenne du PA, soit l'amélioration de sa linéarité. Cela dépend de la classe de fonctionnement du PA utilisé. Dans notre cas, nous nous sommes intéressés à un amplificateur classe A qui possède une bonne linéarité avec pour objectif d'améliorer son efficacité sans dégrader sa linéarité.

Pour ce faire, le courant de polarisation du PA doit diminuer pour les faibles puissances de sortie, et évoluer vers une polarisation nominale en classe-A lorsque la puissance de sortie atteint une valeur proche du point de compression (OCP1dB). En conséquence, le rendement sera amélioré pour les faibles puissances tout en gardant un rendement maximal inchangé. A notre connaissance, il n'existe pas de méthode analytique pour définir la loi de commande entre P_{out} et la tension de polarisation dynamique du PA pour optimiser la PAE. Cependant, nous pouvons identifier quelques règles pour faciliter la tâche d'optimisation réalisée par simulation.

Afin de déterminer ce profil de polarisation optimal, l'amélioration apportée sur la PAE d'un PA classe A idéal est simulée pour plusieurs profils de polarisation. Le PA est conçu pour avoir une charge optimale, $R_L = 50 \Omega$ et un courant DC de polarisation $I_0 = 24 \text{ mA}$ pour un fonctionnement en classe A et sous une tension d'alimentation $V_{dd} = 1,2 \text{ V}$. Nous supposons que le gain n'est pas affecté par la variation du courant de polarisation. Nous comparons trois types de polarisation **Figure IV-13** : une polarisation constante avec $I_0 = 24 \text{ mA}$, une polarisation adaptative linéaire dont le courant varie linéairement avec la puissance de sortie (entre une valeur faible et 24 mA), et une polarisation adaptative où le courant évolue de façon logarithmique (**Figure IV-13, droite**).

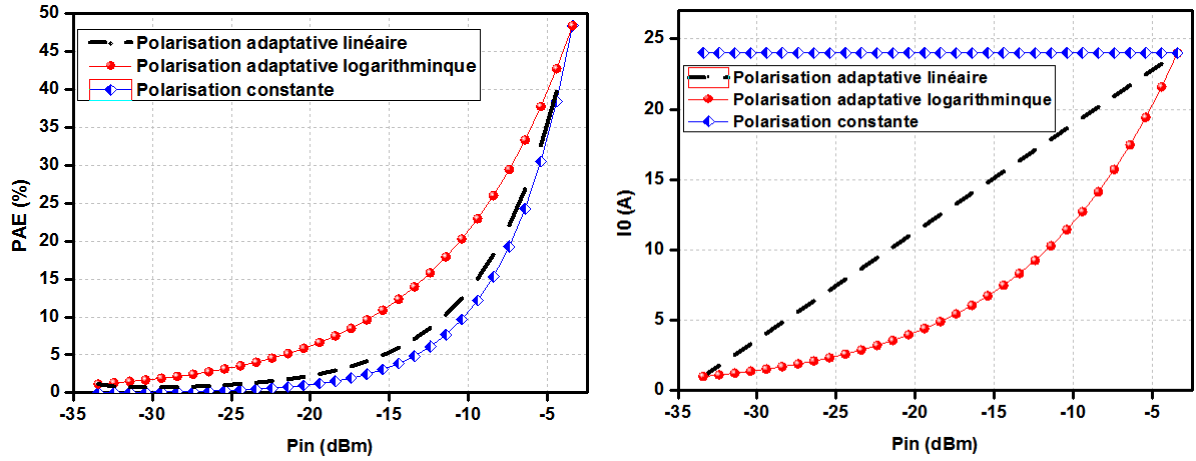


Figure IV-13 (gauche) Amélioration apportée, sur la PAE, par le contrôle adaptatif du courant de polarisation d'un amplificateur classe A idéal, (droite) courant DC de l'amplificateur.

Nous pouvons remarquer sur la **Figure IV-13** que l'amélioration apportée par la variation logarithmique du courant est plus efficace que celle obtenue avec une variation linéaire. Cela donne une première clé pour le choix du détecteur et du circuit de traitement analogique à utiliser pour définir la loi de commande $V_{pol,PA} = f(P_{out})$. Il faut aussi remarquer que, malgré l'amélioration apportée, le rendement diminue toujours avec la diminution de la puissance émise. Cela est lié au fait que la tension d'alimentation reste constante lorsque le courant I_0 diminue [Fabbro, 10].

Comme mentionné précédemment, l'efficacité moyenne dépend du niveau du PAPR du signal modulé amplifié par le PA. Nous proposons donc de calculer la valeur moyenne de la PAE sur la gamme de puissance $P_{av} - PAPR$ à $P_{av} + PAPR$. Notons que pour utiliser l'amplificateur avec une efficacité maximale, sans distorsion du signal amplifié, la valeur de la puissance de sortie maximale doit être égale à l' OCP_{1dB} . De plus, cette valeur doit être égale à la somme de la puissance moyenne et de la PAPR, soit ($P_{av} + PAPR = OCP_{1dB}$). Par conséquent l'équation de la PAE moyenne (appelé PAE_m) peut être exprimée par :

$$PAE_m = \frac{1}{2 \times PAPR} \sum_{P_{out}=OCP_{1dB}-2 \times PAPR}^{OCP_{1dB}} PAE(P_{out} - G_p) \quad \text{Eq. IV-1}$$

G_p est le gain en puissance de l'amplificateur, supposé constant car l'équation (**Eq. IV-1**) concerne uniquement la zone d'amplification linéaire de l'amplificateur.

La **Figure IV-14** montre l'évolution de la PAE moyenne PAE_m en fonction du PAPR pour les trois profils de polarisation examinés précédemment. Nous remarquons que l'apport est plus important quand le PAPR est plus élevé et aussi que la polarisation adaptative logarithmique apporte, pour un PAPR de 9 dB, une amélioration de 8 % de plus par rapport à une loi linéaire sur la PAE_m .

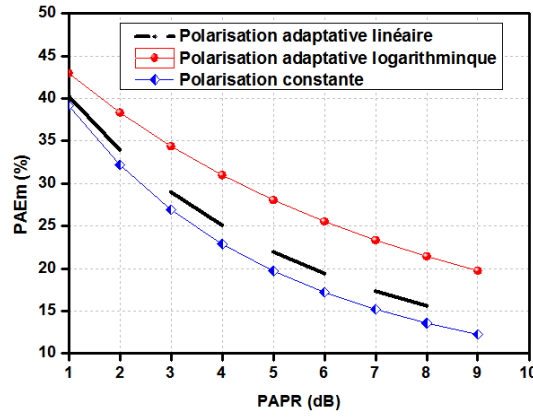


Figure IV-14 Amélioration apportée sur la PAE_m par le contrôle adaptatif du courant de polarisation d'un amplificateur classe A idéal.

Enfin, pour que l'hypothèse du gain constant soit viable, il faut que la gamme de variation du courant ne provoque pas une forte diminution de la transconductance g_m du transistor de puissance. La **Figure IV-15** montre, dans le cas d'un transistor MOS de $W=60\mu m$, l'évolution de la résistance de sortie R_o et de la transconductance g_m du transistor, en fonction du courant de polarisation I_0 . La résistance $R_o = r_{ds}$ est quasi inversement proportionnelle à la valeur du courant I_0 et l'évolution du g_m est proportionnelle à la racine carrée du courant. Le courant nominal de polarisation de 24 mA correspond à une densité du courant optimale ($0.4 \text{ mA}/\mu m$) correspondant à une fréquence de transition maximale.

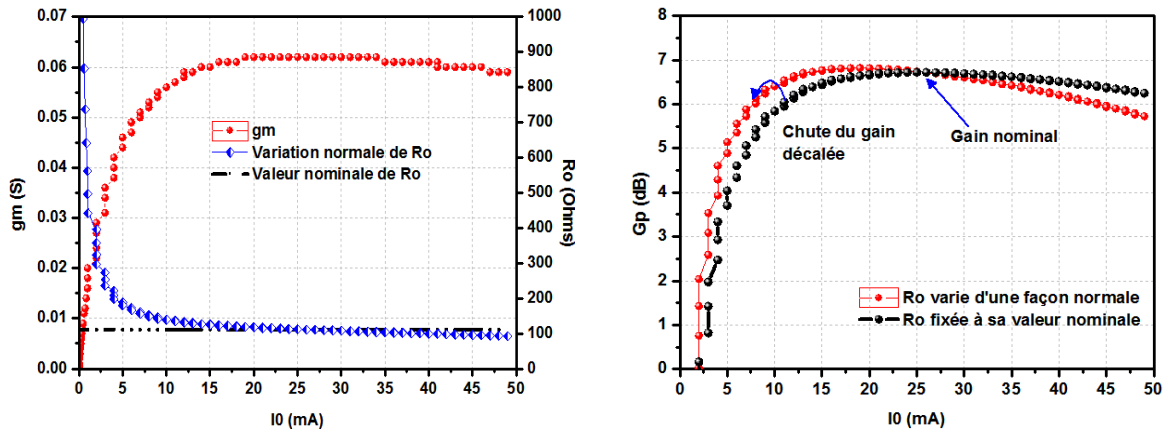


Figure IV-15 Variation du g_m et R_o en fonction du courant I_0 , effet de variation de R_o sur le gain.

L'équation (**Eq. IV-2**) est l'équation du gain en puissance G_p présentée dans le **chapitre II**, où R_L est la charge optimale pour un fonctionnement en classe A, α et $\Re(Y_{in})$ sont respectivement la perte dans les réseaux d'adaptation et la partie réelle de l'admittance d'entrée du PA:

$$G_p = \frac{P_{out}}{P_{in}} = \alpha \frac{\left(g_m^* V_{in} \frac{R_o R_L}{R_o + R_L}\right)^2}{R_L \Re(Y_{in}) V_{in}^2} = \alpha \frac{\left(g_m^* \frac{R_o R_L}{R_o + R_L}\right)^2}{R_L \Re(Y_{in})} \quad \text{Eq. IV-2}$$

L'analyse de cette équation montre que l'augmentation de la résistance de sortie R_o , pour les faibles valeurs du courant I_0 , compense en partie la chute du gain liée à la réduction de g_m (**Figure IV-15**). Cela donne un critère d'optimisation de la taille du transistor utilisé dans le PA.

Par ailleurs, il faut noter que, lorsque le courant de polarisation I_0 évolue, le PA doit toujours fonctionner en classe A. L'angle de conduction du courant RF doit rester proche de 360° . La **Figure IV-16** droite, illustre ce phénomène en mode polarisation adaptative où le centre des cycles de charge dynamiques (correspondant au courant de polarisation), varie entre 12 mA et 24 mA, sans que les cycles de charge ne soient trop déformées. Dans le cas d'une polarisation constante, ces droites sont toutes centrées autour de 24 mA (valeur nominale du courant) **Figure IV-16** gauche. Les cycles sont tracés pour plusieurs valeurs de la puissance d'entrée P_{in} .

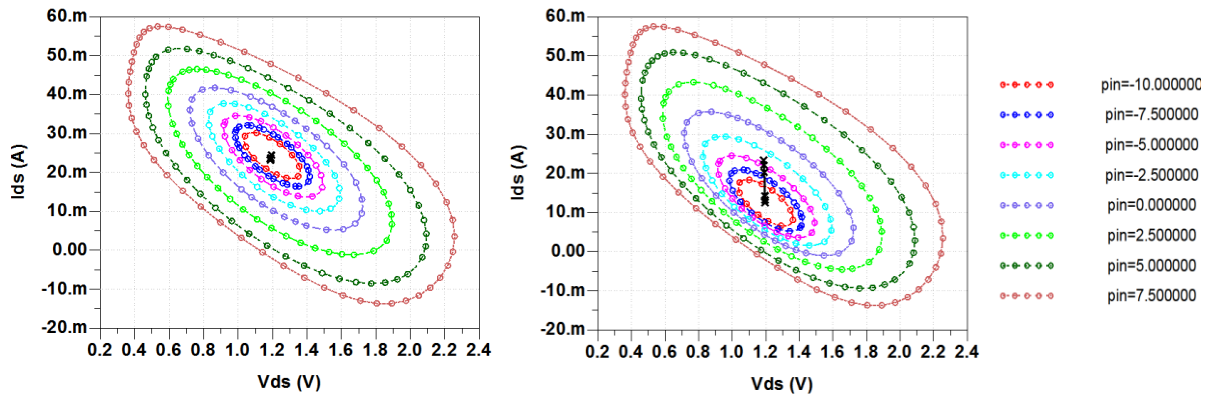


Figure IV-16 Droite de charge dynamique pour plusieurs niveaux de puissance d'entrée: (gauche) cas d'une polarisation constante ,(droite) cas d'une polarisation adaptative.

Afin de conclure sur cette étude, nous résumons les différents critères d'optimisation et les précautions à prendre en compte. Tout d'abord, la bande passante du signal modulé, la dynamique de sortie, la puissance de sortie maximale, et le rapport PAPR imposés par le type de modulation doivent être maîtrisés. En se basant sur ces spécifications, la dimension du transistor de puissance ainsi que la charge optimale pour un fonctionnement en classe A sont déterminées. Enfin, le choix du détecteur et du circuit de contrôle ont les contraintes suivantes :

- Une vitesse de réponse élevée compatible avec la bande passante du signal modulé.
- Une dynamique de détection compatible avec la gamme de puissance de sortie du PA. Cette dynamique doit être située entre l'OCP1dB du PA et une puissance inférieure à $(P_{out,av} - PAPR)$.
- Une consommation faible par rapport à la consommation de l'amplificateur mis en jeu.
- La fonction de transfert réalisée par le détecteur et le circuit analogique doit donner un profil logarithmique à la variation du courant en fonction de la puissance de sortie.
- Pour maintenir une bonne linéarité, les droites de charges obtenues en mode polarisation adaptative ne doivent pas être déformées par rapport à celles obtenues en mode polarisation constante.
- Une impédance d'entrée du détecteur relativement élevée par rapport à l'impédance ramenée en sortie du PA. Dans le cas où le détecteur est séparé de la sortie du PA par un

coupleur, son impédance d'entrée doit être égale à l'impédance optimale requise sur les différents ports d'accès du coupleur.

Enfin, l'impact de la technique de polarisation adaptative sur la distorsion du signal émis et la stabilité de l'amplificateur doit être vérifié.

En se basant sur l'analyse présentée dans ce paragraphe, nous avons réalisé pour démonstration deux amplificateurs à un étage en technologie BiCMOS 55nm. Le premier PA utilise un transistor bipolaire et un détecteur de puissance en base-commune du type de ceux présentés dans les **chapitres II** et **III**. La fonction de transfert de la boucle est réalisée par co-simulation sur le logiciel ADS. Le deuxième démonstrateur entièrement intégré en technologie CMOS 55nm comprend un PA de type MOS (cf. **chapitre II**), un détecteur de puissance de type Meyer avec un MOS en sous seuil (cf. **chapitre III**) et un circuit de contrôle du courant de polarisation.

IV.4 Circuit démonstrateur BiCMOS en boucle ouverte

Notre premier cas d'étude consiste en un amplificateur de puissance bipolaire classe-A en configuration émetteur commun. La méthodologie utilisée pour concevoir l'amplificateur est similaire à celle présentée dans le **chapitre II**. La puissance de sortie maximale est d'environ 10 dBm (correspondant à la norme IEEE802.11.ad). Cette puissance correspond à une charge optimale R_L est de 50Ω sous 1,2V en classe A. Le courant de polarisation I_0 est fixé à 25,8 mA. La surface d'émetteur $A_e = 3 \mu\text{m}^2$ du transistor bipolaire est déterminée pour une densité de courant optimale pour $f_{t,max}$ de $8,3 \text{ mA}/\mu\text{m}^2$.

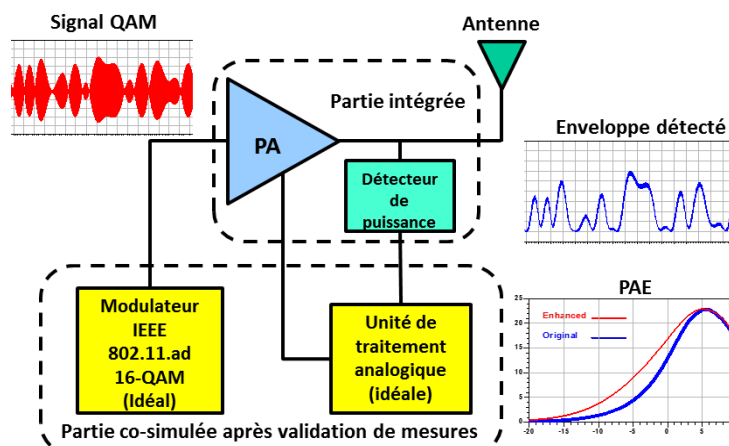


Figure IV-17 Schéma bloc du système étudié.

Le détecteur de puissance en base-commune, identique à celui présenté dans le **chapitre III**, est branché directement en sortie de l'amplificateur de puissance afin de suivre l'évolution de l'enveloppe du signal de sortie (**Figure IV-17**). Ce détecteur possède une dynamique et une bande passante compatibles avec le PAPR et la bande passante du signal modulé. Son impédance d'entrée est suffisamment élevée pour ne pas perturber l'impédance de charge optimale R_L du PA. Enfin il

présente une consommation faible (2,5 % de la consommation de la boucle complète). La (**Figure IV-17**) montre l'ensemble du système utilisé en co-simulation pour évaluer l'impact de la boucle sur la PAE. Il comprend le circuit intégré réalisé incluant le PA couplé au détecteur de puissance et l'unité de traitement analogique réalisant la fonction de transfert entre la polarisation du PA et la sortie de détecteur implémentée sous ADS. Le signal mis en œuvre est un signal modulé selon la norme 802.11.ad 16-QAM.

IV.4.1 Mesures et simulation du système étudié

Les mesures sont effectuées en deux étapes. La première étape consiste à valider les performances du détecteur de puissance seul et quand il est connecté en sortie de l'amplificateur de puissance. Dans la seconde étape, les performances de l'amplificateur de puissance pour la polarisation nominale constante sont validées. Enfin, une co-simulation du système est effectuée afin de prédire les performances réelles avec une précision suffisante pour valider l'approche.

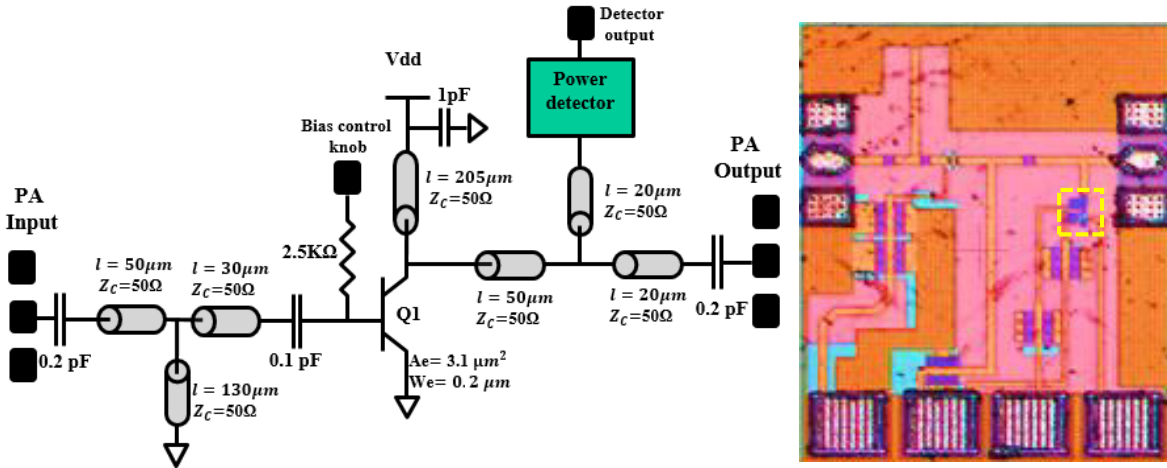


Figure IV-18 (gauche) Schématic simplifié du circuit fabriqué (PA+ED), (droite) Photo du circuit mesuré.

Performances du détecteur de puissance : La validation des performances du détecteur de puissance seul a été déjà présentée dans le **chapitre III**. Nous présentons ici la mesure effectuée sur le détecteur implémenté en sortie du PA. Pour ce faire, la fréquence du signal en CW (Continuous Wave) en entrée du PA ($P_{in,PA}$) est balayée pour une puissance d'entrée fixe. La tension de sortie du détecteur est mesurée et utilisée pour estimer le gain en puissance du PA en utilisant l'équation (**Eq. IV-3**):

$$G_{p,PA}(f) = \frac{P_{out,PA}}{P_{in,PA}} = \frac{V_{out}(P_{out,PA}, f)}{G_c(P_{out,PA}, f) \times P_{in,PA}} \quad \text{Eq. IV-3}$$

$V_{out,PD}(P, f)$ et $G_{c,PD}(P, f)$ sont respectivement la tension de sortie et le gain de conversion du détecteur pour un niveau de puissance d'entrée d'un signal de fréquence f . La puissance de sortie du PA $P_{out,PA}$ est également mesurée à l'aide d'un wattmètre Agilent V8486 afin de mesurer

directement le gain $G_{p,PA}(f)$. La **Figure IV-19** montre la comparaison des deux résultats sur la bande de fréquence 50 GHz à 67 GHz. L'écart de $\pm 0,5$ dB montre que l'erreur introduite sur la mesure du gain par le détecteur est faible.

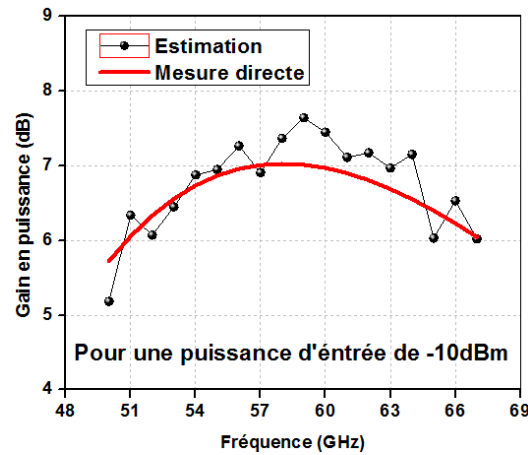


Figure IV-19 Comparaison du Gain en puissance du PA mesuré directement et du gain estimé à travers le détecteur.

Performances de l'amplificateur de puissance : Les performances grand-signal du PA en mode polarisation constante sont ensuite mesurées et comparées avec les résultats de simulation. Pour un signal d'entrée en CW à 60 GHz, un gain en puissance de 7,2 dB, un point de compression en sortie OCP_{1dB} de 7,5 dBm, et une puissance maximale P_{sat} de 9,7 dBm sont mesurés. Une efficacité maximale de 16 % est obtenue pour une puissance d'entrée de 5 dBm. Le courant de polarisation du PA varie entre 25 mA pour les faibles puissances d'entrée et 22 mA pour les puissances d'entrée proches du point de compression en entrée. Un bon accord entre les simulations et les mesures est donc observé. Cela permet d'assurer que la co-simulation du système complet en boucle fermée donnera bien une image proche du comportement réel. La loi de commande entre la tension de sortie du détecteur et la tension de polarisation du PA est d'abord optimisée par simulation sous ADS. Les résultats obtenus en co-simulation, pour un signal CW 60 GHz, en boucle fermée sont montrés sur la **Figure IV-20** et la **Figure IV-21**.

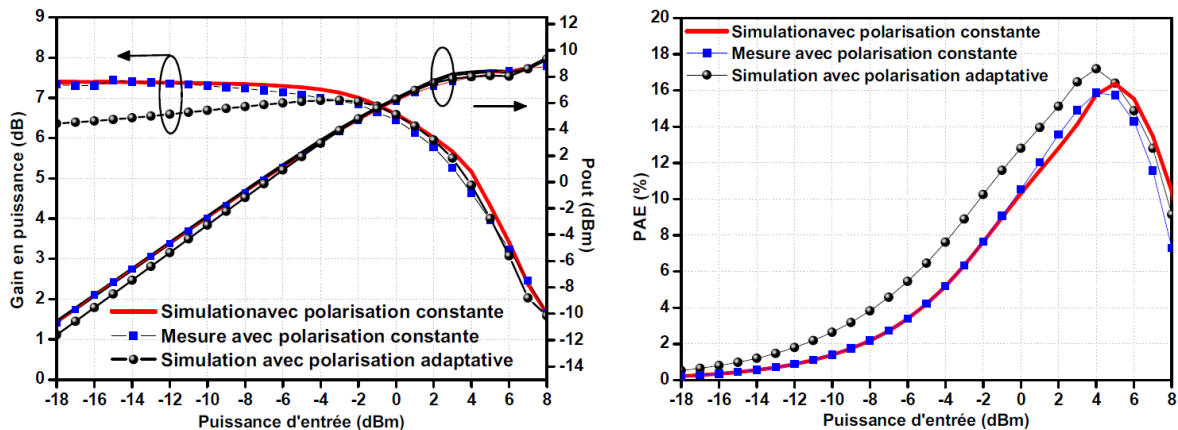


Figure IV-20 Mesure, simulation et co-simulation de performances du PA avec et sans boucle d'asservissement : gain en puissance, puissance de sortie, PAE.

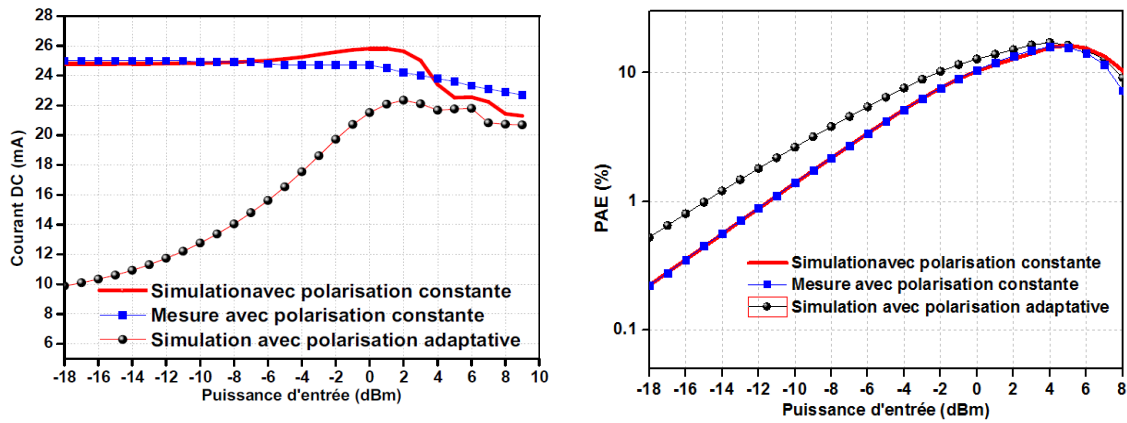


Figure IV-21 Mesure, simulation et co-simulation de performances du PA avec et sans boucle d'asservissement : courant DC, PAE.

Le gain en puissance $G_{p,PA}$, en mode polarisation adaptative, atteint une valeur maximale de 7 dB. Pour des faibles puissances d'entrée, le courant DC du PA est largement réduit par rapport à sa valeur nominale ce qui réduit le g_m du transistor de puissance. Cependant, la baisse du courant DC induit l'augmentation de la résistance de sortie R_o compensant la baisse de gain. Une baisse du gain d'environ 1 dB par rapport au gain nominal est obtenue pour une puissance d'entrée de -18 dBm (**Figure IV-20**). Par conséquent, la réduction de la consommation DC pour les faibles puissances d'entrée, tout en maintenant un gain proche du gain nominal, conduit à une amélioration de la PAE sur toute la dynamique linéaire de l'amplificateur. La PAE (**Figure IV-21**) est tracée en échelle logarithmique afin de mettre en évidence la dynamique d'entrée sur laquelle l'amélioration est obtenue.

IV.4.2 Impact de la boucle sur la linéarité

L'impact de la boucle sur la linéarité du PA, se fait à travers la caractérisation en EVM (Error Vector Magnitude) et de l'ACPR (Adjacent Channel Power Ratio). La définition de ces paramètres est présentée dans l'**annexe II**. La simulation de ces paramètres nécessite l'application d'un signal modulé à enveloppe non constante en entrée du PA. Pour cette modulation, nous avons choisi de respecter la norme IEEE 802.11.ad [Agilent, 12]. Ce standard impose un ACPR entre -20 dBr et -30 dBr, et un masque spectral de largeur maximale de 2,16 GHz comme nous montre la figure ci-dessous.

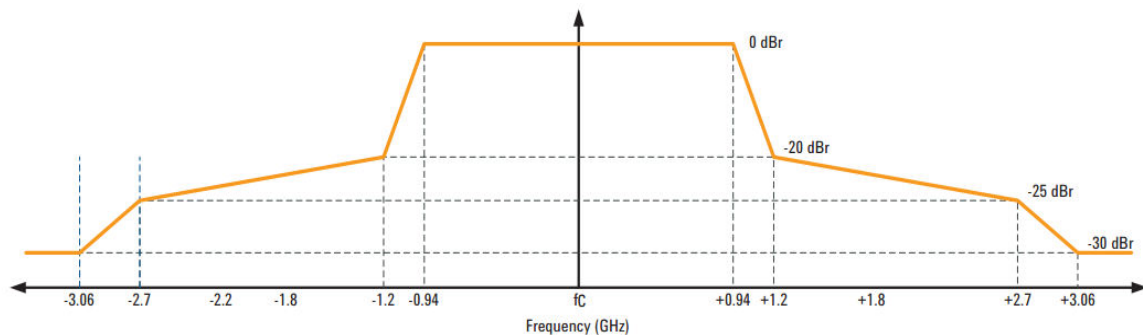


Figure IV-22 Masque spectral du standard IEEE 802.11.ad [Agilent, 12].

Tout d'abord, nous avons vérifié que la sortie du détecteur suivait la variation de l'enveloppe du signal RF en appliquant en entrée un signal modulé QAM-16 avec une largeur de bande de 1,6 GHz autour de la porteuse à 60 GHz. Cette simulation a été effectuée avec le logiciel de simulation ADS. La **Figure IV-23** (haut) et (bas) montre respectivement l'évolution de l'enveloppe du signal en sortie du PA et la tension correspondante en sortie de la boucle. Cette tension suit bien l'enveloppe du signal et sa dynamique (entre 0,9 V et 1,125 V) est adaptée à la tension de polarisation du PA définie par simulation.

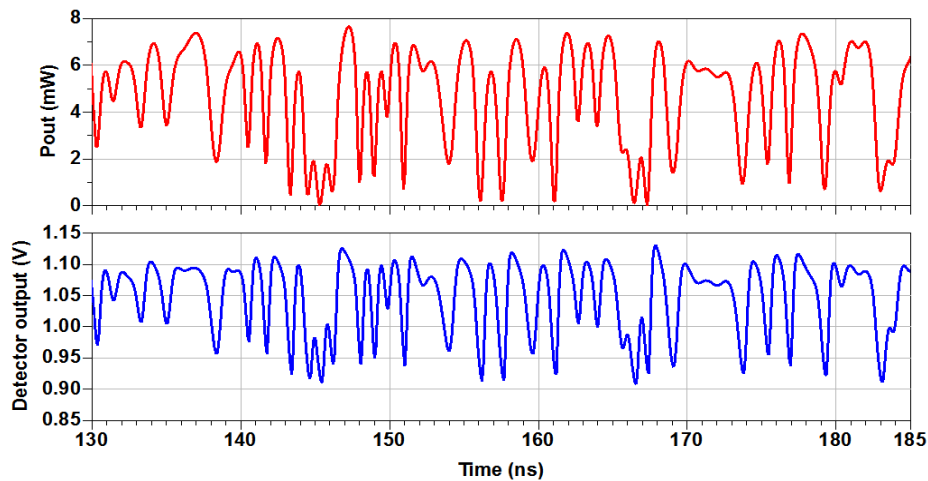


Figure IV-23 (haut) Puissance de sortie instantanée, (bas) tension de polarisation en sortie de la boucle.

Les spectres d'entrée/sortie du système ont été simulés pour les deux modes de fonctionnement, c.-à-d. en mode polarisation constante et en mode polarisation adaptative (**Figure IV-24**). Nous remarquons que le spectre du signal en sortie est très peu dégradé par la boucle de polarisation adaptative. L'ACPR du signal de sortie est quasiment le même pour les deux modes de fonctionnement (**Figure IV-24**).

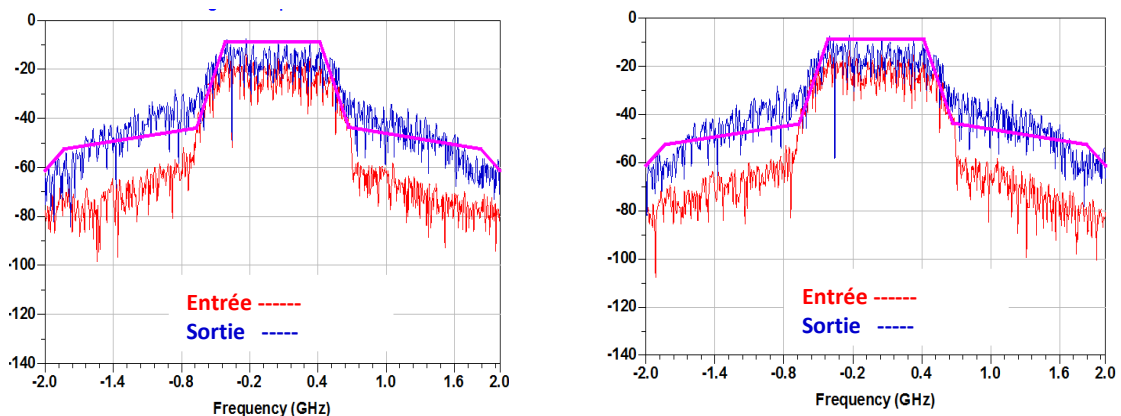


Figure IV-24 ACPR en entrée (rouge) et en sortie (bleu): avec une polarisation constante (gauche), et avec une polarisation adaptative (droite).

D'autre part, la **Figure IV-25** montre que l'EVM en mode polarisation adaptative est légèrement dégradée par rapport à celle obtenue en mode polarisation constante. Toutefois, cette dégradation peut être minimisée en utilisant une technique de compensation de phase et d'amplitude [Liu, 12].

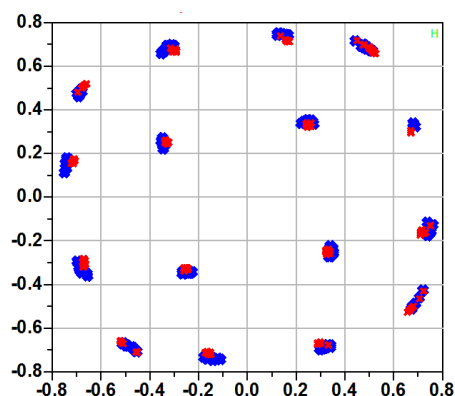


Figure IV-25 Point de constellation en sortie: en mode polarisation constante (zone rouge), et en mode polarisation adaptative (zone bleu).

La Figure IV-26 montre les valeurs instantanées du courant DC et de la PAE, sans et avec la boucle d'asservissement, en fonction de la puissance de sortie. Nous pouvons remarquer que le courant DC du PA avec la boucle d'asservissement suit les variations de la puissance de sortie et se traduit par une amélioration importante de la PAE instantanée.

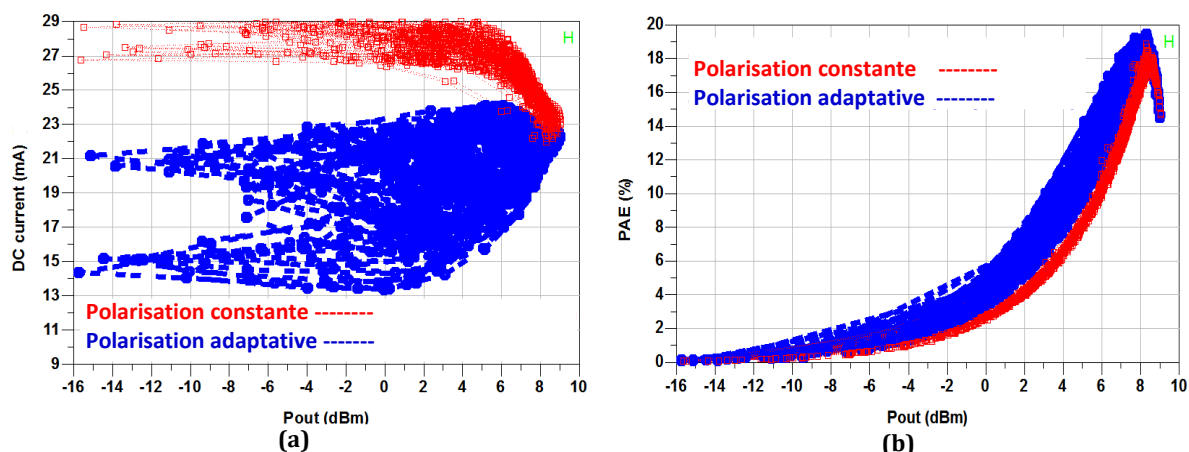


Figure IV-26 (a) courant DC instantané, (b) PAR instantané: en mode polarisation constant (courbe rouge), en mode polarisation adaptative (courbe bleu).

Les résultats des simulations sont résumés dans le **Tableau IV-1**. Ces résultats ont fait l'objet d'une publication dans la conférence IEEE NEWCAS 2015 [Serhan, 15-3].

Tableau IV-1 Comparaison entre les performances du système en mode polarisation adaptative et en mode polarisation constante.

Performances	Polarisation constante	Polarisation adaptative
ACPR bas (dBr)	-32,6	-32,16
ACPR haut (dBr)	-32,5	-30,8
EVM (%)	8,4	9,12
Puissance DC moyenne (mW)	31	25
PAE moyen (%)	11,5	14,1

La partie suivante décrit la réalisation du deuxième circuit démonstrateur comprenant un amplificateur de puissance et une boucle d'asservissement entièrement intégrés en technologie CMOS.

IV.5 Circuit démonstrateur CMOS avec boucle intégrée

Ce circuit est formé d'un amplificateur de puissance à un étage MOS classe-A et d'un détecteur de type Meyer utilisant un transistor MOS présenté dans le **chapitre III**. Comme pour le premier démonstrateur, la méthodologie utilisée pour concevoir l'amplificateur MOS est similaire à celle présentée dans le **chapitre II**. Le détecteur MOS inclut en sortie un circuit analogique générant la loi de commande de la polarisation du PA Cette loi de commande est ajustée par des accès externes comme pour le premier démonstrateur, nous tenons compte de la vitesse et de la PAPR du signal modulé ainsi que de la consommation des circuits constituant la boucle.

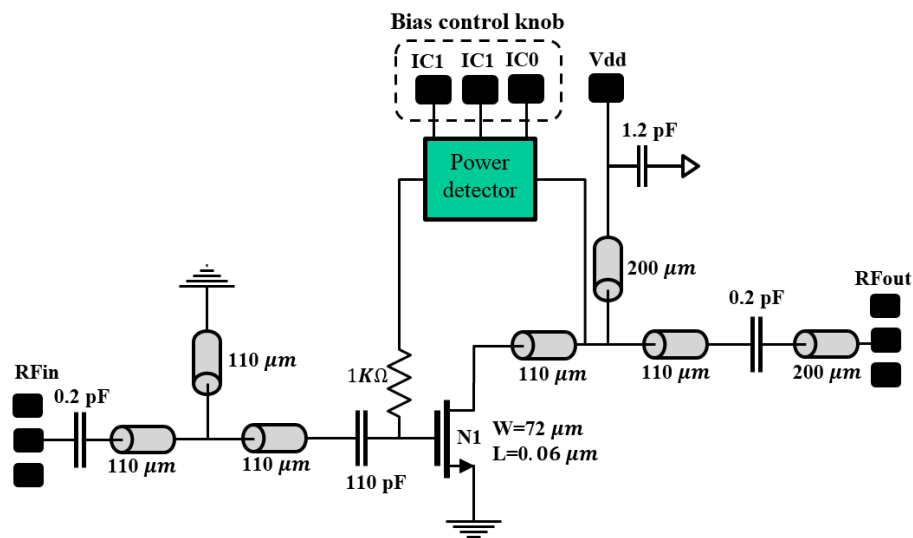


Figure IV-27 Schéma simplifié du PA avec la boucle.

IV.5.1 Détecteur de puissance MOS à sortie ajustable

Le détecteur de type Meyer en MOS a été choisi pour son impédance d'entrée élevée et sa faible consommation. Une interface analogique a été rajoutée en sortie du détecteur afin d'ajuster la dynamique de sa tension de sortie à celle de la tension de polarisation du PA. Le schéma simplifié de l'ensemble du détecteur ajustable est présenté dans la **Figure IV-28**.

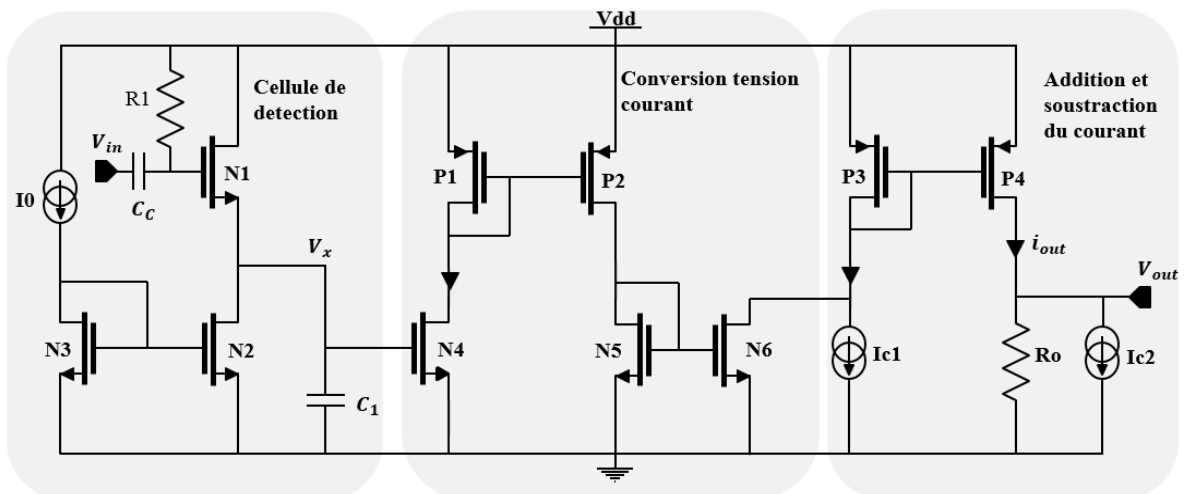


Figure IV-28 Schéma simplifié du détecteur de puissance à sortie ajustable utilisé dans la boucle.

Les transistors N_1, N_2, N_3 forment la cellule de détection. Le transistor N_1 est polarisé sous le seuil à travers le miroir du courant formé par N_2 et N_3 . La capacité C_1 de 29 fF sert à intégrer le courant de sortie de la cellule de détection. L'étage suivant constituant l'interface analogique pilotant la tension de polarisation du PA est un convertisseur courant-tension formé par des miroirs de courants successifs (P1 à P4 et N4 à N6) et une résistance R_o ($R_o = 7,7 \text{ K}\Omega$). Les deux générateur de courant I_{C1} et I_{C2} pilotés par deux accès externes permettent d'adapter la dynamique de la tension générée dans R_o à celle de la tension de polarisation du PA. L'ensemble du circuit présente une bande passante supérieure à 700 MHz et une consommation suffisamment faible pour ne pas dégrader la PAE. Les dimensions des MOS, ainsi que les régimes de fonctionnement, sont présentés dans le **Tableau IV-2** ci-dessous.

Tableau IV-2 Les dimensions et les régimes de fonctionnement de chacun des transistors.

Transistor	Régime de fonctionnement	Dimension (μm)
N_1	Sous seuil	$W=1 \quad L=0,06$
N_2, N_3	Saturé	$W=2 \quad L=0,18$
N_4	Saturé	$W=0,5 \quad L=0,06$
N_5, N_6	Saturé	$W=2 \quad L=0,12$
P_1, P_4	Saturé	$W=4 \quad L=0,06$
P_2, P_3	Saturé	$W=2 \quad L=0,06$

Le détecteur a été fabriqué séparément afin de valider ses performances. La **Figure IV-30** montre la puce correspondante. Le détecteur est mesuré dans les mêmes conditions que les détecteurs décrits dans le **chapitre III**.

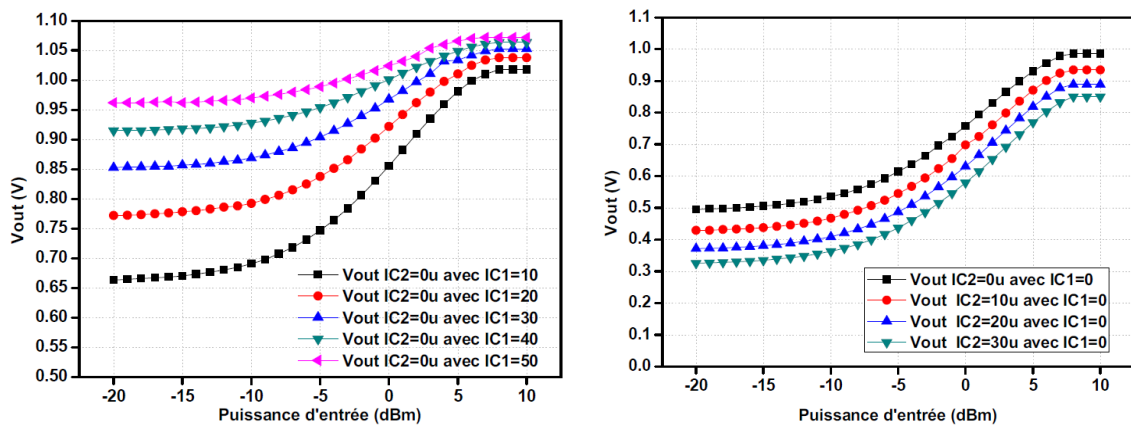
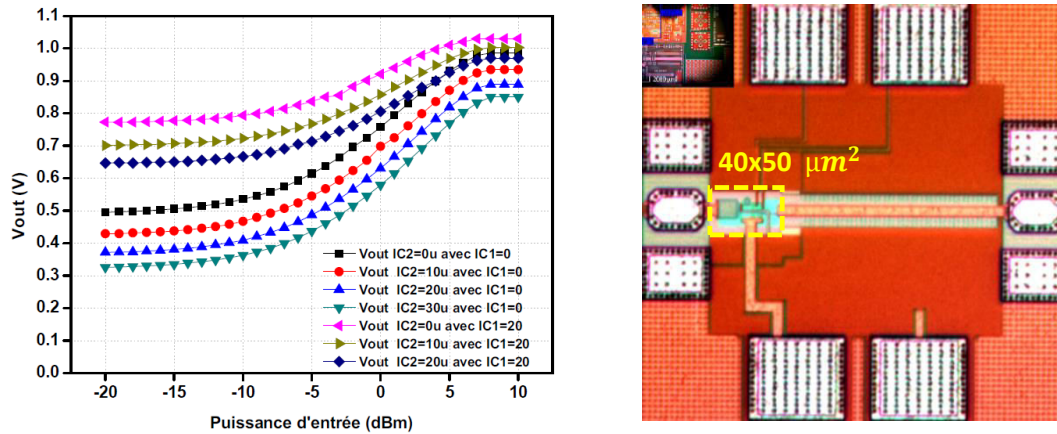


Figure IV-29 Tension mesurée en sortie du détecteur de puissance ajustable en fonction de la puissance d'un signal 60 GHz: (gauche) pour plusieurs valeurs de I_{C2} avec $I_{C1} = 0 \mu\text{A}$, (gauche) pour plusieurs valeurs de I_{C1} avec $I_{C2} = 0 \mu\text{A}$.

Les résultats de mesures sur la **Figure IV-29** montrent la capacité de ce détecteur à fournir une tension de sortie allant de 0,5 V (tension de seuil des transistors MOS en technologie B55) jusqu'à 0,96 V (tension suffisante pour polariser le transistor du PA à une densité de courant d'autour 0,4 mA/ μm). La **Figure IV-29** gauche montre la pente de la fonction de transfert $V_{out} = f(P_{in})$ en fonction du courant I_{C1} . Le courant I_{C2} quant à lui permet de décaler le niveau de sortie sans changer la pente (**Figure IV-29** droite).



La **Figure IV-30** illustre l'ajustement de la pente et de la mise au niveau de la tension de sortie grâce à ces deux courants. Le changement de pente, à tension maximale constante, peut s'effectuer à travers le courant I_0 . Des détails sur le fonctionnement de ce détecteur sont présentés dans l'annexe II.

IV.5.2 Mesures du circuit

Une photo du démonstrateur intégré est montrée sur la **Figure IV-31**. Les dimensions du circuit sont de $0,43 \times 0,67 = 0,288 \text{ mm}^2$. Les plots situés au nord permettent d'amener l'alimentation Vdd et la tension VG de polarisation du PA. Deux plots supplémentaires IC1 et IC2 permettent d'ajuster les générateurs de courants dans le circuit en sortie du détecteur. Le plot IO permet d'ajuster le courant de polarisation du détecteur. En mode polarisation constante du PA, le plot VG est utilisé pour imposer la tension sur la grille du transistor de puissance. En mode polarisation adaptative, VG est laissé flottant. Les plots d'accès entrée et sortie du PA sont situés à gauche et à droite du circuit.

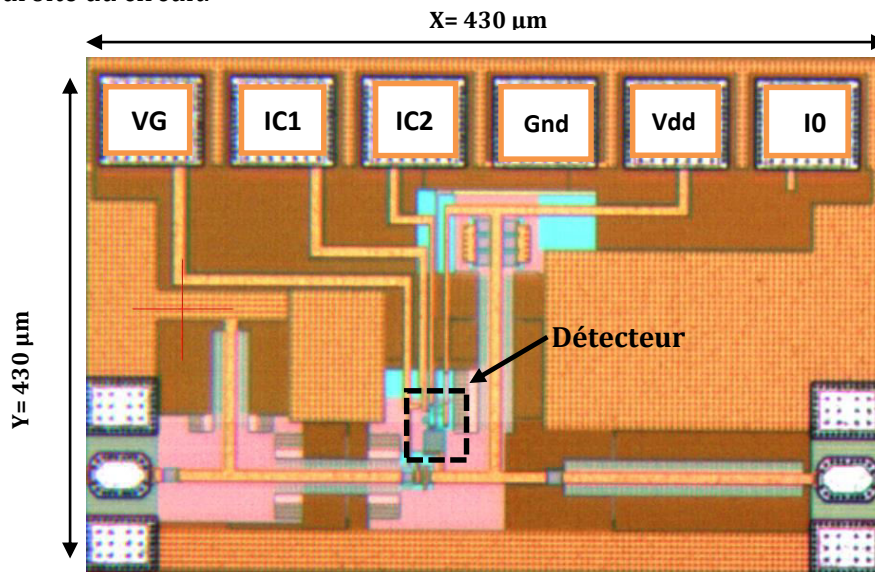


Figure IV-31 Photo du PA un étage avec la boucle d'asservissement.

IV.5.2.1 Mesures quasi-statique avec un signal mono-fréquence

L'amplificateur de puissance a été caractérisé sur le banc 110 GHz de l'IMEP-LAHC. Nous avons adopté la méthode de calibrage de type LRRM pour la mesure en petit signal (paramètres S). La caractérisation en fort signal (puissance de sortie et point de compression) est effectuée grâce à l'utilisation d'un générateur PSG. La **Figure IV-32** montre les paramètres S_{11} et S_{21} mesurés et simulés de l'amplificateur. Le profil du gain de l'amplificateur mesuré est décalé de 10 % (64 GHz au lieu de 60 GHz) par rapport à celui prévu en simulation. Ainsi, le gain maximal mesuré autour de 64 GHz est de 4,3 dB au lieu de 5,7 dB autour de 60 GHz en simulation. Ce décalage est également observé sur le paramètre S_{11} .

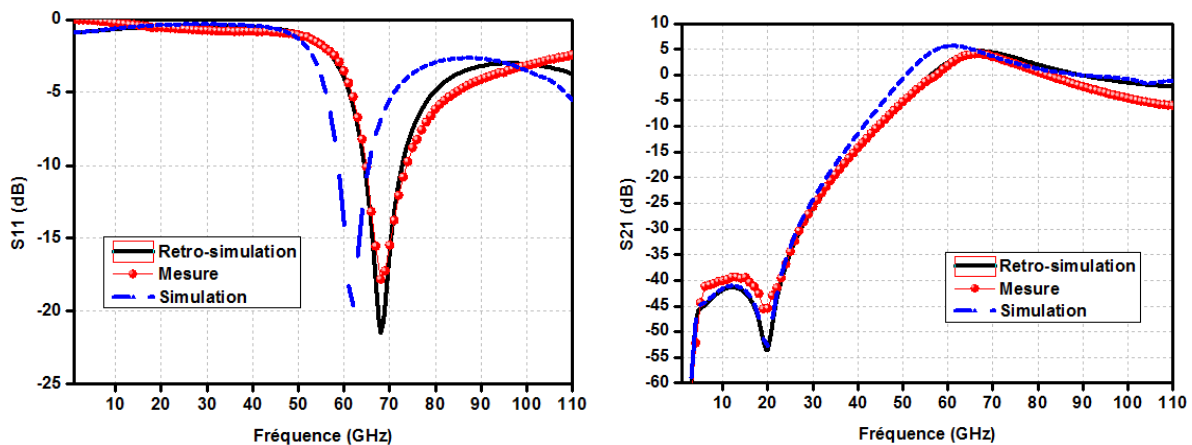


Figure IV-32 Mesure, simulation et retro-simulation du : (gauche) paramètre S_{11} (droite) paramètre S_{21} .

Les raisons de ce décalage ont été explorées et validées lors de rétro-simulations :

- une couche d'exclusion a été omise sur certaines zones du layout, d'où un remplissage automatique de dummies M_2 à M_7 lors de la fabrication. Cela implique une variation de la permittivité relative effective des lignes localisées dans ces zones.
- Une modélisation imprécise des stubs en court-circuit utilisés dans le réseau d'adaptation en entrée.

En tenant compte de ces modifications, nous obtenons après rétro-simulation des paramètres S très proches de ceux mesurés, comme le montrent les courbes en trait plein sur la **Figure IV-32**.

Nous pouvons remarquer sur la **Figure IV-33** que le paramètre S_{22} est inférieur à -10dB en mesure, en simulation et en retro-simulation pour la bande de fréquence 63 GHz à 65 GHz. Cela signifie que l'impédance de la charge ramenée par le réseau d'adaptation, dans le plan du drain est proche de celle simulée. Ainsi, nous considérons que la fréquence de fonctionnement du PA est de 63,5 GHz.

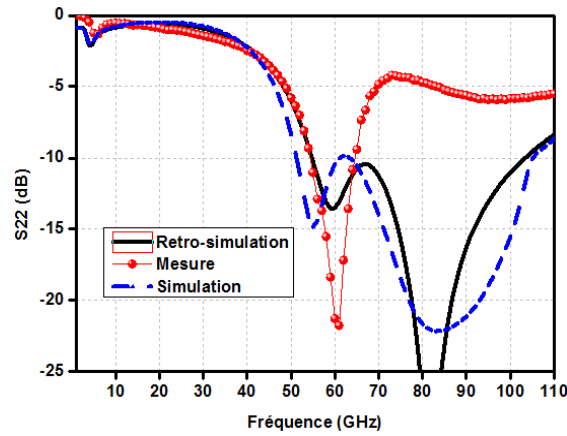


Figure IV-33 Mesure, simulation et retro-simulation du paramètre S_{22}

Les mesures large-signal pseudo statique de l'amplificateur avec un signal d'entrée mono fréquence à 63,5 GHz, sont effectuées pour les deux modes de fonctionnement (mode polarisation constante et mode polarisation adaptative). En mode polarisation constante, l'amplificateur possède un gain petit-signal de 4,2 dB, un point de compression en sortie $OC P_{1dB}$ de 7,5 dBm, et une consommation statique de 30 mW pour une tension d'alimentation V_{dd} de 1,2 V (**Figure IV-34**). En mode polarisation adaptative, les courants I_0 , I_{C1} et I_{C2} , qui contrôlent le profil de la tension de sortie du détecteur de puissance, ont été fixés à 15 μ A, 55 μ A, et 80 μ A respectivement de manière à obtenir le même profil de gain et le même courant de polarisation autour du point de compression qu'en mode de polarisation constante. Nous pouvons remarquer sur la **Figure IV-34** que le profil de gain est légèrement modifié. Les résultats de mesure en mode polarisation constante ont été également comparés avec la simulation en mode polarisation constante et montrent un bon accord (les simulations en grand signal sont faites également pour une fréquence de 63,5 GHz).

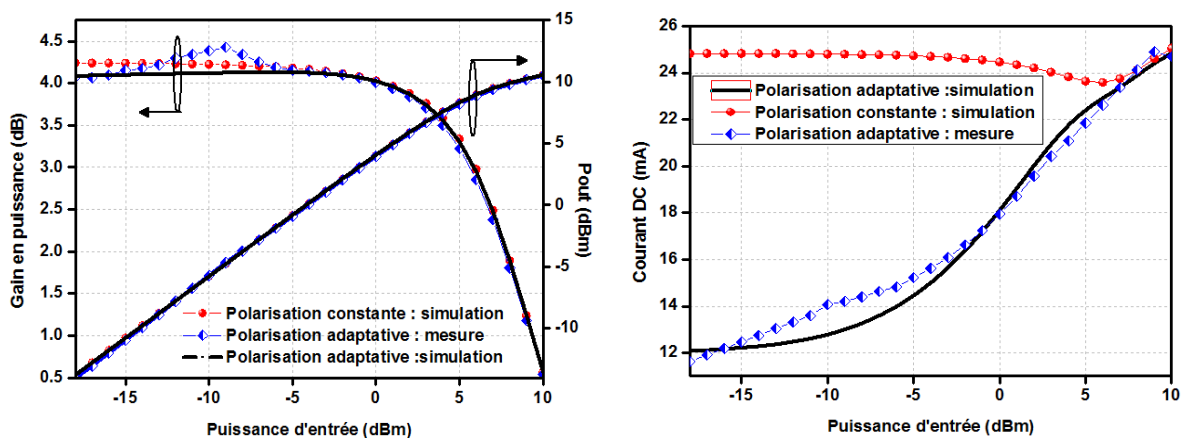


Figure IV-34 Performances mesurées en mode polarisation constante et en mode polarisation adaptative en fonction de la puissance d'entrée : (gauche) Gain en puissance et puissance de sortie, (droite) Courant DC total du circuit.

La **Figure IV-35** montre l'apport de la boucle d'asservissement sur la PAE. Pour évaluer l'apport en fonction du PAPR, l'équation (**Eq. IV-1**) de la PAE moyenne PAE_m est utilisée. Le paramètre $PAE_m R$ représente le rapport entre la PAE_m calculée en mode polarisation adaptative

et celle calculée en mode polarisation constante. Les résultats présentés sur la **Figure IV-35** montrent que l'apport sur la PAE_m varie entre 105 % pour un PAPR de 1 dB et environ 125 % pour un PAPR de 9 dB.

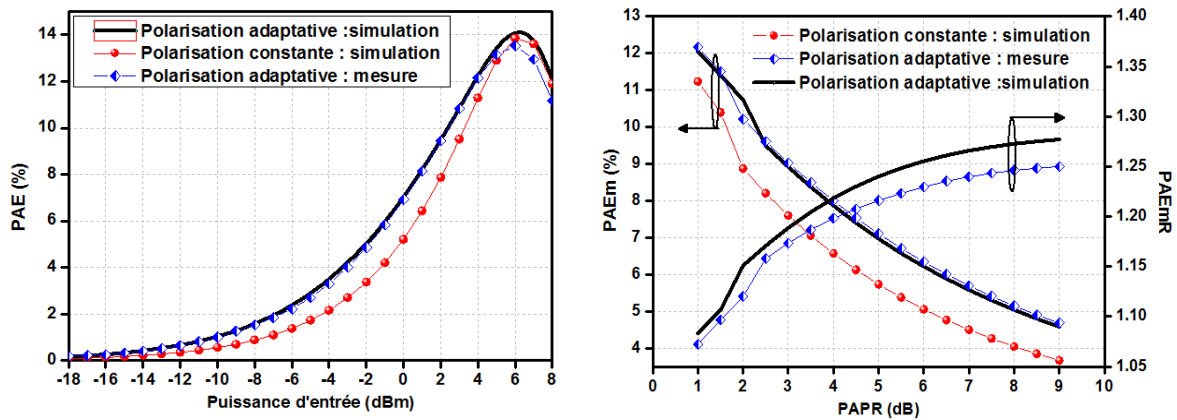


Figure IV-35 (gauche) PAE mesurée en mode polarisation constante et en mode polarisation adaptative en fonction de la puissance d'entrée, (droite) amélioration apportée sur la PAE_m en fonction de la PAPR.

La stabilité du PA avec sa boucle d'asservissement avait été vérifiée par des simulations transitoires en stimulant l'entrée RF ou la tension d'alimentation V_{dd} par une impulsion. La **Figure IV-36** montre un exemple de l'environnement de simulation utilisé, ainsi que la réponse stable de l'amplificateur après l'application brusque de la tension V_{dd} . La puissance d'entrée utilisée lors de la simulation est égale à l'ICP1dB du PA. La dernière étape consiste à vérifier, par mesure, l'impact de la boucle d'asservissement sur les performances en présence d'un signal modulé. Pour ce faire, une chaîne d'émission-réception utilisant la modulation 16-QAM autour de la fréquence 63,5 GHz est construite pour servir de banc de mesure.

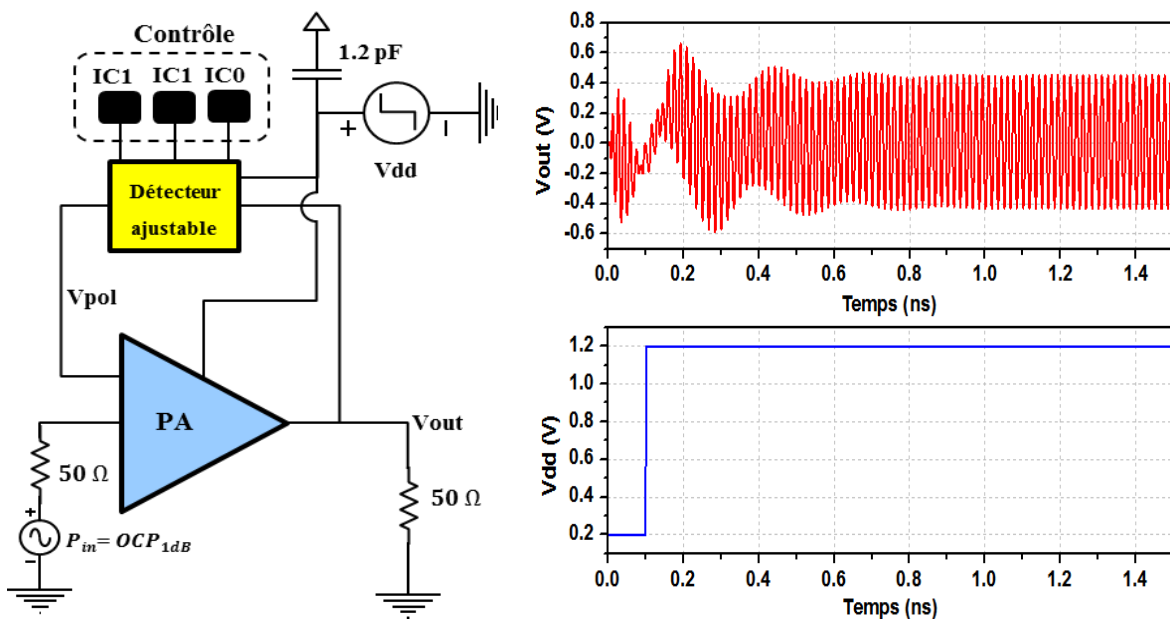


Figure IV-36 (gauche) Banc de vérification de la stabilité de la boucle par simulation transitoire, (droite) réponse transitoire du PA.

IV.5.2.2 Mesures en présence d'un signal modulé

La **Figure IV-37** montre le setup de mesure utilisé pour évaluer l'impact de la boucle sur les performances du circuit en présence d'un signal modulé 16QAM. Le signal 16QAM, généré par un code MATLAB, est issu d'un générateur de signaux arbitraires (PSG) Tektronix AWG70002a.

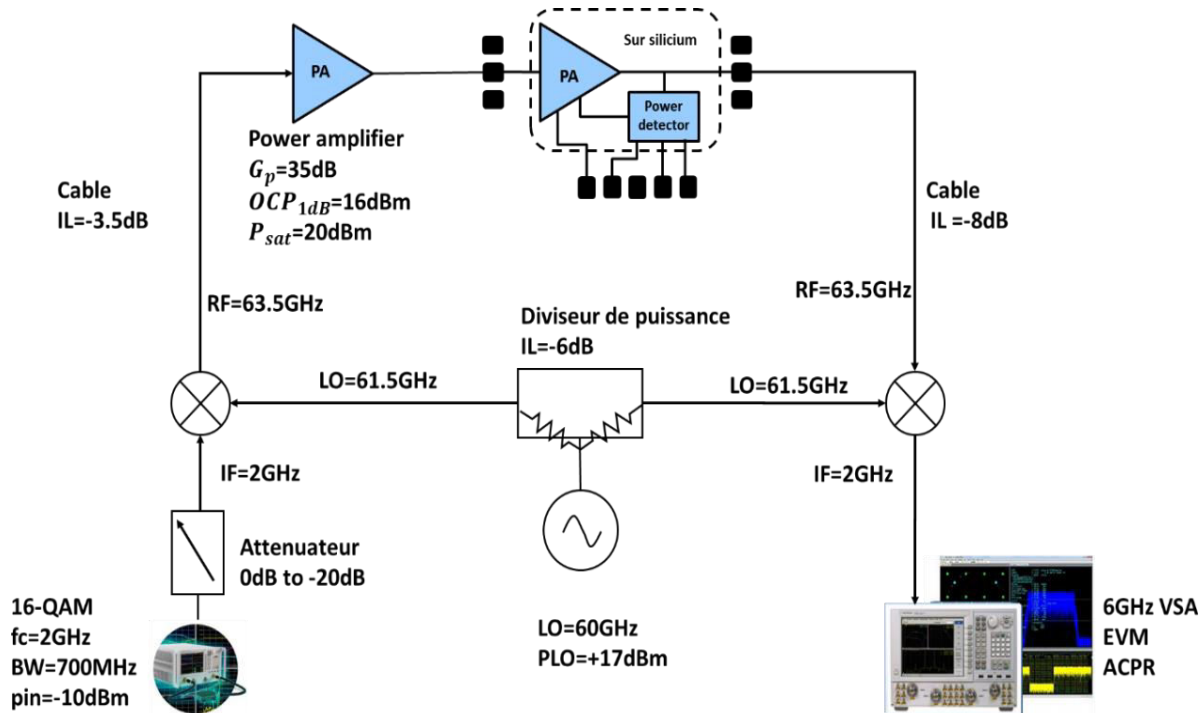


Figure IV-37 Illustration du setup de mesure utilisé pour les mesures niveau système.

Le code utilisé, développé dans l'équipe par [Khayatadeh, 14], permet de générer un signal 16 QAM autour d'une fréquence IF de 2 GHz avec un débit symbole de 175 MSymboles/s (équivalent à une bande de 700 MHz), et un PAPR de l'ordre de 7 dB. Un filtrage en bande de base est effectué de manière à obtenir une ACPR inférieure à -30 dBr. La sortie du générateur est connectée à l'entrée IF du mélangeur UP à travers un atténuateur ajustable large bande.

Le signal IF est transposé autour de 63,5 GHz grâce à un mélangeur passif (mélangeur à diode). Ce mélangeur possède une perte de -6 dB pour une puissance d'oscillateur local de 10 dBm. La sortie du mélangeur est connectée directement à l'entrée d'un amplificateur de puissance externe.

Cet amplificateur est utilisé pour compenser les pertes dans les composants qui le précèdent et pour mettre à niveau le signal injecté en entrée du PA intégré sous test. Cet amplificateur a un gain de 35 dB, une puissance de sortie maximale autour de 20 dBm, et un point de compression en sortie de 16 dBm. La sortie de l'amplificateur externe est injectée en entrée du PA sous test à travers une sonde GSG Infinity.

La sortie du PA sous test est connectée à l'entrée RF du mélangeur Down, qui va à son tour transposer le signal de nouveau autour de la fréquence IF de 2 GHz. Ce mélangeur a les mêmes

caractéristiques que le mélangeur UP utilisé en entrée. Le signal IF reçu est démodulé grâce à un analyseur du signal vectoriel (VSA) couplé à un logiciel dédié permettant d'analyser les données I/Q brutes obtenues à partir du récepteur.

Le signal LO issu du PSG est connecté directement en entrée du diviseur de puissance qui va alimenter les entrées LO des deux mélangeurs. La perte d'insertion de ce diviseur est de -6 dB. La puissance maximale en sortie de PSG est de 16 dBm pour une fréquence de 61,5 GHz. Cela permet d'obtenir une puissance de 10 dBm sur les entrées LO des deux mélangeurs. Les pertes de différents composants sont répertoriées dans le **Tableau IV-3** présenté ci-dessous. La **Figure IV-38** montre une photo du setup de mesure.

Tableau IV-3 Perte et gain des différents composants externes utilisé dans la chaîne.

composant	mélangeur	sonde GSG	PA externe	Atténuateur IF	Diviseur de puissance
Perte ou gain	-6 dB	1 dB	-35 dB	0 dB à -20 dB	-6 dB

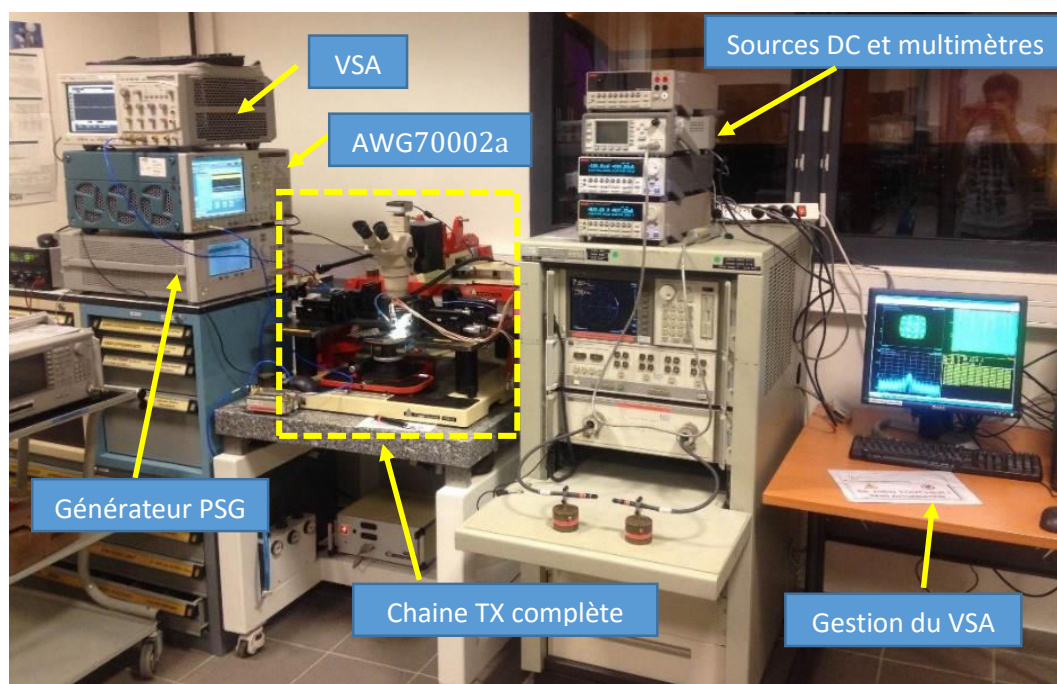


Figure IV-38 Photo du setup de mesure utilisé.

Pour vérifier que la communication dans notre chaîne est bien établie, nous commençons d'abord par la vérification de l'EVM du signal reçu. Pendant cette mesure, nous avons réglé la puissance IF, en entrée du mélangeur, de manière à obtenir une puissance maximale en entrée du PA proche de son ICP_{1dB} (2,5 à 3 dBm). La **Figure IV-39** à gauche montre les points de constellation ainsi que l'EVM mesuré de la chaîne en mode de polarisation constante. Une mesure dans les mêmes conditions est faite pour la chaîne en mode de polarisation adaptative. Nous pouvons constater une dégradation de 1,4 % sur l'EVM. Ces résultats semblent très acceptables pour les applications 60 GHz comme indiqué dans [Mmwaple, 09]. Nous pouvons remarquer plus

précisément que la dégradation de l'EVM est liée à l'erreur d'amplitude, selon les tableaux de la **Figure IV-39**.

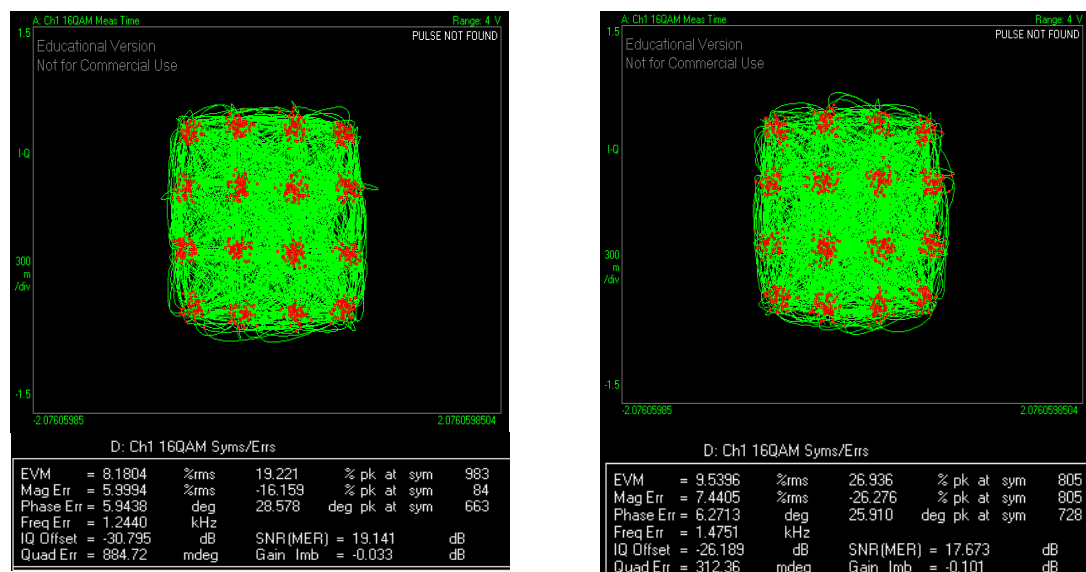


Figure IV-39 EVM du signal QAM à puissance moyenne constante: (droite) polarisation adaptative, (gauche) polarisation constante.

Nous avons également vérifié la distorsion spectrale du signal IF reçu. La **Figure IV-40** montre les spectres du signal IF, pour deux puissances d'entrée différentes, sans et avec la boucle d'asservissement.

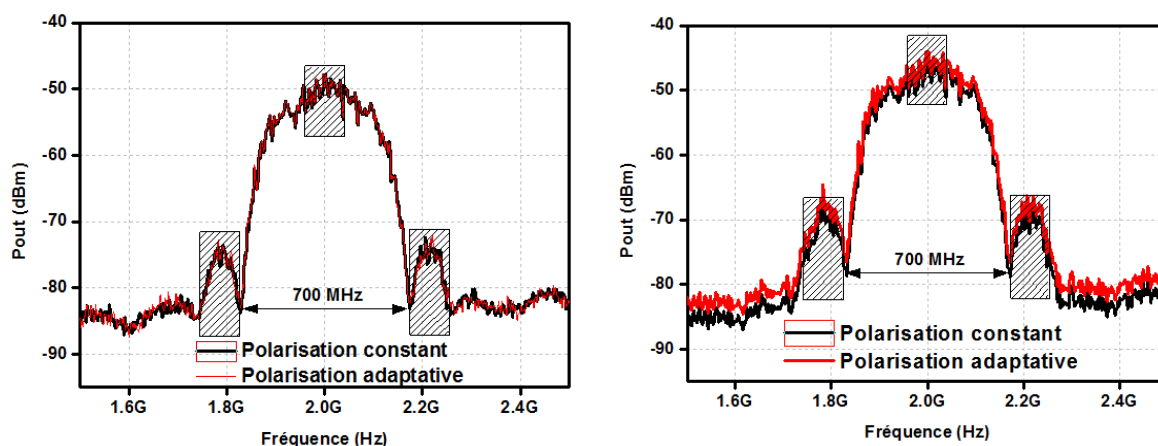


Figure IV-40 Spectre en sortie du PA avec polarisation constante et avec polarisation adaptative deux niveaux de puissance en entrée du PA : (gauche) -3,5 dBm, (droite) 2,5 dBm.

Pour une puissance de -3,5 dBm en entrée du PA, nous remarquons que les spectres du signal reçu sont les mêmes pour les deux modes de fonctionnement. Un ACPR inférieur à -27 dBr est obtenu. Pour une puissance en entrée de 2,5 dBm nous remarquons une légère dégradation. La **Figure IV-41** représente les variations de l'ACPRL (pour ACPR bas) et l'ACPRH (pour ACPR haut) en fonction de la puissance d'entrée, sur une dynamique de 5 dB, avec et sans la boucle. L'ACPR est calculé comme étant le rapport entre la moyenne de la puissance sur une bande de 75 MHz par la moyenne de la puissance sur une bande identique à une distance de 350 MHz d'une part et d'autre de la fréquence IF (cf. **Figure IV-40**).

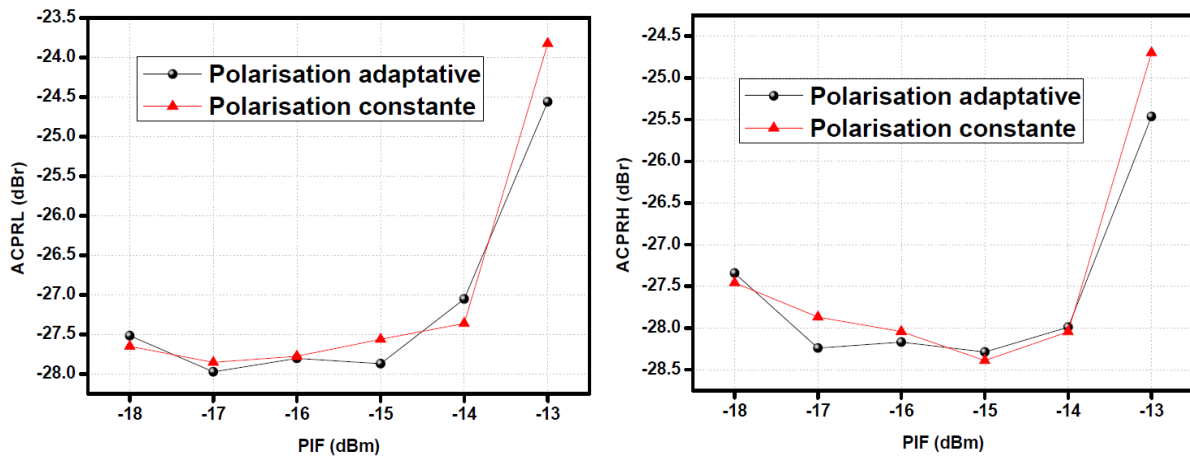


Figure IV-41 Evolution de l'ACPR en fonction de l'atténuation du signal IF d'entrée sans et avec la boucle d'amélioration de PAE : (gauche) ACPRL, (droite) ACPRH.

La **Figure IV-42** représente l'erreur du gain en fonction de la puissance d'entrée entre les deux types de polarisation. Le gain est calculé en divisant l'intégrale de la puissance de sortie du PA sur une bande de 300 MHz par la puissance d'entrée correspondante. En résumé, ces résultats nous permettent de montrer le faible impact, au niveau distorsion, de la boucle sur les performances du système en présence d'un signal modulé.

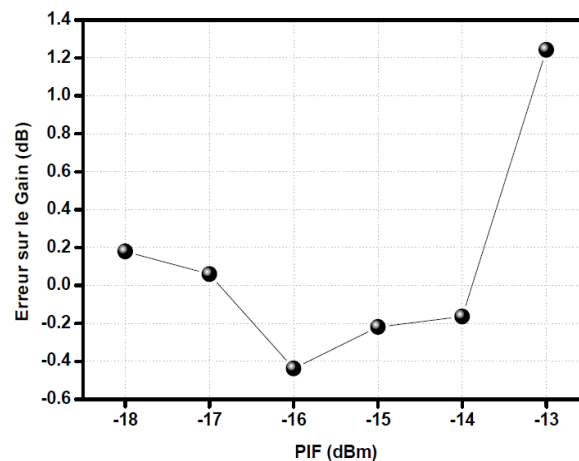


Figure IV-42 Différence de gain petit signal entre les deux types de polarisation en fonction de l'atténuation du signal IF en entrée.

En ce qui concerne la PAE, les valeurs mesurées du courant moyen en mode polarisation constante est de 23,1 mA, contre 18,7 mA en mode polarisation adaptative. En nous basant sur ces valeurs moyennes (nous n'avons pas les moyens d'extraire le courant instantané qui traverse le transistor), ces résultats démontrent l'intérêt de ce type d'asservissement où l'efficacité de l'amplificateur est améliorée d'à peu près +23 % sans dégrader les performances du système. Ces résultats sont cohérents avec l'estimation faite sur la PAE_m , à partir des mesures quasi-statiques, pour la même valeur de PAPR (7 dB).

IV.6 Conclusion

La technique de polarisation adaptative appliquée à un amplificateur de puissance à 60 GHz constitue le cœur de ces travaux de thèse. Les résultats mesurés sont les premiers obtenus dans le cadre d'un système complètement intégré et en présence d'un signal modulé. Lorsque cette étude a débutée, des travaux sur le contrôle dynamique de la tension de polarisation de la grille/base avaient déjà été publiés [Pfeiffer, 07]. Plus récemment, la technique proposée a été rapportée en technologie CMOS [Haikun, 13], présentant l'avantage d'être appliquée sur deux étages et d'avoir la capacité de compensation des erreurs de phase. En revanche, les solutions proposées dans la littérature se basaient sur des mesures quasi-statiques en présence d'un signal mono fréquence, ou sur des simulations en présence d'un signal modulé.

Dans ce travail de thèse, un premier circuit démonstrateur en boucle ouverte a été étudié et caractérisé en co simulation et en présence d'un signal CW. L'amplificateur de puissance employé est un bipolaire en classe-A. Un détecteur de puissance base commune, développé dans le **chapitre III**, a été utilisé pour récupérer une image basse-fréquence de la puissance de sortie de l'amplificateur. La boucle de polarisation adaptative a été validée en co-simulation dans le cadre d'un signal modulé sur le logiciel ADS et a démontré un apport de 20 % d'amélioration sur l'efficacité moyenne du PA avec une perturbation très réduite des performances en linéarité (EVM, ACPR). En se basant sur ces premiers résultats, nous avons réalisé un système complètement intégré incluant la boucle de polarisation adaptative et un PA CMOS à un étage. Le circuit a été caractérisé en présence d'un signal modulé large bande (16-QAM, 700 MHz). Le détecteur employé dans la boucle est de type Meyer et inclut une interface analogique qui permet d'ajuster la loi de commande entre la tension en sortie du détecteur et la tension de polarisation du PA. Malgré une efficacité plus faible sur l'amélioration de la PAE, par rapport aux techniques EER et ET, la technique de polarisation adaptative est actuellement la seule qui soit adaptée à la transmission de données large bande dans le domaine des fréquences millimétriques. Enfin, il sera intéressant par la suite d'appliquer cette technique dans le cas d'un PA différentiel multi-étage. Cependant l'intégration de PA différentiels nécessite de disposer de baluns intégrables présentant de bonnes performances en terme de phase et d'amplitude.

Dans cet objectif et pour donner une ouverture à nos travaux, nous avons étudié la faisabilité de baluns millimétriques intégrés utilisant des lignes couplées à ondes lentes présentées dans le premier chapitre. Cette étude constitue le dernier chapitre de ce mémoire.

Références

[Serhan, 15-3]

A. Serhan, E. Lauga-Larroze, J-M. Fournier, "Efficiency Enhancement Using Adaptive Bias Control for 60 GHz Power Amplifier", IEEE International NEW Circuits and Systems (NEWCAS), 2015.

[Khayatzaadeh, 14]

R. Khayatzaadeh, J. Poette, B. Cabon, "Impact of Phase Noise in 60-GHz Radio-Over-Fiber Communication System Based on Passively Mode-Locked Laser", Journal of Light wave Technology, vol. 32, no. 20, pp. 3529-3535, 2014

[D'Souza 13]

S. D'Souza, et al., "A 10-Bit 2-GS/s DAC-DDFS-IQ-Controller Baseband Enabling a Self-Healing 60-GHz Radio-on-Chip", IEEE Transactions on Circuits and Systems II: Express Briefs, vol. 60, no. 8, pp. 457-461, 2013.

[Haikun, 13]

J. Haikun, C. Baoyong, L. Kuang, Z. Wang, "A self-healing mm-wave amplifier using digital controlled artificial dielectric transmission lines", IEEE Asian Solid-State Circuits Conference (A-SSCC), 2013.

[Kim, 13]

J. Kim, et al., "Optimization of Envelope Tracking Power Amplifier for Base-Station Applications," IEEE Transactions on Microwave Theory and Techniques, vol. 61, no. 4, pp. 1620-1627, 2013.

[Siligaris, 13]

A. Siligaris, et al., "A low power 60-GHz 2.2-Gbps UWB transceiver with integrated antennas for short range communications," Radio Frequency Integrated Circuits Symposium (RFIC), 2013.

[Chien, 12]

C. Chien, A. Tang, F. Hsiao, M.F Chang, "Dual-Control Self-Healing Architecture for High-Performance Radio SoCs", IEEE Journal on Design & Test of Computers, vol. 29, no. 6, pp. 40-51, 2012.

[Liu, 12]

Liu, J.Y.-C.; Berenguer, R.; Chang, M.F., "Millimeter-Wave Self-Healing Power Amplifier With Adaptive Amplitude and Phase Linearization in 65-nm CMOS", IEEE Transactions on Microwave Theory and Techniques, vol. 60, no. 5, pp. 1342-1352, May 2012.

[Bowers, 12]

S.M. Bowers, K. Sengupta, K. Dasgupta, A. Hajimiri, "A fully-integrated self-healing power amplifier," IEEE Radio Frequency Integrated Circuits Symposium (RFIC), 2012.

[Tang2, 12]

A. Tang, et al., "A low-overhead self-healing embedded system for ensuring high yield and long-term sustainability of 60GHz 4Gb/s radio-on-a-chip", IEEE International Solid-State Circuits Conference (ISSCC), 2012.

[Agilent, 12]

Agilent Technology, Wireless LAN at 60 GHz - IEEE 802.11ad Explained, Application Note, <http://cp.literature.agilent.com/litweb/pdf/5990-9697EN.pdf>

[Mitomo, 12]

T. Mitomo, et al., "A 2-Gb/s Throughput CMOS Transceiver Chipset With In-Package Antenna for 60-GHz Short-Range Wireless Communication", , IEEE Journal of Solid-State Circuits, vol. 47, no. 12, pp. 3160-3171, 2012.

[Liu, 11]

J.Y.-C Liu, et al., "A V-band self-healing power amplifier with adaptive feedback bias control in 65 nm CMOS", IEEE Radio Frequency Integrated Circuits Symposium (RFIC), 2011.

[Yan, 11]

J.J. Yan, et al., "Efficiency Enhancement of mm-Wave Power Amplifiers Using Envelope Tracking", IEEE Microwave and Wireless Components Letters, vol. 21, no. 3, pp. 157-159, 2011.

[Liu, 11]

J.Y.-C Liu, et al., "A 60 GHz Tunable Output Profile Power Amplifier in 65 nm CMOS", IEEE Microwave and Wireless Components Letters, vol. 21, no. 7, pp. 377-379, 2011.

[Minami, 11]

R. Minami, et al., "A 60 GHz CMOS power amplifier using varactor cross-coupling neutralization with adaptive bias", Asia-Pacific Microwave Conference Proceedings (APMC), 2011.

[Fabbro, 10]

Paulo Augusto Dal Fabbro, Maher Kayal, "Linear CMOS RF Power Amplifiers for Wireless Applications" Analog Circuits and Signal Processing, 2010, pp 5-16, ISBN: 978-90-481-9360-8

[Jain, 09]

V. Jain, F. Tzeng, L. Zhou, P. Heydari, "A single-chip dual-band 22-to-29GHz/77-to-81GHz BiCMOS transceiver for automotive radars", IEEE International Solid-State Circuits Conference - Digest of Technical Papers, 2009.

[Tomkins, 09]

A. Tomkins, et al., "A Zero-IF 60 GHz 65 nm CMOS Transceiver With Direct BPSK Modulation Demonstrating up to 6 Gb/s Data Rates Over a 2 m Wireless Link", IEEE Journal of Solid-State Circuits, vol. 44, no. 8, pp. 2085-2099, 2009.

[Gorisse, 09]

J. Gorisse, A. Cathelin, A. Kaiser, E. Kerherve, "A 60GHz 65nm CMOS RMS power detector for antenna impedance mismatch detection," ESSCIRC, 2009.

[Mmwaple, 09]

Part 15.3: Wireless Medium Access Control and Physical Layer Specifications for High Rate Wireless Area Network, Amendment 2: Millimeter-wave based Alternative Physical Layer Extension, IEEE 802.15.3c, IEEE, USA, 2009.

[Pfeiffer, 07]

U.R. Pfeiffer, D. Goren, "A 20 dBm Fully-Integrated 60 GHz SiGe Power Amplifier With Automatic Level Control", IEEE Journal of Solid-State Circuits, vol. 42, no. 7, pp. 1455-1463, 2007.

[Peng, 02]

K.-C. Peng, J.-K. Jau, T.-S. Horng, "A novel EER transmitter using two-point delta-sigma modulation scheme for WLAN and 3G applications", IEEE MTT-S International Microwave Symposium Digest, vol. 3, pp. 1651-1654, 2002.

[Lee, 98]

T. H. Lee, "The Design of CMOS Radio-Frequency Integrated Circuits," Cambridge University Press, 1998. ISBN: 0521639220.

Chapitre V : Baluns intégrés pour les applications millimétriques

V.1 Introduction et motivation

Le mot balun vient de la concaténation de 2 mots anglais : **Bal** (balanced) et **un** (unbalanced) signifiant équilibré et déséquilibré. C'est donc un arrangement permettant de passer d'un type de ligne à l'autre. Par exemple, cela permet de coupler un coaxial (asymétrique) avec un dipôle (symétrique). Souvent les baluns combinent les fonctions de transformateurs d'impédances avec celles de transformation symétrique-asymétrique. Les baluns intégrés sont des éléments essentiels pour de nombreuses fonctions RF et millimétriques tel que les amplificateurs de puissance [Liu, 10], les amplificateurs faible bruit [Clercq, 13], les mélangeurs, les doubleurs de fréquences [Tsai, 13]. En particulier, pour un amplificateur de puissance, une solution pour augmenter la puissance de sortie à rendement et gain constants est la réalisation de l'amplificateur dans une configuration différentielle.

Dans les chapitres précédents, nous avons développé et validé les circuits de base nécessaires pour la réalisation d'amplificateurs de puissance présentant une bonne efficacité. Dans le **chapitre II**, nous avons étudié et comparé les performances d'amplificateurs de puissance à un étage utilisant différents types de lignes de propagation et basés sur les deux types de transistors MOS et Bipolaire disponibles en technologie BiCMOS 55 nm. Dans le **chapitre III**, plusieurs détecteurs de puissance ont été réalisés et nous avons montré dans le **chapitre IV** leur utilisation pour améliorer les performances de PA fonctionnant en bande millimétrique. Afin de poursuivre l'étude sur l'apport des lignes à ondes lentes et de compléter l'étude d'amélioration de performances de circuits actifs, nous avons développé des baluns en bande millimétrique afin de préparer un futur développement d'amplificateur de puissance différentiel entièrement intégré, et cumulant l'ensemble des apports précédents. Les baluns développés utilisent les lignes couplées à ondes lentes développées par [Lugo, 14]. Ces coupleurs, introduits dans le **chapitre I**, présentent à la fois des facteurs de couplage élevés et des facteurs de qualité importants permettant la réalisation de baluns intégrés à faibles pertes.

La première partie de ce chapitre est consacrée à l'introduction et à l'étude bibliographique de baluns fonctionnant aux fréquences millimétriques afin de montrer les défis liés à la conception de ce composant. Nous présentons une méthode de synthèse de baluns millimétriques, permettant de réaliser des baluns à faible pertes, équilibrés, à faible surface, et présentant une plage relativement élevée de rapports de transformations. Pour conclure ce chapitre, les résultats de simulation de quatre baluns millimétriques conçus en technologie BiCMOS 55 nm sont présentés.

V.2 Caractéristiques d'un balun

Le but d'un balun est de réaliser une transition entre un signal en mode commun et un signal en mode différentiel (**Figure V-1**). En d'autres termes, un balun doit transformer un signal mode commun en deux signaux ayant une amplitude identique et déphasés de 180° . Pour un signal en mode commun qui traverse une ligne de transmission classique de type microruban, le chemin de retour du courant est la masse placée en dessous du ruban où se propage le signal. Dans ce cas, le potentiel sur n'importe quel point de la ligne est mesuré par rapport à la masse. Pour un signal différentiel qui se propage dans une ligne différentielle (ou bien n'importe quelle structure différentielle), le courant qui traverse la masse est nul puisque le courant dans les deux plans du signal ont des sens opposés. Cette hypothèse est valide seulement si la phase entre les deux signaux est de 180° et si le potentiel absolu par rapport à la masse sur chacun des rubans est le même. Dans ce cas, la différence de potentiel mesurée entre les deux rubans constitue le signal. Enfin, le balun est un élément passif réversible, capable de transformer un signal différentiel en un signal en mode commun.

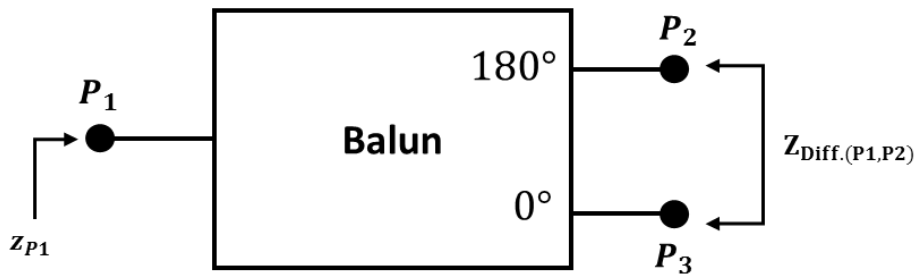


Figure V-1 Symbole générique du balun.

Les caractéristiques d'un balun qui peuvent être extraites à partir des paramètres sont : le rapport de transformation d'impédance, les pertes d'insertion, les erreurs de phase, les erreurs d'amplitude, l'adaptation d'impédance, et la bande passante.

Rapport de transformation d'impédance (ITR) : Le rapport de transformation d'impédance est défini par le rapport entre la moitié de l'impédance différentielle, mesurée sur le port différentiel, et l'impédance mode commun mesurée sur le port non différentiel.

$$ITR = \frac{Z_{Diff.(P1,P2)}}{2 Z_{P1}} \quad \text{Eq. V-1}$$

Ce rapport est fixé par l'application dans laquelle le balun va être utilisé. Un ITR inférieur à 0,5 représente un vrai challenge pour les applications de puissance, où le port différentiel est connecté en sortie d'un amplificateur de puissance, puisque le balun doit transformer l'impédance 50Ω de l'antenne en une impédance très faible, de l'ordre de 10Ω , en sortie du PA.

Pertes d'insertion d'un balun : Les pertes d'insertion correspondent à la perte de puissance entre le port en mode commun et le port différentiel. Généralement, des pertes d'insertion

acceptables doivent être inférieures à 1 dB [Ezzeddine, 08]. Ce paramètre peut être considéré comme étant une figure de mérite importante pour évaluer la qualité d'un balun. Il dépend à la fois du déphasage et de l'amplitude des signaux de sortie [Anaren, 05].

$$IL = 20 \log_{10} \left[\frac{1}{\sqrt{2}} (S_{31} - S_{21}) \right] \quad \text{Eq. V-2}$$

Erreur de phase et erreurs d'amplitude : la mesure des paramètres S_{21} et S_{31} permet d'évaluer les erreurs de phase et d'amplitude des paramètres S_{21} et S_{31} du balun. L'erreur d'amplitude est acceptable si elle est inférieure à 0,5 dB en valeur absolue [Ezzeddine, 08].

$$\Delta_{\alpha} = 20 \log_{10} \left(\frac{S_{21}}{S_{31}} \right) \quad \text{Eq. V-3}$$

L'erreur de phase (représentant l'écart du déphasage entre les 2 voies différentielles par rapport à 180 °) est considérée acceptable si elle est inférieure à 5 ° en valeur absolue [Ezzeddine, 08].

$$\Delta_{\varphi} = 180^{\circ} - \text{ang} \left(\frac{S_{21}}{S_{31}} \right) \quad \text{Eq. V-4}$$

Adaptation d'impédance aux accès : Les pertes en réflexion correspondant à l'adaptation d'impédance aux accès du balun sont considérées acceptables si elles sont inférieures à -10 dB.

Bande passante : Finalement, la bande passante d'un balun est la bande de fréquence dans laquelle les performances du balun répondent aux spécifications fixées par l'application visée.

V.3 Balun passif intégré

Les baluns sont divisés en deux grandes catégories : actifs et passifs. Généralement, les baluns actifs sont intéressants pour les applications RF car ils présentent peu de pertes et sont plus compacts par rapport à leurs homologues passifs [Yong, 08]. Cependant, en haute fréquence, leur conception est souvent compliquée (du fait des capacités parasites C_{gd} et C_{gs}) et leur bande passante est assez étroite [Yong, 08]. En outre, ils souffrent d'un problème de linéarité et de bruit lié à l'utilisation de composants actifs. D'un autre côté, avec la montée en fréquence, la taille des composants passifs (ligne couplée, transformateur), utilisés pour la conception de balun passifs, est de plus en plus réduite, ce qui favorise leur utilisation en bande millimétrique. Parmi les baluns passifs intégrés monolithiques, on peut citer les baluns de type Marchand, Rat-Race et à base de transformateurs.

Balun de type Rate-race

La topologie d'un coupleur de type Rat-Race est classiquement circulaire et comporte quatre ports (**Figure V-2**) [Inui, 08]. Pour un fonctionnement en mode balun, le port P_1 est en mode

référence "Single" et les ports P_2 et P_4 constituent la sortie différentielle. La distance entre ces deux derniers ports est égale à la longueur d'onde λ et la longueur totale de la ligne de transmission est égale à $3\lambda/2$.

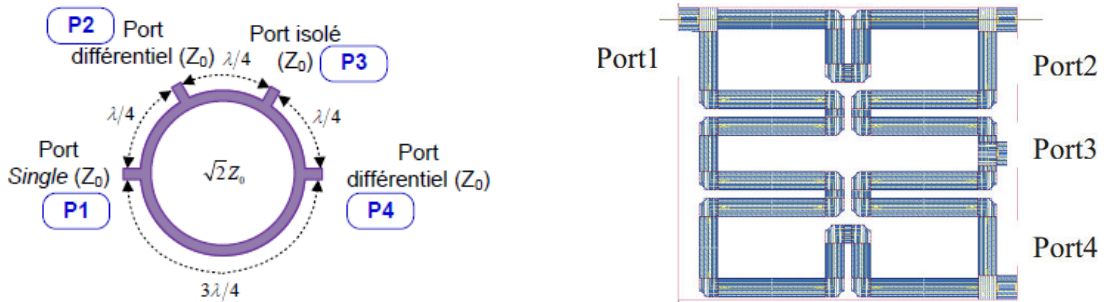


Figure V-2 (gauche) Balun basique de type Rat-Race, layout spiral d'un Rat-Race [Ding, 08].

Une solution pour son intégration consiste à réaliser ce balun à l'aide de lignes repliées (Figure V-2) [Ding, 08]. Cependant, l'effet de couplage, introduit par la proximité des lignes repliées, complique la conception de ce type de balun.

Balun intégré à base de transformateurs

Le balun intégré à base de boucles inductives est illustré sur la Figure V-3 [Long, 00]. Son principe est basé sur l'inductance mutuelle entre deux ou plusieurs enroulements. Le flux magnétique produit par le courant I_P circulant à travers l'inductance du primaire (L_P) induit un courant I_S dans l'inductance du secondaire (L_S) [Long, 00].

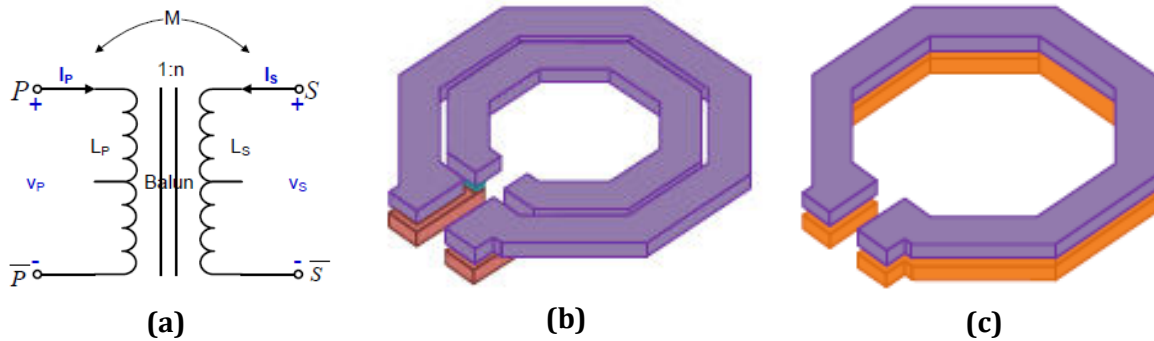


Figure V-3 (a) Symbole du balun monolithique, (b) Configuration planaire, (c) Configuration empilée.

Ce balun existe en deux versions: soit avec des conducteurs enroulés sur le même niveau de métal (Figure V-3-b), soit avec des niveaux de métal empilés (Figure V-3-c). A des fréquences élevées, au-delà de 80 à 100 GHz environ, la conception des transformateurs devient plus difficile en raison de la faible efficacité des inductances couplées, de la perte d'insertion élevée, et de la difficulté à maîtriser les déséquilibres de phase et d'amplitude. Cette approche localisée nécessite une modélisation précise tenant compte de tous les éléments parasites, en particulier des accès. En outre, Il est difficile de réaliser des baluns avec un nombre élevé de spires, ce qui limite le rapport de transformation d'impédance réalisable par ce type de balun.

Balun intégré de type Marchand

La **Figure V-4-a** montre le schéma d'un balun de type Marchand [Marchand, 94]. La première section de la ligne est court-circuitée sur sa voie couplée, et chargée par le port 2 de sortie sur sa voie isolée et par la deuxième section sur la voie de transmission. Parallèlement, la deuxième section est chargée par le port 3 de sortie sur sa voie couplée, un circuit-ouvert sur sa voie de transmission et un court-circuit sur sa voie isolée. Ce type de balun est connu pour sa bande passante très large. Dans la bande de fréquences RF, ce balun souffre de sa très grande surface à cause des lignes en $\lambda/4$. En bande de fréquences millimétriques, la longueur des lignes devient raisonnable et rend ce balun très attractif. La taille de ce balun peut être encore réduite en utilisant une configuration spirale (**Figure V-4-b**).

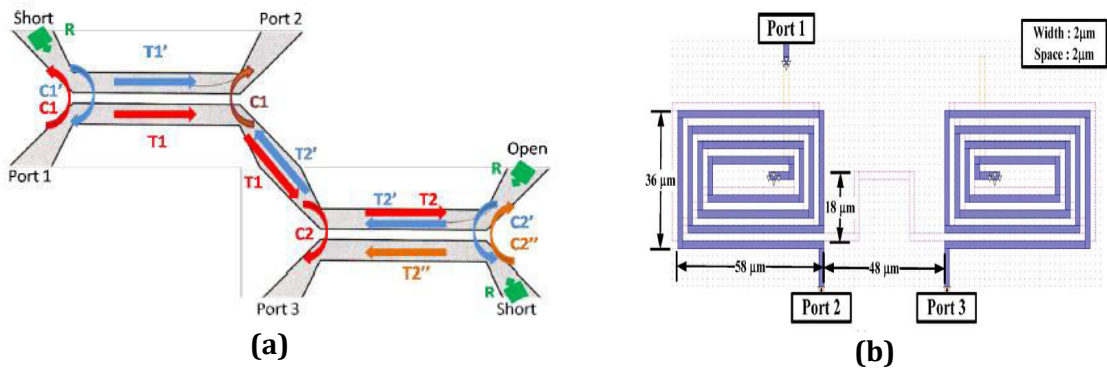


Figure V-4 (a) Schéma bloc d'un Marchand balun [Ercoli, 10-1], (b) Layout spiral d'un Marchand balun [Tsai, 13].

Enfin, ce balun est sensible à la vitesse de phase des modes pair et impair (i.e. aux coefficients de couplage magnétique K_L et électrique K_C). Idéalement, les lignes couplées qui constituent le Marchand balun doivent présenter des coefficients de couplage $K_L = K_C$ pour avoir une erreur de phase et d'amplitude nulle. Cela représente le défi majeur de ce type de balun.

Ce chapitre est consacré à la conception d'un balun de type Marchand. Les lignes CS-CPW, introduites en partie dans le **chapitre I**, sont très bien adaptées à ce type de balun. D'une part, l'utilisation des lignes couplées à ondes lentes permet de réduire la longueur physique des lignes et d'autre part, les lignes couplées CS-CPW permettent un contrôle des coefficients de couplage K_L et K_C . $K_L = K_C$.

V.4 Etat de l'art des baluns de type Marchand pour les applications millimétriques

En 2000, [Ang, 00] a développé trois Marchand balun utilisés afin de réaliser une transformation d'impédance. La **Figure V-5** montre le facteur de couplage nécessaire pour un rapport d'impédance donné. Cette figure montre que le facteur de couplage est d'autant plus fort que le rapport de transformation d'impédance est faible, et vice-versa.

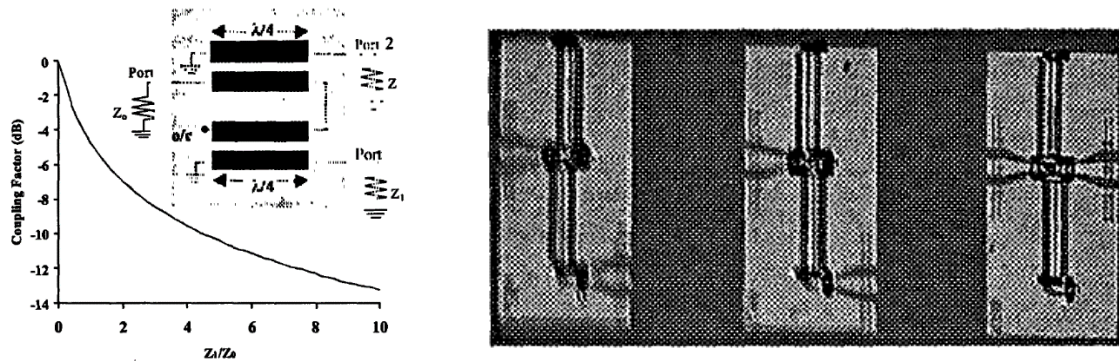


Figure V-5 (gauche) Facteur de couplage nécessaire pour un rapport de transformation d'impédance donné, (droite) Layout des différents balun réalisés [Ang, 00].

Ce type d'application est important pour les structures différentielles (mélangeur, doubleur de fréquence et amplificateur de puissance). Le balun dont le layout est présenté sur la **Figure V-5** a été implémenté sur un substrat GaAs et présente une excellente performance sur une bande de 50 GHz (40 GHz à 90 GHz). Des pertes d'insertion de -5 dB, une erreur d'amplitude et de phase maximales de respectivement 0,8 dB et 5° comme le montre la **Figure V-6**. Conformément à la théorie, le balun présente une adaptation parfaite en entrée ainsi qu'une adaptation de -6 dB sur les voies de sortie (**Figure V-6**).

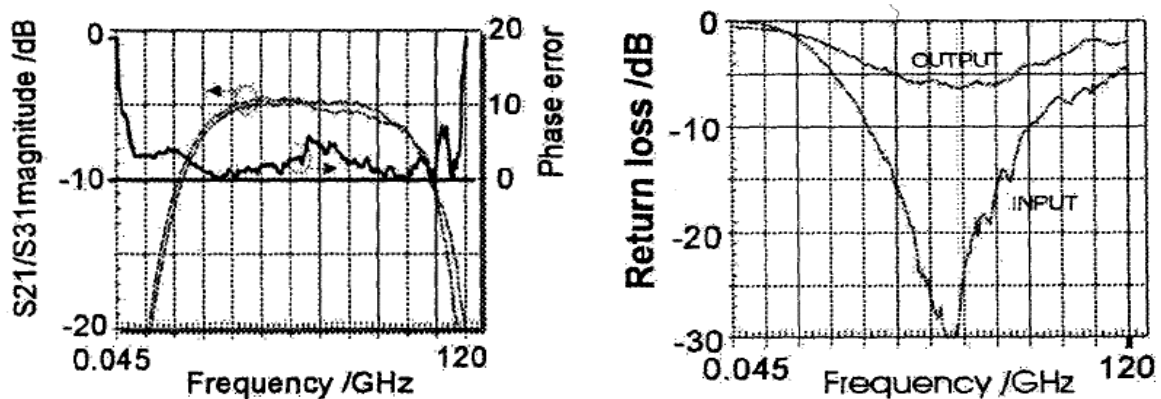


Figure V-6 (gauche) Paramètres de transmission sur les deux voies et différence de phase en fonction de la fréquence, (droite) paramètres d'adaptation en entrée et en sortie [Ang, 00].

En 2007, [Liu, 07] a réalisé un balun en technologie CMOS 0.18 μm . La technologie dispose de six couches de métal. Le balun, **Figure V-7**, utilise un couplage latéral (Edge Coupling EC).

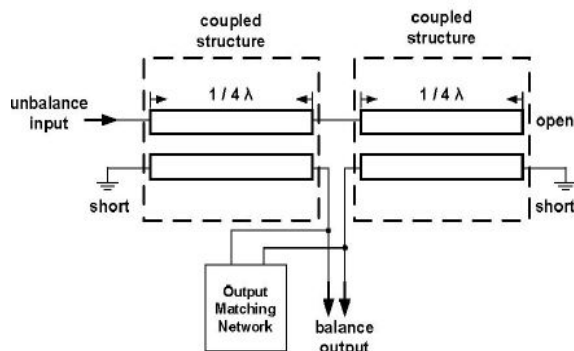


Figure V-7 Schéma simplifié du balun avec le réseau d'adaptation en sortie [Liu, 07].

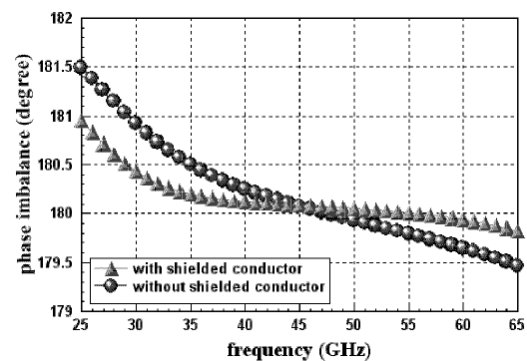


Figure V-8 Déséquilibre de phase pour différents plans de masse [Liu, 07]

Cette configuration EC souffre d'un faible couplage capacitif en comparaison avec la configuration BSC. Pour augmenter le coefficient de couplage, les couches de 4 à 6 ont été utilisées pour le ruban signal afin d'augmenter la surface latérale de couplage entre les deux lignes. Des fentes métalliques ont été réalisées au-dessous des lignes couplées pour permettre d'augmenter le rapport d'impédance Z_e/Z_o et par conséquent réduire les déséquilibres de phase et d'amplitude sur une bande de fréquence plus élevée. Un réseau d'adaptation d'impédance a été ajouté en sortie pour améliorer les coefficients de réflexion en sortie du balun (**Figure V-7**). L'apport de l'utilisation des fentes métalliques sur l'équilibre de phase en sortie du balun est présenté sur la **Figure V-8**. Les performances du balun ont été mesurées entre 25 GHz et 65 GHz. Les paramètres de transmission S_{21} et S_{31} , présentés sur la **Figure V-9 (a)**, sont de l'ordre de -8 dB. Le coefficient de réflexion en entrée est inférieur à -6 dB d'après la **Figure V-9 (b)**. Une différence d'amplitude maximale de 1,5 dB, et une différence de phase maximale de 10° ont été obtenues en mesures. L'étude sur l'apport des fentes métalliques est présentée dans [Xu, 12].

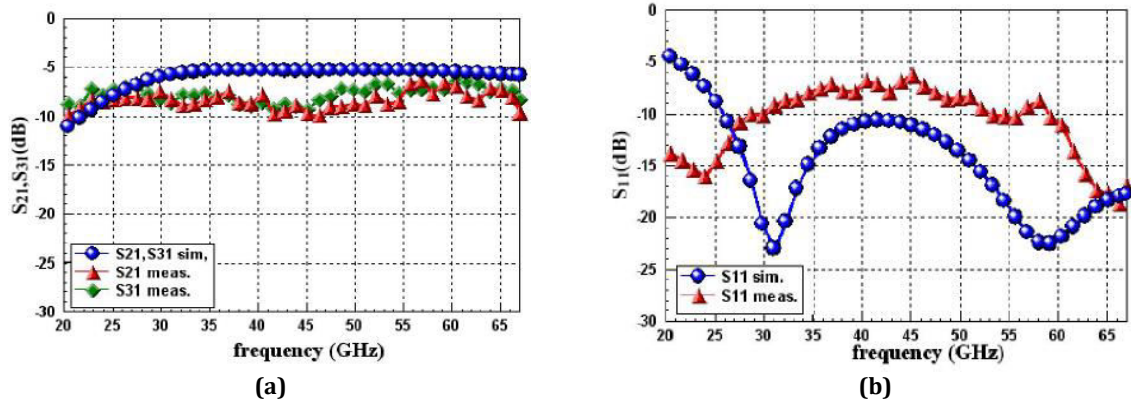


Figure V-9 Comparaison entre simulations et mesures: (a) paramètre de transmission, (b) paramètre de réflexion en entrée [Liu, 07].

Un autre balun a été réalisé en technologie CMOS 0.18 μm par [Chiou, 07]. Contrairement au balun précédent, ce balun utilise un couplage vertical BSC. Une structure asymétrique est utilisée pour permettre d'optimiser le balun en termes d'impédance. Les paramètres du design sont présentés sur la **Figure V-10**. Aucun niveau de métal n'a été ajouté au-dessus des lignes couplées.

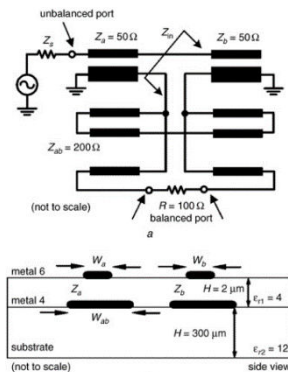


Figure V-10 Schéma simplifiée et paramètres d'optimisation du balun [Chiou, 07].

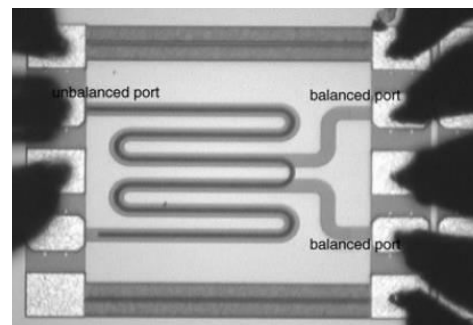


Figure V-11 Photo du balun réalisé par [Chiou, 07].

La surface de ce balun est de seulement $0,06 \text{ mm}^2$ grâce à l'utilisation de la configuration repliée (**Figure V-11**). Les performances du balun mesurées entre 15 GHz et 60 GHz sont présentées sur la **Figure V-12**. Les paramètres de réflexion en entrée et en sortie sont inférieurs à -18 dB sur une bande de 20 GHz. La différence d'amplitude et de phase entre les deux voies de sortie est représentée sur la **Figure V-13**. Une différence d'amplitude maximale de 1 dB, et une différence de phase maximale de 5° ont été rapportées.

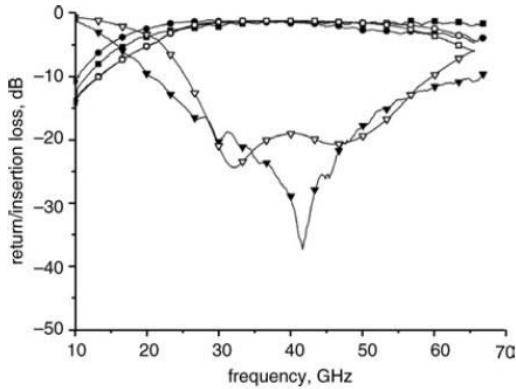


Figure V-12 Perte d'insertion et paramètre de réflexion en entrée [Chiou, 07].

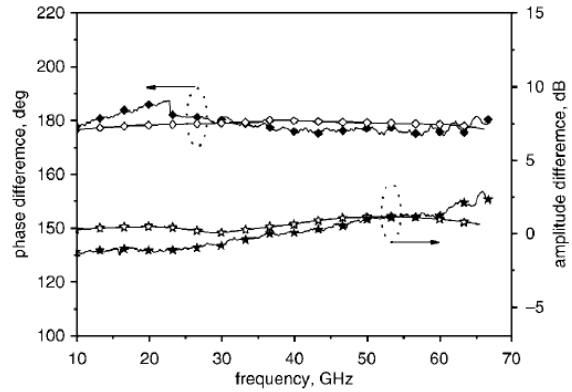
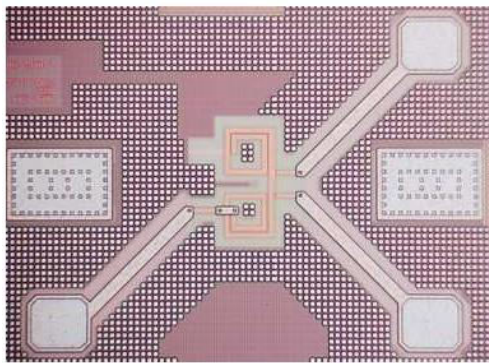
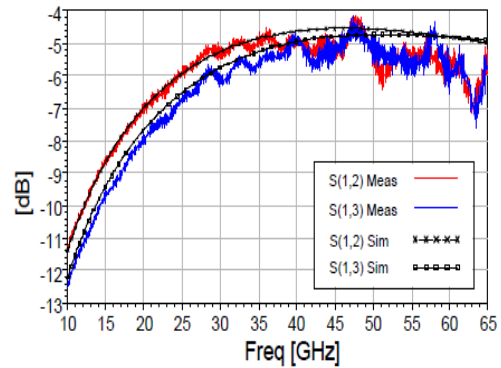


Figure V-13 Différence de phase et d'amplitude en fonction de la fréquence [Chiou, 07].

Dans le cadre de la réduction de la taille de Marchand balun, [Ercoli, 10-1] a proposé d'utiliser une configuration spirale pour les lignes couplées qui constituent le balun, **Figure V-14 (a)**. Le balun se comporte comme un transformateur classique et il n'utilise pas de ligne-quart d'onde.



(a)



(b)

Figure V-14 (a) Layout du balun, (b) paramètres de transmission sur les deux voies du balun [Ercoli, 10-1].

Les résultats des mesures montrent des pertes d'insertion de $-4,1 \text{ dB}$ autour de 60 GHz [Ercoli, 10-2]. La différence entre les résultats de mesure et de simulation présentés sur la **Figure V-14(b)** est expliquée par la présence des dummies dans le layout final. En effet, ces dummies n'étaient pas pris en compte dans les simulations électromagnétiques pour réduire le temps de simulation. En outre, la différence d'amplitude est de $0,8 \text{ dB}$ maximum, tandis que la différence de phase en sortie varie entre 2° et 10° .

Une autre réalisation a été proposée par [Uemichi, 11]. La technologie utilisée permet de réaliser un plan de masse complet (sans restriction au niveau de la densité de métal) au-dessus du substrat (**Figure V-15**).

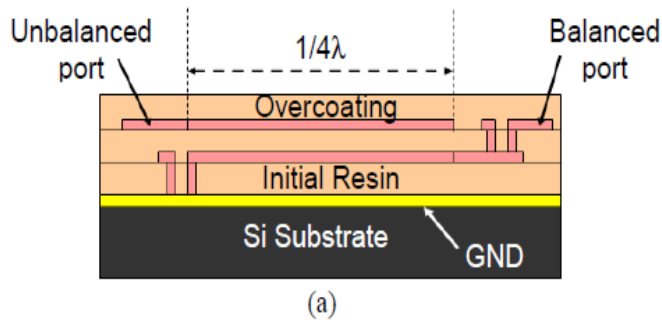


Figure V-15 Vue en coupe du balun [Uemichi, 11].

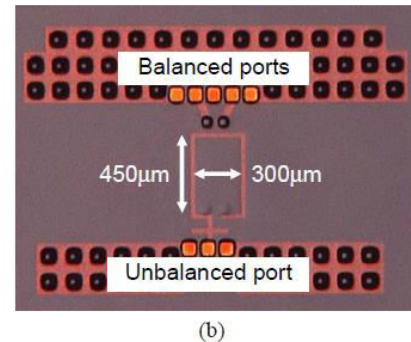


Figure V-16 Vue de dessus du balun en technologie SIP [Uemichi, 11].

Ce plan de masse, d'épaisseur 2 μm , permet d'éliminer les pertes dues au couplage avec le substrat. Le substrat utilisé est un substrat classique silicium. L'épaisseur des couches métalliques utilisées pour les lignes couplées est de 2 μm . Les couches isolantes sont constituées d'une résine d'épaisseur 10 μm . Le balun utilise un couplage vertical BSC et il occupe une surface totale de 0,135 mm^2 . Le layout du balun est présenté sur la **Figure V-16**. Les performances du balun ont été mesurées entre 40 GHz et 70 GHz. La différence d'amplitude et de phase entre les deux voies est représentée sur les **Figure V-17** (a) et (b).

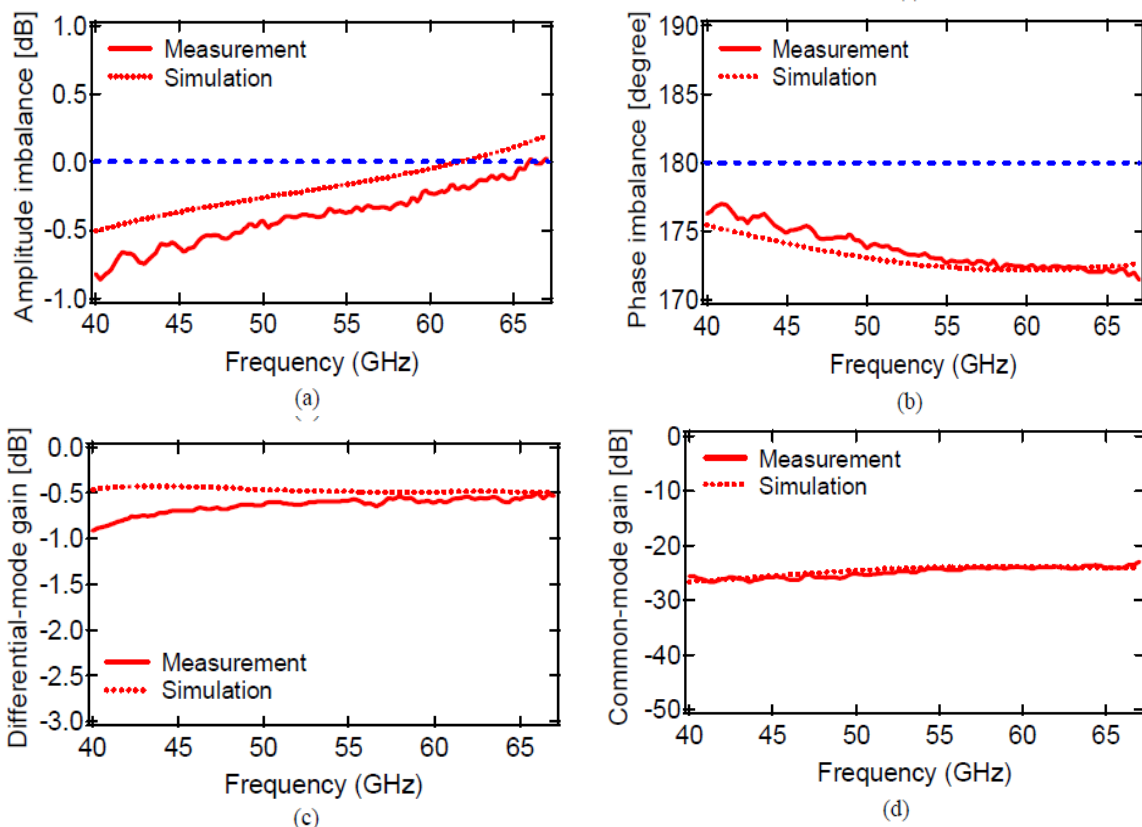


Figure V-17 (a) déséquilibre d'amplitude, (b) déséquilibre de phase, (c) gain différentiel, (d) gain en mode commun.

Une différence d'amplitude maximale de 0,6 dB, et une différence de phase maximale de 8° ont été rapportées. Les déséquilibres de phase et d'amplitude ont été améliorés en utilisant un rapport d'impédance élevé entre l'impédance des modes pair et impair. La réjection de mode commun est de -25 dB sur toute la bande, ce qui garantit une bonne réjection du bruit de mode commun. Ces résultats sont cependant obtenus à l'aide d'options technologiques non compatibles avec les technologies CMOS et BiCMOS standard. Comme indiqué dans [Uemichi, 11], le rapport d'impédance des modes pair et impair (Z_e/Z_o) utilisé dans ce balun n'est pas réalisable en technologie CMOS.

Un balun miniaturisé et équilibré a été présenté par [Xu, 14] en 2014 (**Figure V-18**). D'après l'analyse présentée, les paramètres de transmission S_{21} et S_{31} sont liés aux coefficients de couplage (K_i) et de transmission (T_i) de chaque ligne couplée par les équations suivantes :

$$S_{21} = -T_1 K_1 + \frac{T_2^2 T_1 K_1}{1 + K_2^2} \text{ et } S_{31} = T_1 K_2 - \frac{T_2^2 T_1 K_2}{1 + K_2^2} \quad \text{Eq. V-5}$$

D'après l'équation (**Eq. V-5**), les coefficients de transmission T_1 et T_2 influent de la même manière sur les deux paramètres S_{21} et S_{31} . Par contre, les coefficients de couplage K_1 et K_2 doivent être égaux pour que S_{21} soit égal à $-S_{31}$. En pratique, la ligne de couplage K_2 présente une terminaison en circuit-ouvert introduisant une capacité parasite. Même si les lignes couplées 1 et 2 sont strictement identiques, du fait de cette capacité parasite, K_2 devient légèrement inférieur. Si $K_1 = K_2$, les paramètres S_{21} et S_{31} sont, sans conditions sur T_1 et T_2 , donnés par :

$$S_{21} = S_{31} = -T_1 K_2 + \frac{T_2^2 T_1 K}{1 + K^2} \quad \text{où } K_1 = K_2 = K \quad \text{Eq. V-6}$$

Pour pouvoir égaliser K_1 et K_2 , l'auteur propose de réduire K_1 . La réduction du paramètre K_1 est réalisée en introduisant des rubans métalliques en T entre les lignes couplées et la masse (**Figure V-18** et **Figure V-19**). Les dimensions de ces rubans (appelés Tbar1 et Tbar2) sont déterminées par simulations en cherchant à réduire l'erreur de phase entre les deux voies en sortie.

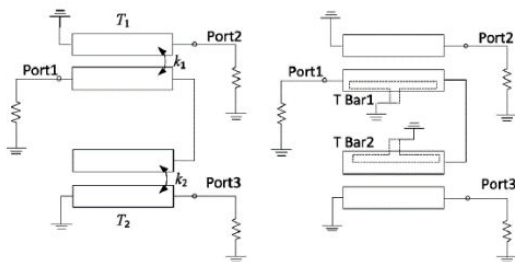


Figure V-18 Schéma modifié du Marchand balun [Xu, 14].

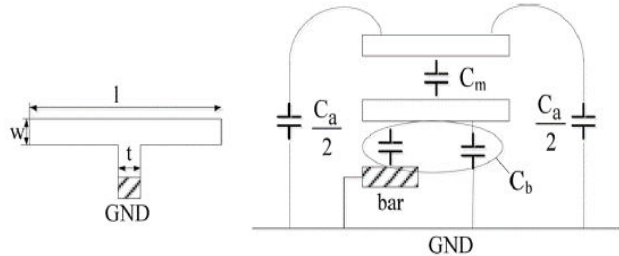


Figure V-19 Vue en coupe de la ligne couplée avec le ruban métallique [Xu, 14].

Le balun a été fabriqué en technologie CMOS 65 nm de STMicroelectronics. Sa surface totale est de 0.01 mm², le couplage capacitif vertical (BroadSide Coupling BSC) permet d'optimiser son

layout et d'obtenir un niveau de couplage élevé. Les résultats de simulation et les mesures sont comparés sur les **Figure V-20** et **Figure V-21**.

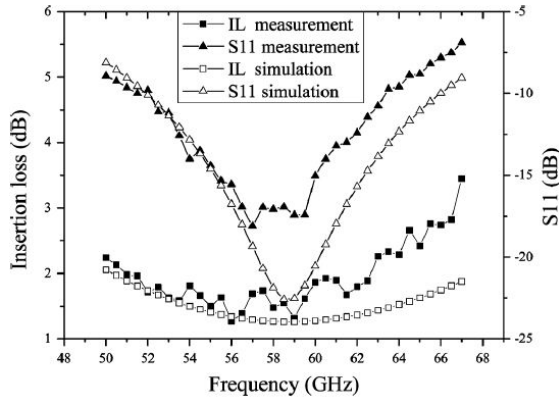


Figure V-20 Perte d'insertion et paramètre de réflexion en entrée [Xu, 14].

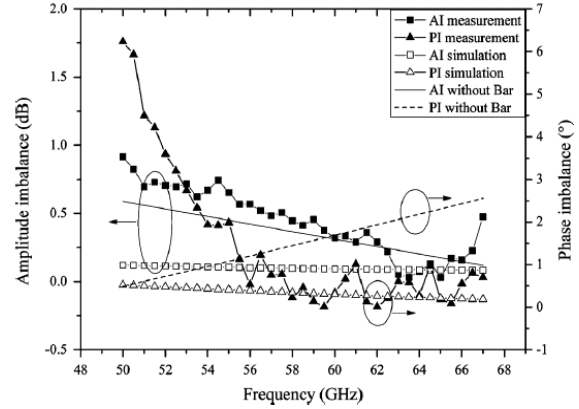


Figure V-21 Erreur de phase et d'amplitude en fonction de la fréquence [Xu, 14].

La bande de fonctionnement du balun s'étend de 57 GHz à 67 GHz. Une erreur de phase de 1° et une erreur d'amplitude de 0,5 dB ont été mesurées. Une très bonne adaptation en entrée et des pertes d'insertion de 4,5 dB (1,5 dB de pertes effectives si l'on exclut les 3 dB liés à la division de la puissance) ont été obtenues.

[Ma, 14] a proposé une autre technique d'optimisation d'un Marchand balun nommée CLC (Capacitive Loading Compensation). La technique consiste à ajouter des capacités en entrée et en sortie du balun (**Figure V-22** et **Figure V-23**). Le rôle de ces capacités est : (1) de permettre l'ajustement de l'adaptation des entrées-sorties du balun, (2) de réduire la taille des lignes L_1 , L_2 et L_3 , (3) d'ajuster les déséquilibres de phase et d'amplitude. Le balun a été fabriqué en technologie SiGe BiCMOS 1P6M proposée par Tower Jazz Semiconductor.

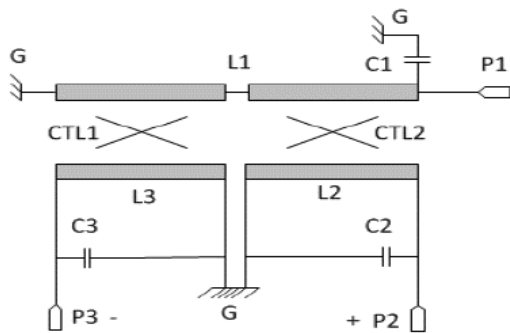


Figure V-22 Schéma modifié du Marchand balun avec les capacités de compensation [Ma, 14].

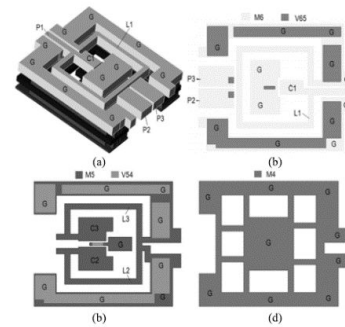


Figure V-23 Vue 3D du Layout du balun [Ma, 14].

Les paramètres S du balun, mesurés entre 40 GHz et 60 GHz, sont présentés sur la **Figure V-24**. Le coefficient de réflexion en entrée S_{11} est inférieur à -10 dB. La **Figure V-25** montre que la différence d'amplitude et de phase entre les deux voies est de 0,2 dB, avec une différence de phase maximale de $2,7^\circ$. La bande de fonctionnement est de 20 GHz, de 40 GHz à 60 GHz. La surface totale du balun est de 0.036 mm^2 .

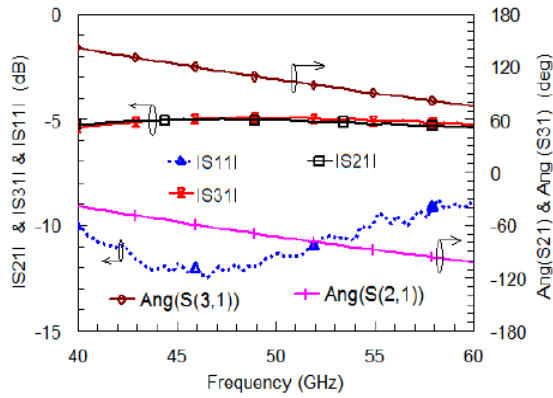


Figure V-24 Paramètre S du balun [Ma, 14].

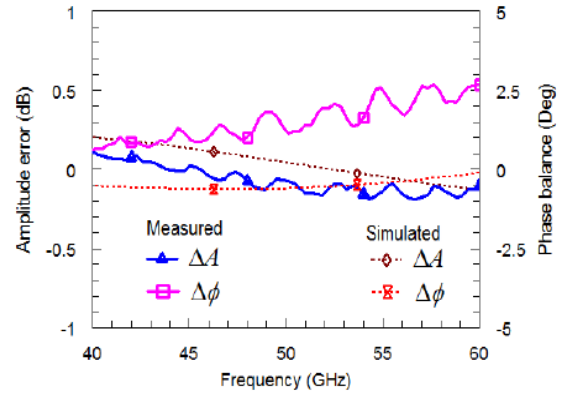


Figure V-25 Erreur de phase et d'amplitude en fonction de la fréquence [Ma, 14].

Le travail présenté par [Tsai, 13] propose une technique de compensation de déséquilibre de phase et d'amplitude basée sur la compensation de la différence de vitesse de phase entre les modes pair et impair par l'ajout d'une ligne de transmission intermédiaire. Nous avons utilisé cette approche pour développer notre technique de synthèse des baluns millimétriques.

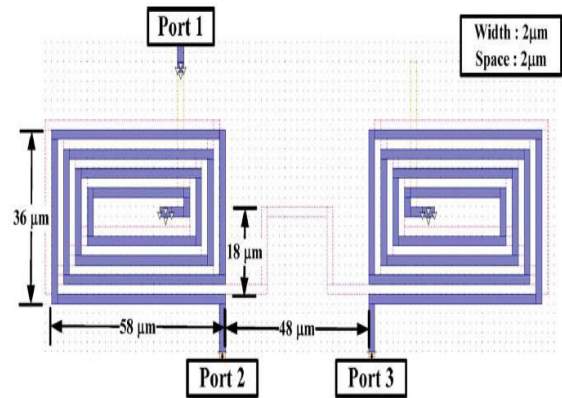
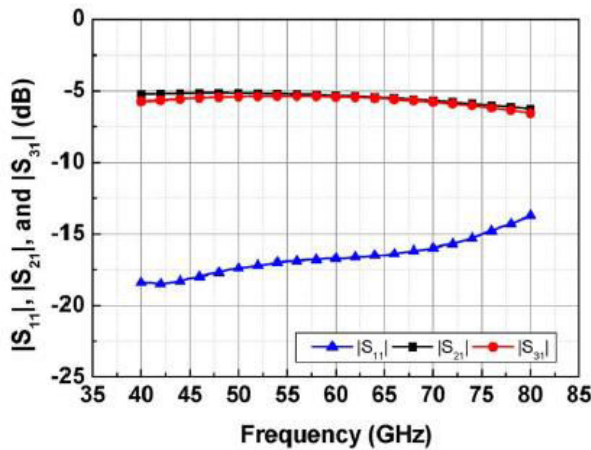


Figure V-26 (gauche) Paramètre S du balun, (droite) Layout spiral du balun [Tsai, 13].

Le balun, dont le layout en spirale est présenté sur la **Figure V-26**, a été fabriqué en technologie TSMC CMOS 0.18 μm . Les résultats des mesures sont présentés sur la **Figure V-26** et montrent un très bon équilibre d'amplitude et une très bonne adaptation entre 40 GHz et 80 GHz. Le déséquilibre de phase n'était pas mentionné dans la publication.

Conclusion sur l'état de l'art de balun millimétrique

Les figures ci-dessous (Figure V-27 et Figure V-28) résument l'état de l'art des baluns millimétriques de type Marchand. Les pertes d'insertion varient entre 0,6 dB avec une technologie Si/résine [Uemichi 11] et 3 dB en technologies CMOS et BiCMOS standards. Pour ces dernières, les pertes d'insertion minimales sont de l'ordre de 1 dB (**Figure V-27**). La bande passante varie entre 10 GHz [Meng, 11] [Xu, 14] et 80 GHz [Chiou, 13], tandis que le rapport bande passante sur

fréquence de fonctionnement $\frac{f_0}{BW}$ varie entre 15 % [Uemichi 11] et 105 % [Chiou, 13] (Figure V-28).

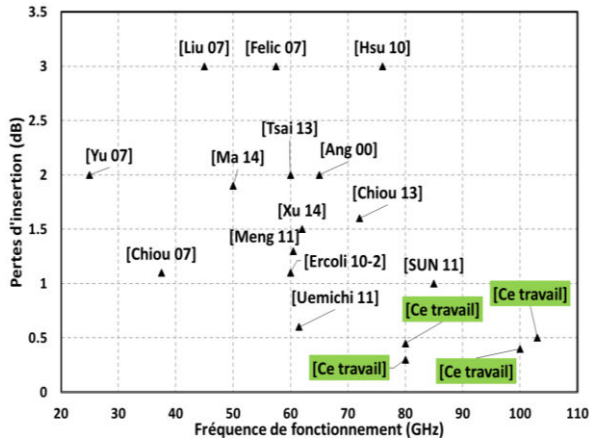


Figure V-27 Pertes d'insertion en fonction de la fréquence de fonctionnement.

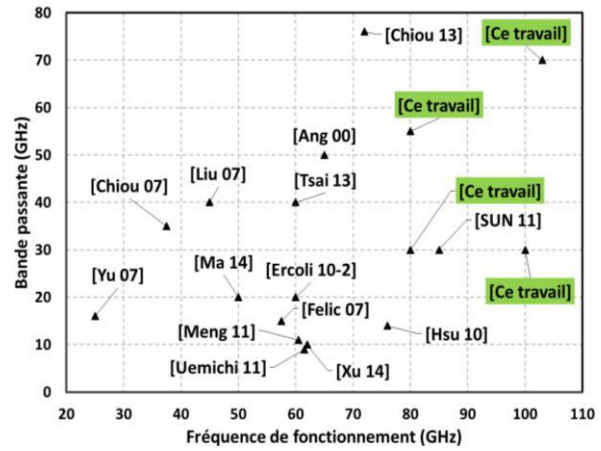


Figure V-28 Bande passante en fonction de la fréquence de fonctionnement.

Les erreurs d'amplitude et de phase varient respectivement entre 0,1 dB et 3 dB et entre 1° et 10°. Les erreurs les plus faibles sont obtenues grâce à des techniques de compensation présentées dans [Ma, 14][Xu, 14][Tsai, 13]. En revanche, les baluns à base de boucles inductives [Felic, 07] [Yu, 07] [Meng, 11] [Ercoli, 10-2], présentent des erreurs de phase et d'amplitude élevées, en même temps qu'une bande passante réduite, des pertes d'insertion modérées, et une modélisation compliquée.

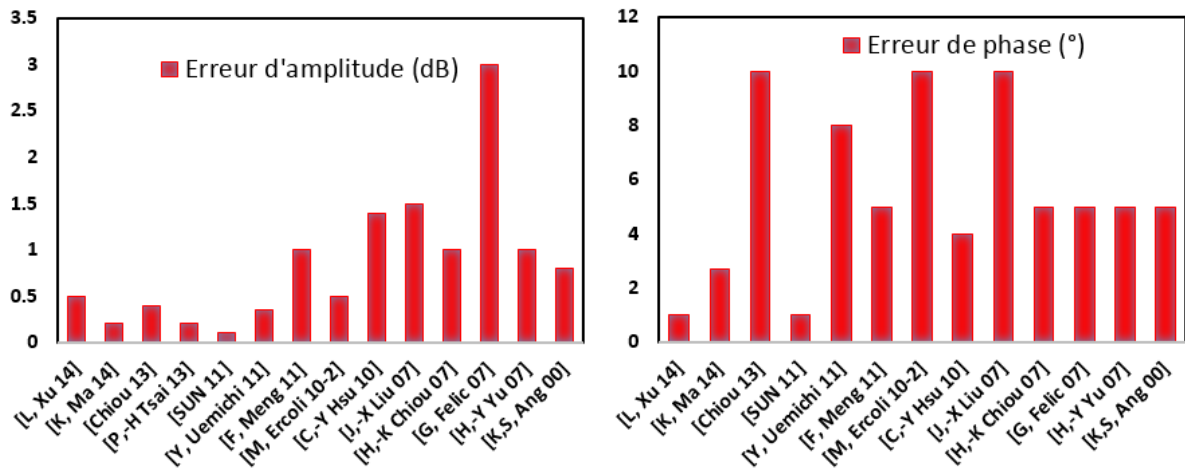


Figure V-29 (gauche) Erreur d'amplitude Δ_a , (droite) erreur de phase Δ_ϕ .

La taille des structures varie entre 0,01 mm² et 0,5 mm² (Figure V-30). L'utilisation du couplage Broad Side dans [Chiou, 07] [Ma, 14] [Xu, 14] a permis d'atteindre des tailles beaucoup plus faibles que celles qui sont atteintes par couplage Edge [Lai, 10] [Ang, 00]. De même, l'utilisation d'une configuration spirale pour le layout a permis la réduction de la taille mais avec une dégradation de la bande passante et un déséquilibre de la phase et de l'amplitude plus marqué.

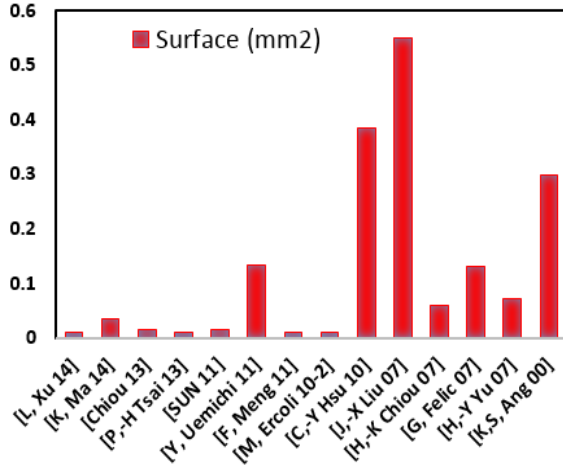


Figure V-30 Surface de différents baluns.

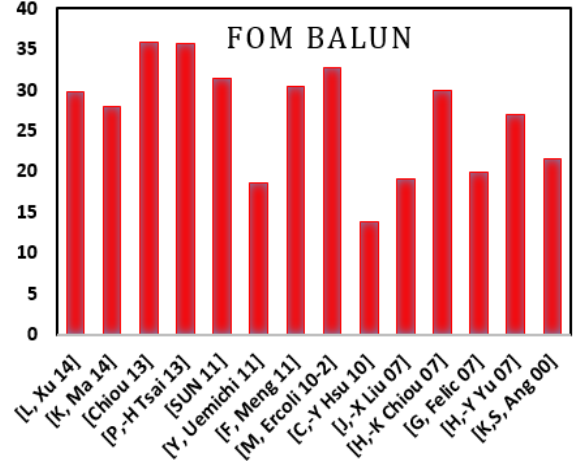


Figure V-31 FOM de différents baluns.

Finalement, une figure de mérite utilisée pour évaluer les baluns est donnée par l'équation suivante [Chiou, 13] (Cette FOM n'a pas été validée par l'ITRS):

$$FOM_{balun} = 10 \log_{10} \left(\frac{f_{haute} - f_{basse}}{\sqrt{f_{haute} \times f_{basse}}} \times \frac{10^{-IL/20}}{Surface_{mm^2}} \right) \quad \text{Eq. V-7}$$

D'après l'équation (Eq. V-7), la bande passante et la surface jouent un rôle important dans l'évaluation des baluns. Cela justifie le fait que les FOMs les plus élevées sont obtenues avec des baluns de faibles tailles [Chiou, 13][Ercoli, 10-2], malgré le fait que ces baluns aient des performances inférieures en termes de $\Delta\phi$, $\Delta\alpha$, et IL (Si on compare [Chiou, 13] et [Ercoli, 10-2] à [Uemichi 11]).

La contribution de notre travail se focalise sur la conception de structures à base de lignes couplées à ondes lentes. Cela nous conduit automatiquement vers l'utilisation d'un couplage de type *Edge* car il est impossible de réaliser des lignes couplées à ondes lentes de type *Broadside*. Cependant, l'utilisation de lignes couplées à ondes lentes contribue à la réduction de la taille du balun et remplace l'avantage du couplage *Broadside*.

Dans notre réalisation nous avons privilégié les paramètres $\Delta\phi$, $\Delta\alpha$ et IL , tout en maintenant une surface et une bande passante raisonnables. De plus, nous profitons d'un couplage total C élevé, réalisable avec les lignes couplées à ondes lentes, pour réaliser des rapports de transformation ITR faibles, de l'ordre de 0,5. Ce rapport de transformation d'impédance est difficile à atteindre avec des topologies standards telles que les lignes couplées microruban et coplanaires. Il faut remarquer que les papiers publiés sur les baluns millimétriques négligent cette caractéristique très importante dans la conception d'un balun, ce qui justifie pleinement l'étude que nous avons menée.

V.5 Conception d'un Marchand balun à base des lignes CS-CPW

Dans cette partie, nous allons développer une technique de synthèse de baluns millimétriques à base de lignes couplées de type CS-CPW (pour Coupled-Slow-Wave CPW). La méthodologie développée combine à la fois l'étude théorique utilisée pour la conception d'un Marchand balun (**Figure V-32**), les techniques de compensation d'équilibre de phase et d'amplitude présentées dans la littérature, ainsi qu'une configuration particulière de lignes couplées à ondes lentes appelée SC-CS-CPW (pour Side-Cut Coupled-Slow-Wave CPW). Le développement de cette méthodologie sera illustré à travers des exemples de conception en utilisant des calculs théoriques et des abaques de conception que nous avons mis au point spécialement pour cette technique de conception.

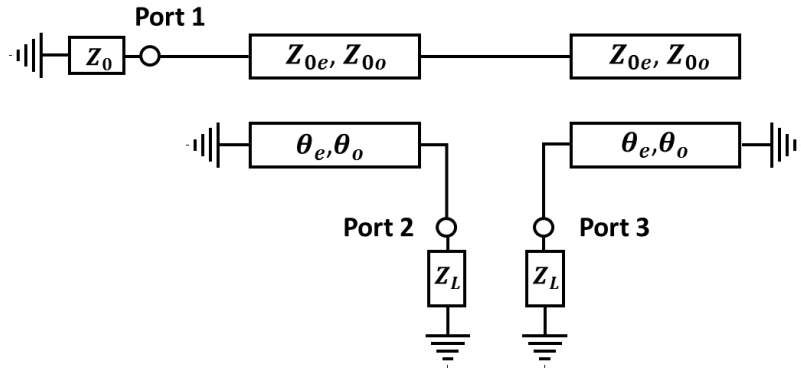


Figure V-32 Balun conventionnel de type Marchand balun

Dans le cas idéal, les lignes couplées qui constituent le Marchand balun doivent avoir la même vitesse de phase pour les modes pair et impair ($\theta_e = \theta_o = 90^\circ$). Dans ce cas, la matrice S d'un Marchand balun chargé par une charge Z_0 sur le port 1 et par une charge Z_L sur les ports 2 et 3, est donnée par [Kim, 09]:

$$[S]_{balun} = \begin{pmatrix} \frac{1 - C^2 \left(\frac{2Z_L}{Z_0} + 1 \right)}{1 + C^2 \left(\frac{2Z_L}{Z_0} - 1 \right)} & j \frac{2C \sqrt{1 - C^2} \sqrt{\frac{Z_L}{Z_0}}}{1 + C^2 \left(\frac{2Z_L}{Z_0} - 1 \right)} & -j \frac{2C \sqrt{1 - C^2} \sqrt{\frac{Z_L}{Z_0}}}{1 + C^2 \left(\frac{2Z_L}{Z_0} - 1 \right)} \\ j \frac{2C \sqrt{1 - C^2} \sqrt{\frac{Z_L}{Z_0}}}{1 + C^2 \left(\frac{2Z_L}{Z_0} - 1 \right)} & \frac{1 - C^2}{1 + C^2 \left(\frac{2Z_L}{Z_0} - 1 \right)} & \frac{2C^2 \frac{Z_L}{Z_0}}{1 + C^2 \left(\frac{2Z_L}{Z_0} - 1 \right)} \\ -j \frac{2C \sqrt{1 - C^2} \sqrt{\frac{Z_L}{Z_0}}}{1 + C^2 \left(\frac{2Z_L}{Z_0} - 1 \right)} & \frac{2C^2 \frac{Z_L}{Z_0}}{1 + C^2 \left(\frac{2Z_L}{Z_0} - 1 \right)} & \frac{1 - C^2}{1 + C^2 \left(\frac{2Z_L}{Z_0} - 1 \right)} \end{pmatrix}$$

Afin d'obtenir une division de puissance par deux et un déphasage de 180° entre les ports de sortie, la condition initiale appliquée sur la matrice $[S]_{balun}$ est la suivante :

$$|S_{21}| = |S_{31}| = \frac{1}{\sqrt{2}} \quad \text{Eq. V-8}$$

Cette condition permet d'obtenir l'équation du facteur de couplage C nécessaire en fonction du rapport de transformation d'impédance Z_L/Z_0 :

$$C = \frac{1}{\sqrt{\frac{2Z_L}{Z_0} + 1}} \quad \text{Eq. V-9}$$

Pour une impédance $Z_L = Z_0 = 50 \Omega$, le coefficient de couplage nécessaire pour obtenir $S_{21} = -S_{31} = \frac{1}{\sqrt{2}}$ est égal à $C = \frac{1}{\sqrt{3}}$, soit -4,77 dB. La solution de la matrice $[S]_{balun_{dB}}$ montre alors que ce balun idéal ne possède pas une adaptation parfaite sur ses ports de sortie.

$$[S]_{balun_{dB}} = \begin{pmatrix} -\infty & -3 & -3 \\ -3 & -6 & -6 \\ -3 & -6 & -6 \end{pmatrix} \quad \text{Eq. V-10}$$

Nous pouvons également constater que la solution optimale pour un Marchand balun ne peut pas être obtenue avec un coupleur 3 dB. En effet, l'utilisation d'un coupleur 3 dB induit une dégradation de paramètres de transmission S_{21} et S_{31} et de l'adaptation d'entrée S_{11} . La solution de la matrice $[S]_{balun}$ pour $C = \frac{1}{\sqrt{2}}$ est alors:

$$[S]_{balun_{dB}} = \begin{pmatrix} -9.5 & -3.5 & -3.5 \\ -3.5 & -9.5 & -3.5 \\ -3.5 & -3.5 & -9.5 \end{pmatrix} \quad \text{Eq. V-11}$$

Après avoir calculé le coefficient de couplage du balun, les impédances des modes pair et impair de la ligne couplée peuvent être calculées à partir des équations suivantes :

$$Z_o = Z_0 \sqrt{\frac{(1-C)}{(1+C)}} \quad \text{et} \quad Z_e = Z_0 \sqrt{\frac{(1+C)}{(1-C)}} \quad \text{Eq. V-12}$$

Les équations (**Eq. V-12**) ne sont valables que si les vitesses de phase des modes pair et impair sont égales (donc $K_C = K_L = C$). Pour $Z_0 = Z_L = 50 \Omega$, $C = \frac{1}{\sqrt{3}} = 0,577$, on obtient les valeurs suivantes pour Z_e et Z_o : $Z_e = 96,6 \Omega$ et $Z_o = 25,5 \Omega$.

Nous allons essayer, en nous basant sur cette étude, de concevoir un balun avec des lignes couplées de type CS-CPW en utilisant l'abaque $(Z_o, Z_e) = f\left(\frac{W_s}{h}, \frac{s}{h}\right)$ de la **Figure V-33** introduit dans le **chapitre I**. Les rubans de signal et de masse du CPW utilisent l'empilement M7M8, alors que les doigts flottants sont réalisés en métal M5, ce qui donne une hauteur $h = 2,1 \mu\text{m}$ entre les rubans et les doigts. Les paramètres géométriques (SS, SL, Wg, G) sont fixés à $SS = 0,16 \mu\text{m}$, $SL = 0,64 \mu\text{m}$, $Wg = 12 \mu\text{m}$, et $G = 25 \mu\text{m}$. L'espacement entre les rubans S et la largeur des rubans couplés W_s sont les deux variables de l'abaque. En utilisant l'abaque, nous pouvons identifier la zone colorée en vert qui correspond aux dimensions qui donnent les impédances caractéristiques requises

pour concevoir notre balun. En revanche, nous n'avons aucune idée sur la valeur des vitesses de phase qui doivent idéalement être égales pour assurer le bon fonctionnement du balun en termes de directivité. Pour extraire ces deux paramètres, nous allons utiliser un deuxième abaque qui trace l'évolution des paramètres K_C et K_L en fonction des dimensions de la ligne. Cet abaque est présenté sur la **Figure V-34**. La zone colorée en vert sur l'abaque $(K_C, K_L) = f\left(\frac{W_S}{h}, \frac{S}{h}\right)$ de la **Figure V-34** correspond à la zone (Z_e, Z_o) identifiée précédemment sur la **Figure V-33**.

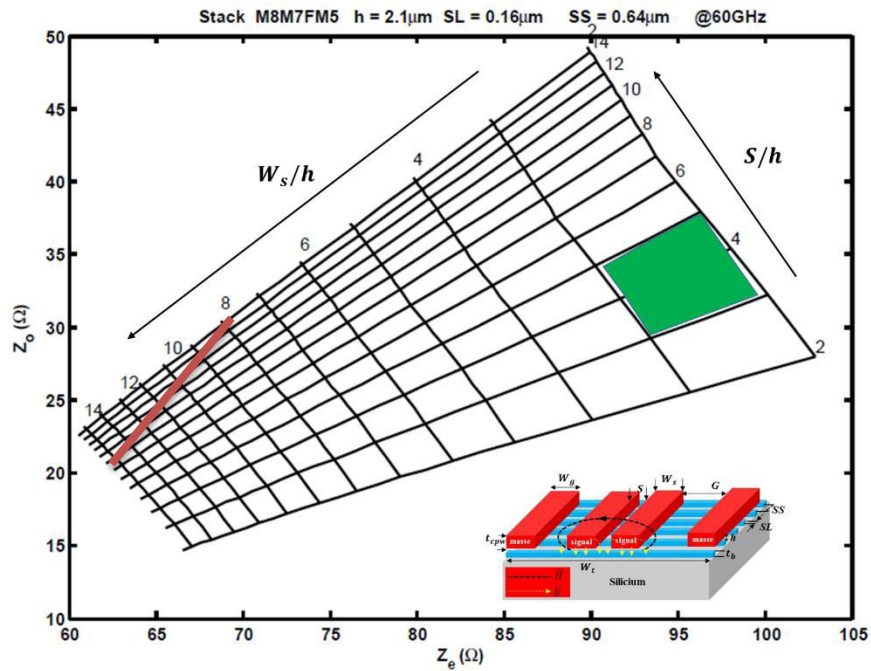


Figure V-33 Abaque $(Z_o, Z_e) = f\left(\frac{W_S}{h}, \frac{S}{h}\right)$ utilisé pour le choix et la conception de lignes couplées CS-CPW : $(G = 25 \mu\text{m}, W_g = 12 \mu\text{m}, h = 2,1 \mu\text{m}, SL = 0,16 \mu\text{m}, SS = 0,64 \mu\text{m})$.

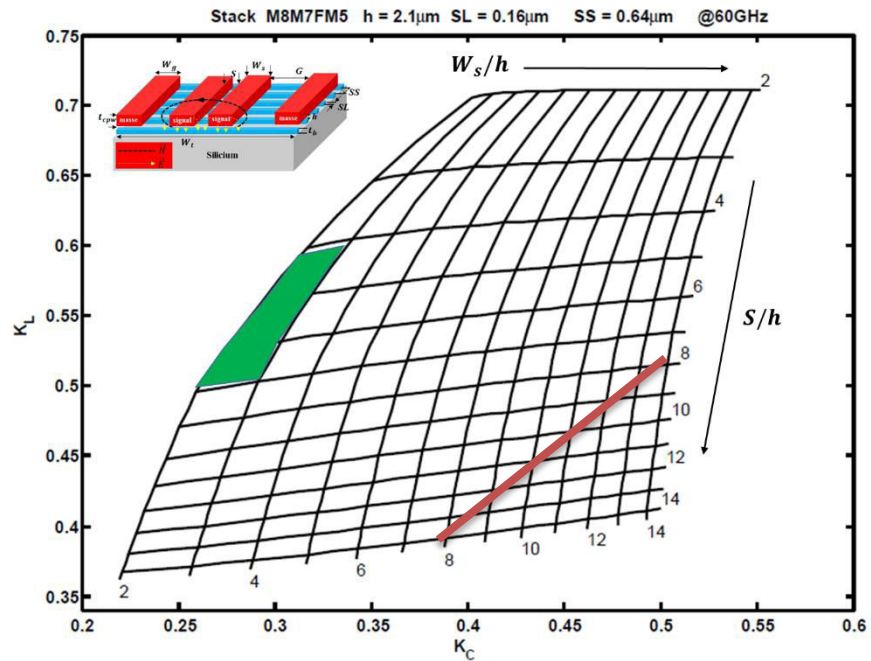


Figure V-34 Abaque $(K_C, K_L) = f\left(\frac{W_S}{h}, \frac{S}{h}\right)$ utilisé pour le choix et la conception de lignes couplées CS-CPW : $(G = 25 \mu\text{m}, W_g = 12 \mu\text{m}, h = 2,1 \mu\text{m}, SL = 0,16 \mu\text{m}, SS = 0,64 \mu\text{m})$.

Nous remarquons que les valeurs de K_L et K_C qui correspondent aux bonnes valeurs de Z_e et Z_o ne peuvent pas satisfaire les conditions citées précédemment ($K_C = K_L = C = 0,577$). Ainsi, pour les lignes satisfaisant la condition $K_C = K_L = C$ (ligne rouge sur la **Figure V-34**), la valeur de couplage est comprise entre 0,35 et 0,5. Cela veut dire, d'après l'équation (**Eq. V-9**), que le rapport de transformation réalisable avec ces lignes est compris entre 1,5 (pour $C = 0,5$) et 2,9 (pour $C = 0,38$). Cet exemple pose le problème de la conception des lignes couplées, tout en montrant l'utilité des abaques développés.

Les équations théoriques qui recommandent l'utilisation d'une ligne couplée ayant des vitesses de phase de mode pair et impair identiques (i.e. ayant des couplages électrique et magnétique identiques), ne prennent pas en compte l'implémentation physique du balun. En effet, dans son implémentation physique (layout), un balun possède plusieurs imperfections liées notamment à la ligne intermédiaire L_C reliant les deux coupleurs et les lignes d'accès en entrée L_{in} et en sortie L_s (Figure V-35).

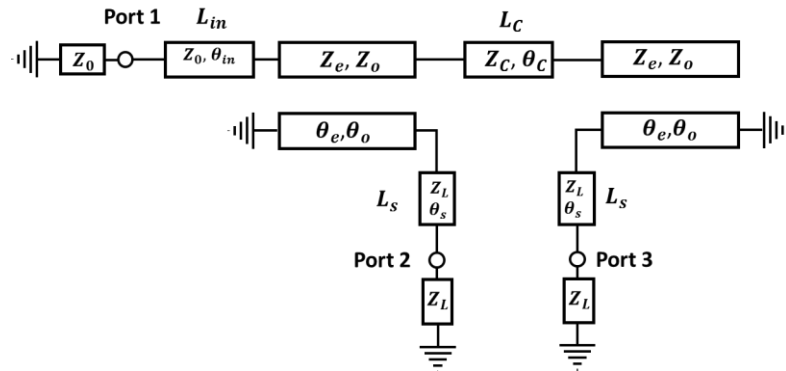


Figure V-35 Illustration des imperfections dans un Marchand balun réel

Les lignes d'accès L_{in} et L_s doivent avoir une impédance caractéristique égale respectivement à l'impédance de source Z_0 et à l'impédance de charge Z_L . Cela permet de garantir que les impédances ramenées à l'entrée et à la sortie du balun ne sont pas perturbées par la présence de ces lignes d'accès. En pratique, ces lignes dégradent les pertes d'insertion du balun et peuvent éventuellement limiter la bande passante du balun puisque l'impédance caractéristique des lignes de transmission (utilisées comme ligne d'accès) varie avec la fréquence. Cette problématique ne sera pas prise en compte dans la méthodologie de conception développée dans ce chapitre. En partant de cette hypothèse, le schéma du Marchand balun est montré sur la **Figure V-36**.

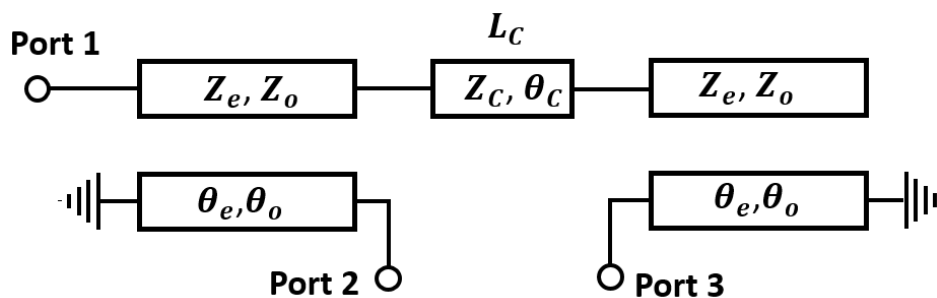


Figure V-36 Schéma simplifié du Marchand balun avec une ligne de compensation

La ligne intermédiaire L_C étant indispensable pour connecter les deux coupleurs, avec un espacement raisonnable pour permettre de réaliser les accès des ports 2 et 3, ne peut pas être éliminée et elle impliquera la dégradation de performances du balun (quand la ligne couplée utilisée a $K_C = K_L$). Pour comprendre cette problématique, nous avons évalué l'impact de la présence de la ligne L_C sur les performances du balun idéal conçu en utilisant des lignes couplées idéales réalisant $K_C = K_L = C = \frac{1}{\sqrt{3}} = 0,577$, $Z_e = 96,6 \Omega$ et $Z_o = 25,5 \Omega$.

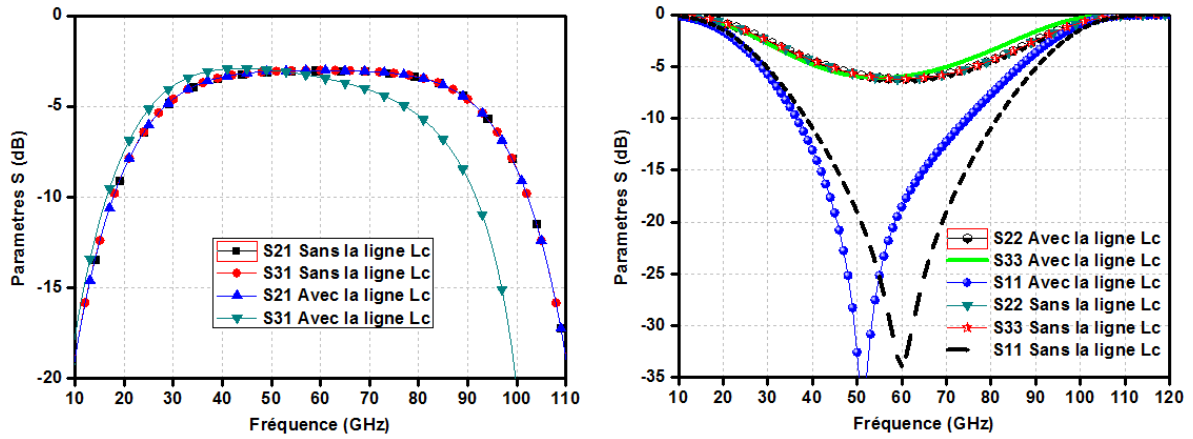


Figure V-37 Impact de la ligne L_C sur les paramètres S du balun.

La **Figure V-37** montre une comparaison entre les performances du balun idéal simulé en absence de la ligne L_C et celles qui sont obtenues en considérant une ligne L_C ayant les caractéristiques suivantes : $Z_C = 50 \Omega$, $\theta_C = 15^\circ$, correspondant à une ligne de longueur physique d'environ $100 \mu\text{m}$ pour une permittivité effective relative $\epsilon_{\text{reff}} = 4,5$ à une fréquence 60 GHz. Cette longueur et cette permittivité sont tout à fait compatibles avec celles obtenues en technologies silicium utilisées pour les applications millimétrique. Nous pouvons remarquer que l'ajout de cette ligne implique une dégradation de l'adaptation en entrée et en sortie, autour de la fréquence centrale, ainsi qu'une dégradation des paramètres de transmission S_{21} et S_{31} . Cela se traduit par une dégradation de l'équilibre de phase et d'amplitude entre les deux sorties sur une large gamme de fréquences (**Figure V-38**).

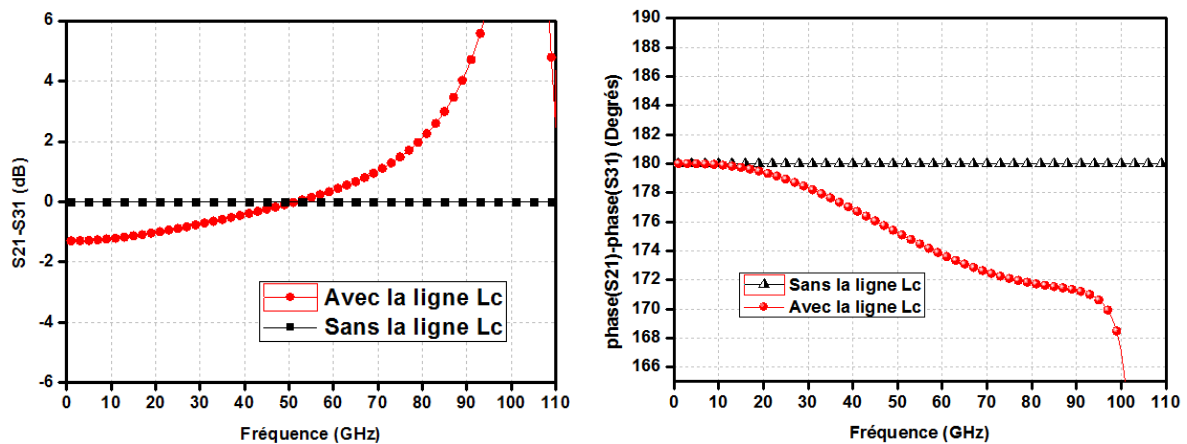


Figure V-38 Impact de la ligne L_C sur l'équilibre d'amplitude et de phase balun.

Cette analyse nous amène à conclure que la réalisation d'un Marchand balun ne peut pas être menée en utilisant des lignes couplées ayant la même vitesse de phase pour les deux modes. En d'autres termes, pour concevoir un balun équilibré il faut partir d'une ligne couplée imparfaite ($K_L \neq K_C$, $\theta_o \neq \theta_e$) et utiliser la ligne intermédiaire pour compenser les imperfections de la ligne couplée. Cette remarque, imposée par l'implémentation physique de balun, a été à la base de l'idée qui consiste à utiliser la ligne intermédiaire comme une ligne de compensation [Tsai, 13].

Le travail mené par [Tsai, 13] utilise une technique de synthèse basée sur l'utilisation d'une matrice 4-ports intégrant le coupleur et la ligne de compensation L_C . L'analyse des circuits équivalents en modes pair et impair (**Figure V-39**), permet de montrer que la condition d'équilibre de phase et d'amplitude du balun peut être atteinte lorsque la puissance du mode pair transmise du port 1 vers le port 2 est nulle. Cela est équivalent à dire, d'après l'analyse du circuit de la **Figure V-39 (a)**, que le paramètre Y_{21}^e (**Eq. V-13**) doit être nul [Tsai, 13].

$$Y_{21}^e = \frac{Y_e Y_o (\cot \theta_e \csc \theta_o - \cot \theta_o \csc \theta_e) - Y_c \tan \frac{\theta_c}{2} (Y_e \csc \theta_o - Y_o \csc \theta_e)}{2 Y_c \tan \frac{\theta_c}{2} (Y_o \cot \theta_o + Y_e \cot \theta_e)} \quad \text{Eq. V-13}$$

La dérivation des différentes équations et la démonstration de ces conditions sont détaillées dans [Tsai, 13].

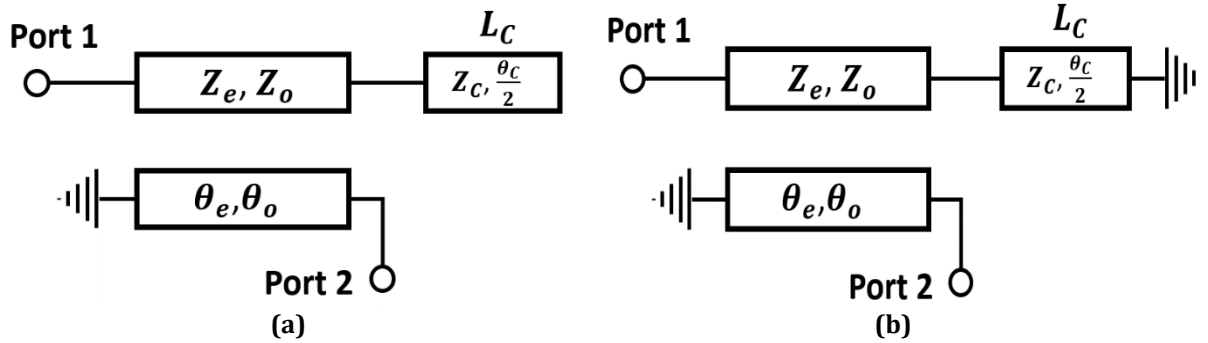


Figure V-39 (a) circuit équivalent en mode pair, (b) circuit équivalent en mode impair.

La condition $Y_{21}^e = 0$ implique la condition représentée par l'équation (**Eq. V-14**) [Tsai, 13] :

$$Y_c \tan \frac{\theta_c}{2} = \frac{Y_e Y_o (\cot \theta_e \csc \theta_o - \cot \theta_o \csc \theta_e)}{(Y_o \csc \theta_o - Y_e \csc \theta_e)} \quad \text{Eq. V-14}$$

Cette équation montre que pour chaque combinaison $(\theta_e, \theta_o, Y_e, Y_o)$, il existe un nombre fini de solutions pour satisfaire cette équation. Le membre à droite de l'équation inclut les paramètres caractéristiques de la ligne couplée utilisée, tandis que le membre à gauche inclut les paramètres caractéristiques de la ligne de compensation L_C à utiliser pour compenser la différence entre les paramètres θ_e et θ_o de la ligne couplée. Le cas $\theta_e = \theta_o$ correspond à $Y_c \tan(\theta_c/2) = 0$. Ceci ne répond pas à l'implémentation réalisable du balun.

L'impédance caractéristique de la ligne de compensation est fixée à 50Ω . La région verte sur la **Figure V-40** représente l'ensemble de lignes couplées qui peuvent être réalisées avec une longueur électrique non nulle. Nous pouvons remarquer que les lignes qui forment la région verte sur la **Figure V-40** correspondent sur la **Figure V-34** à un facteur de couplage électrique $K_C \geq K_L$. La gamme de rapports de transformation d'impédance réalisables avec cette ligne est donc limitée entre 1,5 et 2,9 (comme mentionné précédemment).

Afin de permettre la réalisation des baluns optimisés ayant des rapports de transformation d'impédance ITR, nous avons exploré une topologie particulière de ligne couplée CS-SCPW. En effet, l'étude menée par [Lugo, 14] sur les coupleurs de type CS-CPW montre que la réalisation de coupures dans les barreaux flottants permet de changer le coefficient de couplage électrique K_C sans affecter le couplage magnétique. Deux variantes ont été proposées par [Lugo, 14] : la première consiste à couper les barreaux flottants en leur milieu entre les deux lignes signal, appelée CC-CS-CPW (pour Center-Cut Coupled-Slow-Wave CPW), cette configuration diminue le facteur de couplage K_C (**Figure V-41-a**). La deuxième variante consiste à couper les barreaux flottants au milieu du gap séparant chaque ruban signal de la masse, appelée SC-CS-CPW (pour Side-Cut Coupled-Slow-Wave CPW). Cette configuration quant à elle augmente le coefficient de couplage K_C (**Figure V-41-b**).

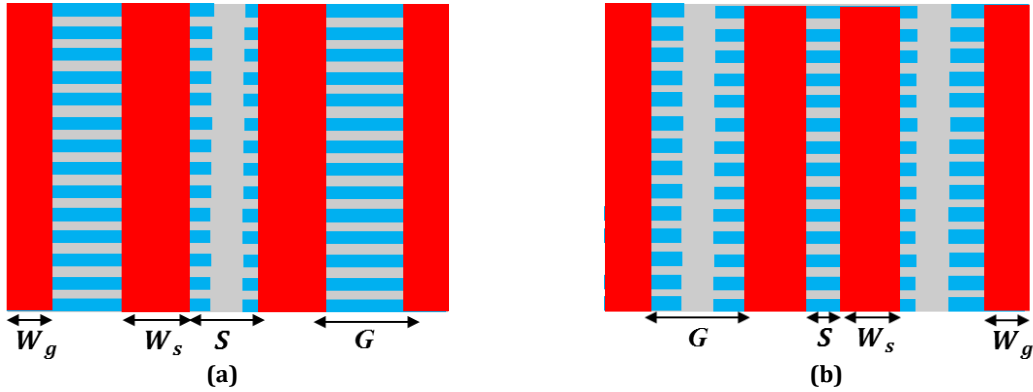


Figure V-41 Variantes de ligne couplée CS-CPW : (a) coupure au milieu de doigts CC-CS-CPW, (b) coupure à côté SC-CS-CPW.

Pour notre application, nous avons besoin d'augmenter K_C afin d'avoir une zone $K_C > K_L$ plus importante et donc de pouvoir réaliser des baluns avec des rapports de transformation plus étendus. Nous allons donc nous intéresser seulement aux lignes de type SC-CS-CPW. Le circuit équivalent pour une ligne couplée de ce type est donné sur la **Figure V-42**.

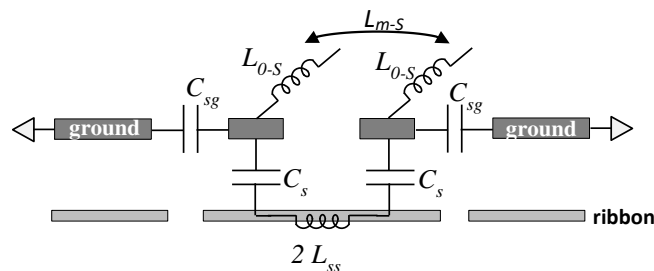


Figure V-42 Circuit électrique équivalent de la ligne SC-CS-CPW avec barreaux flottants coupés entre le ruban et la masse.

L'ordre de grandeur des coupures dans les barreaux est de 2 μm . Cette distance est suffisante pour avoir un couplage capacitif faible, mais pas nul, entre les sections de doigts situées sous les rubans signal et ceux situés sous les rubans de masse. Dans ce cas, la capacité latérale C_{sg} entre les rubans signal et les rubans de masse représente le seul chemin de retour vers la masse globale de la ligne (la **Figure V-43 (a)** et **V-43 (b)**). Notant que si la largeur de coupures est importante (i.e. couplage nul entre les doigts coupés), la ligne risque d'avoir des pertes élevées.

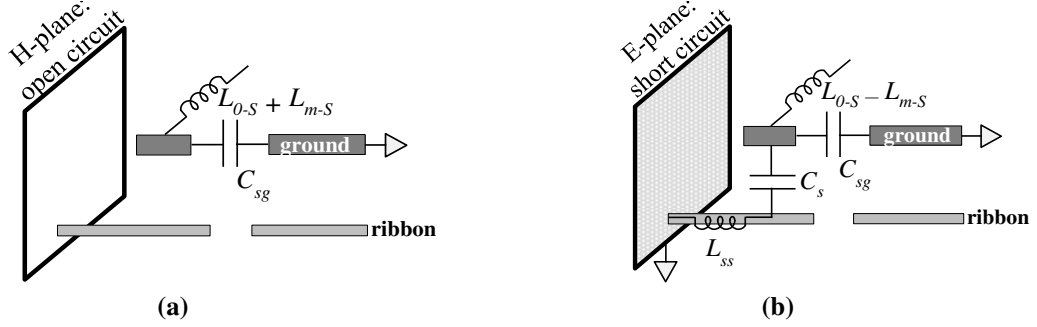


Figure V-43 Circuit électrique équivalent de la ligne SC-CS-CPW : a) représentation en mode pair, b) représentation en mode impair.

A partir des schémas électriques de la **Figure V-43 (a)** et **V-43 (b)**, les capacités prises en compte dans le mode pair et le mode impair, sont données respectivement par les relations :

$$C^e = C_{sg} \quad \text{Eq. V-19}$$

$$C^o = C_{sg} + \frac{C_s}{1 - (\omega/\omega_{ss})^2} \text{ with } \omega_{ss} = \frac{1}{\sqrt{L_{ss}C_s}} \quad \text{Eq. V-20}$$

La nouvelle équation de k_C devient alors :

$$k_C = \frac{C^e - C^o}{C^e + C^o} = \frac{-C_s}{2C_{sg} \cdot [1 - (\omega/\omega_{ss})^2] + C_s} \text{ with } \omega_{ss} = \frac{1}{\sqrt{L_{ss}C_s}} \quad \text{Eq. V-21}$$

L'équation (**Eq. V-21**) montre que le coefficient de couplage électrique $|k_C|$ tend vers des valeurs supérieures à celles qui sont obtenues sans coupure de barreaux flottants. Pour une ligne couplée avec un ruban signal large ($C_s \gg C_{sg}$), la valeur de k_C tend vers 1. D'autre part, le coefficient de couplage magnétique k_L est quasiment le même que dans le cas de lignes couplées CS-CPW puisque le champ magnétique n'interagit pas (ou de manière négligeable) avec les doigts flottants.

La **Figure V-44** montre l'abaque de K_C et K_L pour une ligne couplée de type SC-CS-CPW. Nous remarquons que le facteur de couplage K_C atteint une gamme de valeurs comprises entre 0,5 et 0,75 (un facteur deux fois supérieur par rapport à la ligne couplée CS-CPW d'origine ($0,27 < K_C < 0,33$)). Ces valeurs sont atteintes grâce à la réduction de la capacité du mode pair, le coefficient de couplage magnétique k_L étant quasiment le même que dans le cas de la ligne d'origine CS-CPW. Cela permet dans le cas de la ligne SC-CS-CPW de couvrir une région $K_C > K_L$ beaucoup plus importante que dans le cas de la ligne CS-CPW.

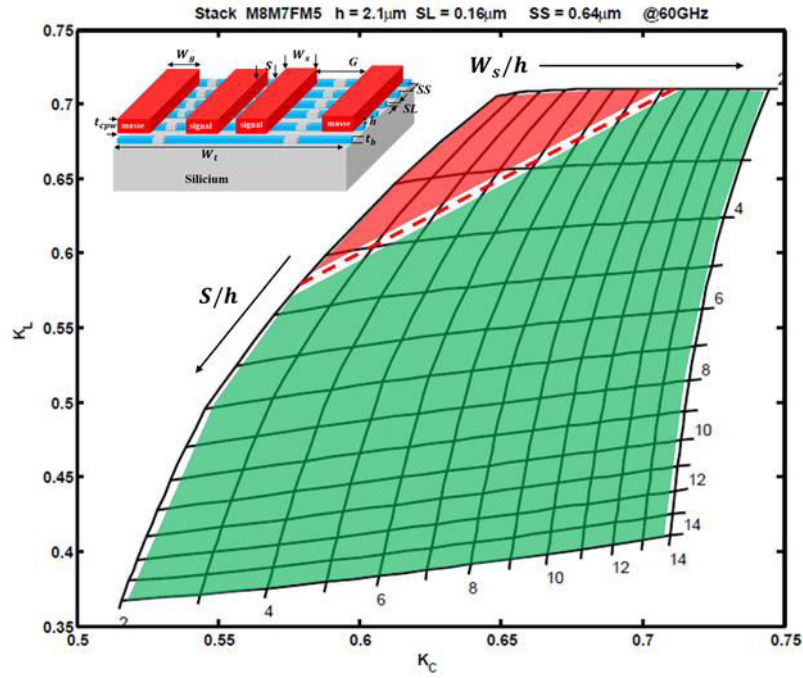


Figure V-44 Abaque $(K_C, K_L) = f(\frac{W_s}{h}, \frac{S}{h})$ utilisé pour le choix et la conception de lignes couplées SC-CS-CPW : ($G = 25 \mu\text{m}$, $W_g = 12 \mu\text{m}$, $h = 2,1 \mu\text{m}$, $SL = 0,4 \mu\text{m}$, $SS = 0,5 \mu\text{m}$).

En ce qui concerne les impédances caractéristiques des modes pair (Z_e) et impair (Z_o), nous remarquons que le découplage entre les deux modes permet, pour une dimension donnée, d'augmenter la valeur de l'impédance du mode pair tout en gardant quasiment la même valeur pour l'impédance du mode impair (**Figure V-45**). En d'autres termes, le rapport Z_e/Z_o est augmenté dans le cas de la ligne SC-CS-CPW. Ces abaques sont également très utiles pour la conception de filtres à ligne couplées, où la réponse du filtre est déterminée par le rapport Z_e/Z_o [Lugo, 15].

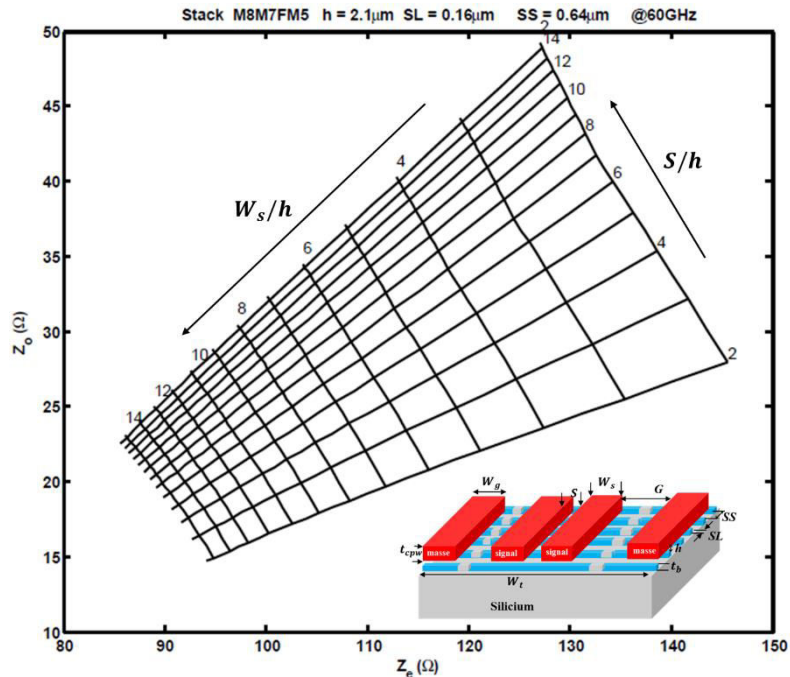


Figure V-45 Abaque $(Z_o, Z_e) = f(\frac{W_s}{h}, \frac{S}{h})$ utilisé pour le choix et la conception de lignes couplées SC-CS-CPW : ($G = 25 \mu\text{m}$, $W_g = 12 \mu\text{m}$, $h = 2,1 \mu\text{m}$, $SL = 0,4 \mu\text{m}$, $SS = 0,5 \mu\text{m}$).

En suivant les mêmes étapes utilisées précédemment avec les lignes CS-CPW, nous avons tracé un abaque $(\theta_C, \frac{Z_L}{Z_0}) = f(\frac{W_S}{h}, \frac{S}{h}, Z_C)$ utilisable pour la conception de baluns à base de lignes SC-CS-CPW. La **Figure V-46** montre cet abaque construit en fixant l'impédance caractéristique Z_C de la ligne de compensation L_C à 50 Ω .

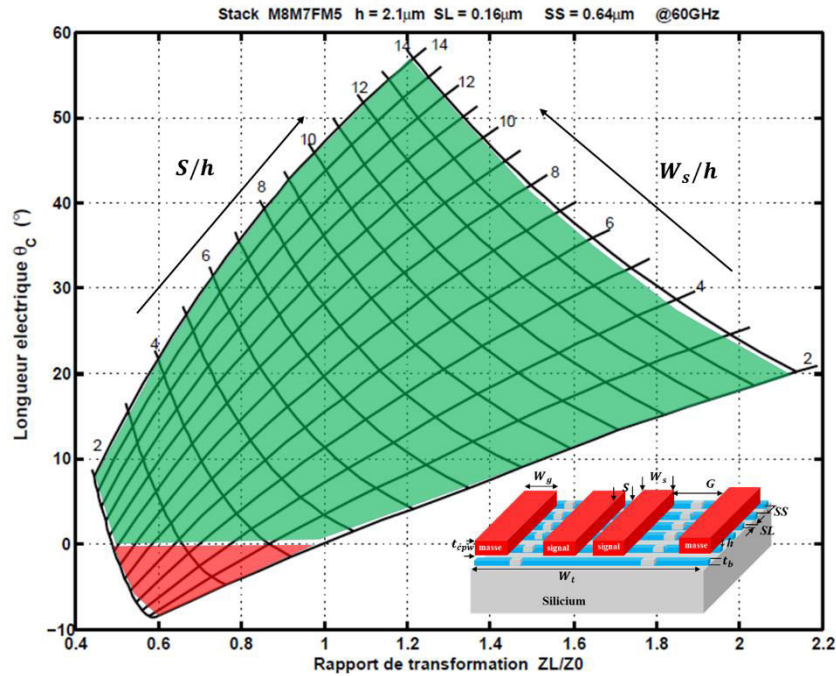


Figure V-46 ABAQUE $(\theta_C, \frac{Z_L}{Z_0}) = f(\frac{W_S}{h}, \frac{S}{h}, Z_C = 50)$, utilisé pour la conception de baluns à base de lignes SC-CS-CPW: ($G = 25 \mu\text{m}$, $W_g = 12 \mu\text{m}$, $h = 2,1 \mu\text{m}$, $SL = 0,16 \mu\text{m}$, $SS = 0,64 \mu\text{m}$).

Nous pouvons remarquer sur la **Figure V-46** que la région colorée en vert qui représente l'ensemble de lignes couplées qui peuvent être réalisées avec une longueur électrique non nulle, est beaucoup plus importante que dans le cas de la ligne CS-CPW. Nous pouvons également remarquer que la gamme de rapports de transformation d'impédance, comprise entre 0,42 et 2,2, est plus large que celle de baluns à base de ligne CS-CPW (compris entre 1,5 et 2,9). En outre nous allons montrer dans le paragraphe suivant que cette gamme peut être augmentée en diminuant le gap G entre le ruban signal et le ruban de masse.

Cette étude nous a permis de développer une technique de synthèse, robuste et précise, de Marchand baluns à base de lignes SC-CS-CPW. L'organigramme de la **Figure V-47** résume les différentes étapes de la technique développée. Cette technique de conception par abaques a été utilisée pour développer des balun intégrés en vue de leur fabrication, qui fait l'objet des paragraphes suivants. Dans cet objectif, d'autres abaques ont été développés et utilisés lors de la conception des baluns afin d'en estimer la surface.

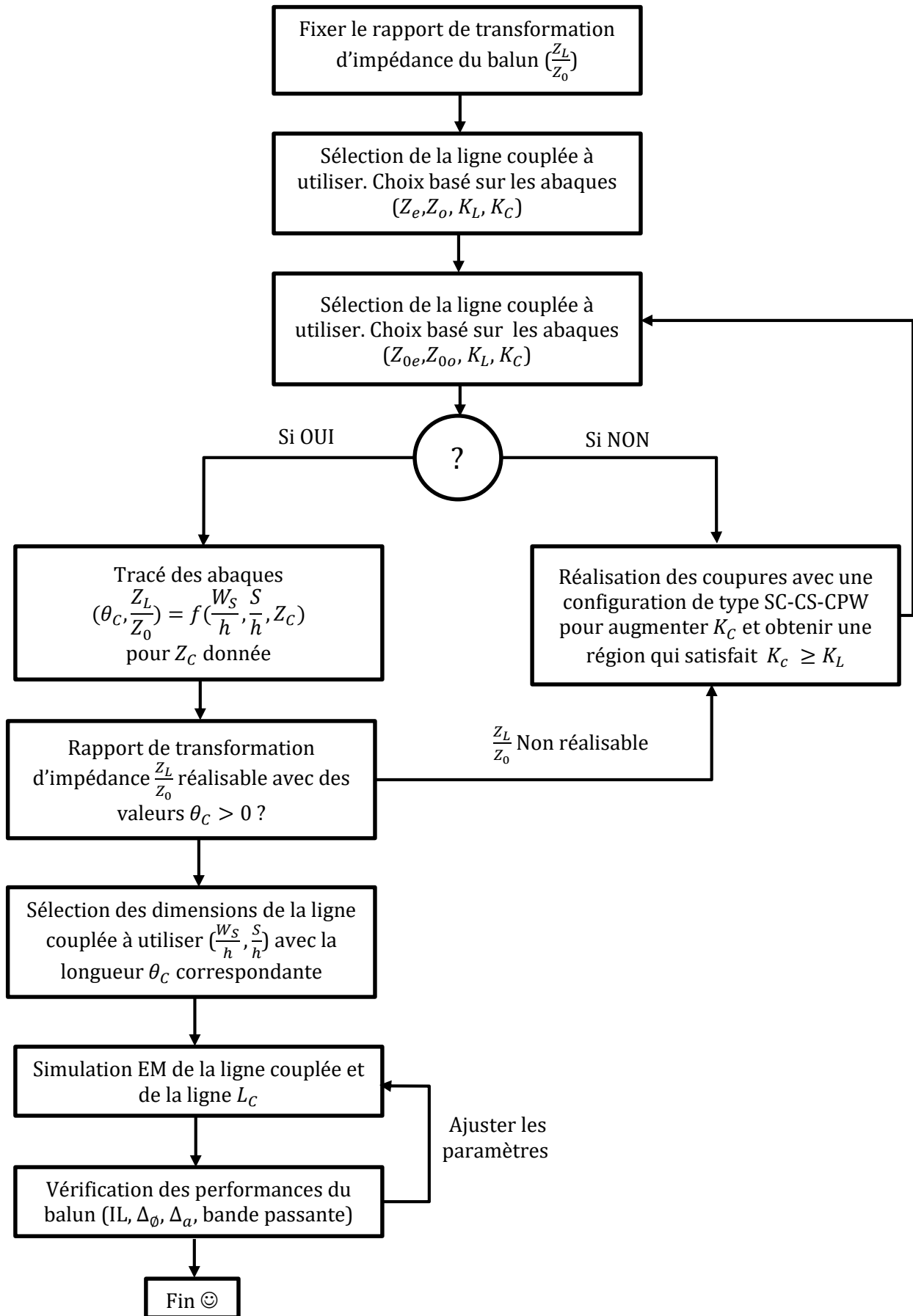


Figure V-47 Organigramme des différentes étapes de la technique de synthèse du balun à base de ligne CS-CPW/SC-CS-CPW.

V.6 Conception de quatre Marchand balun en bande millimétrique en technologie B55

Grace à la technique de synthèse présentée dans le paragraphe précédent, quatre balun basés sur l'utilisation de lignes couplées de type SC-CS-CPW ont été conçus en vue de leur fabrication. Les baluns visent deux bandes de fréquence importantes : la bande *E* entre 71 GHz et 86 GHz et la bande *F* située entre 90 GHz à 110 GHz. La bande autour de 110 GHz est importante particulièrement pour les applications de doubleurs de fréquence qui visent à atteindre la bande *G* (entre 140 GHz et 220 GHz). En termes de rapport de transformation d'impédance ITR, nous avons visé deux rapports différents : un rapport autour de 0,5 permettant de ramener une impédance faible (25 Ω) lorsque le balun est utilisé en sortie d'un amplificateur de puissance, et un rapport de 1,5 permettant de ramener une impédance plus élevée (autour de 70 Ω) lorsque le balun est utilisé en entrée d'un amplificateur de puissance ou un doubleur de fréquence par exemple. La nomenclature utilisée pour les baluns est la suivante : **BAL-XX-Z-YY-F** où **XX** représente l'impédance de charge optimale de mode commun Z_L en sortie du balun (en Ω), et **YY** représente la fréquence centrale de fonctionnement du balun en GHz. Par exemple, **BAL25Z80F** signifie que le balun a une bande passante située autour de 80 GHz et qu'il nécessite une impédance de charge optimale de mode commun en sortie $Z_L=25 \Omega$.

Le **Tableau V-1** montre les paramètres caractéristiques des quatre baluns conçus ainsi que les paramètres des lignes utilisées. Ces paramètres sont affichés graphiquement sur les abaques de conception $(\theta_c, \frac{Z_L}{Z_0}) = f(\frac{W_s}{h}, \frac{S}{h}, Z_c)$ présentés sur les **Figure V-48**, **Figure V-50**, et **Figure V-49**. Les paramètres $SS = 0,64 \mu\text{m}$, $SL = 0,16 \mu\text{m}$, $W_g = 12 \mu\text{m}$ sont les mêmes pour toutes les lignes utilisées. Ainsi, les rubans du signal et de la masse utilisent l'empilement M7M8, tandis que les doigts flottants sont réalisés en métal M5, ce qui donne une hauteur $h = 2,1 \mu\text{m}$ entre les rubans et les doigts. Les coupures dans les doigts sont toujours fixées à $2 \mu\text{m}$.

Tableau V-1 Paramètres des baluns conçus à base des lignes couplées à ondes lentes.

	Z_L/Z_0	S (μm)	G (μm)	W_s (μm)	f_0 (GHz)	θ_c et Z_c $^\circ/\Omega$	Type de ligne
BAL25Z80F	0,5	5	25	25	80	1 3/35	SC-CS-CPW
BAL70Z80F	1,4	15	15	15	80	27 /35	SC-CS-CPW
BAL70Z100F	1,4	15	15	15	100	27 /35	SC-CS-CPW
BAL30Z100F	0,6	5	10	20	100	23/35	SC-CS-CPW

Nous pouvons remarquer sur les rapports de transformation d'impédance ITR réalisables avec les différentes lignes sélectionnées sont très variés. L'abaque de la **Figure V-48** correspondant à une ligne ayant une distance G (distance entre le ruban signal et le ruban masse) de $25 \mu\text{m}$, permet de réaliser des rapports de transformation d'impédance entre 0,5 et 2,2 avec des longueurs électriques θ_c raisonnables qui permettent de ne pas augmenter la surface totale du balun.

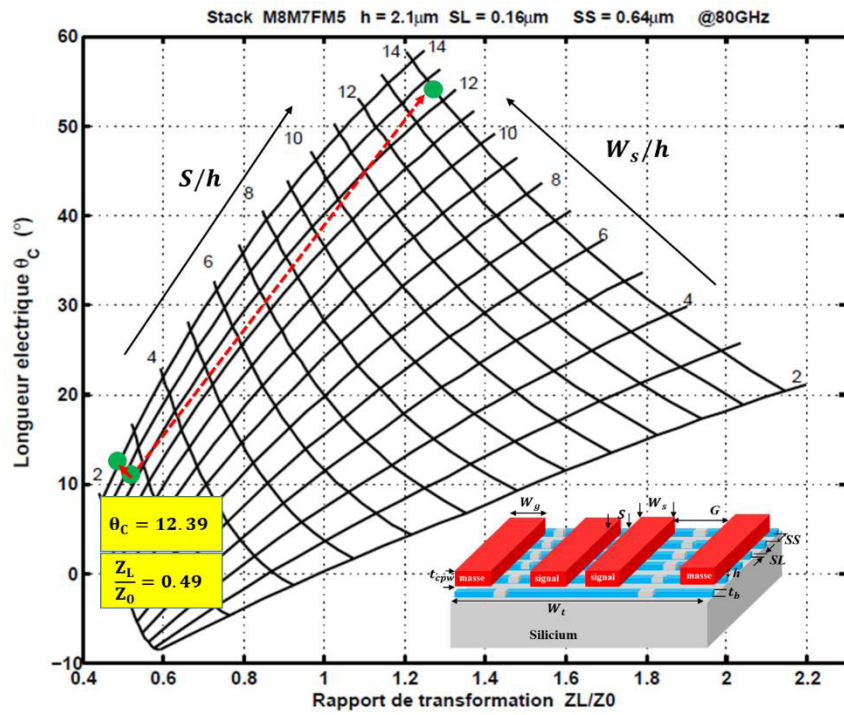


Figure V-48 Abaque $(\theta_c, \frac{Z_L}{Z_0}) = f(\frac{W_s}{h}, \frac{S}{h}, Z_C = 50)$, utilisé pour la conception de baluns à base de lignes SC-CS-CPW: ($G = 25 \mu\text{m}$, $W_g = 12 \mu\text{m}$, $h = 2,1 \mu\text{m}$, $SL = 0,16 \mu\text{m}$, $SS = 0,64 \mu\text{m}$).

Ensuite, les lignes de la **Figure V-49** et la **Figure V-50** ayant une distance $G = 15 \mu\text{m}$ et $G=10 \mu\text{m}$, respectivement, permettent de réaliser des IRT entre 0,5 et 7.

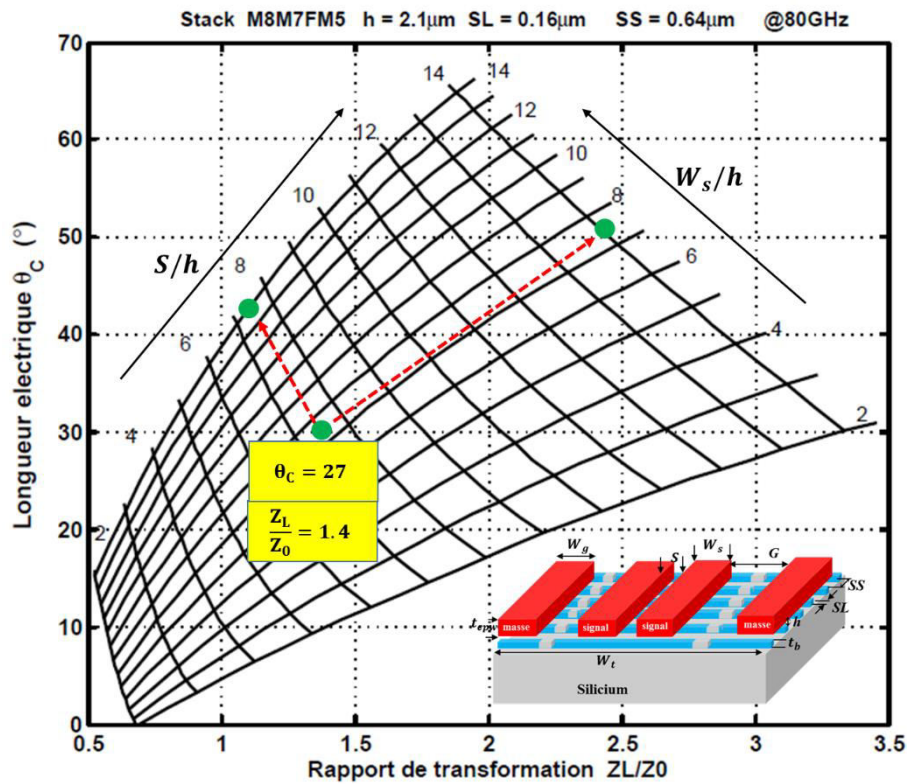


Figure V-49 Abaque $(\theta_c, \frac{Z_L}{Z_0}) = f(\frac{W_s}{h}, \frac{S}{h}, Z_C = 35)$, utilisé pour la conception de baluns à base de lignes SC-CS-CPW: ($G=15 \mu\text{m}$, $W_g=12 \mu\text{m}$, $h=2,1 \mu\text{m}$, $SL= 0,16 \mu\text{m}$, $SS = 0,64 \mu\text{m}$).

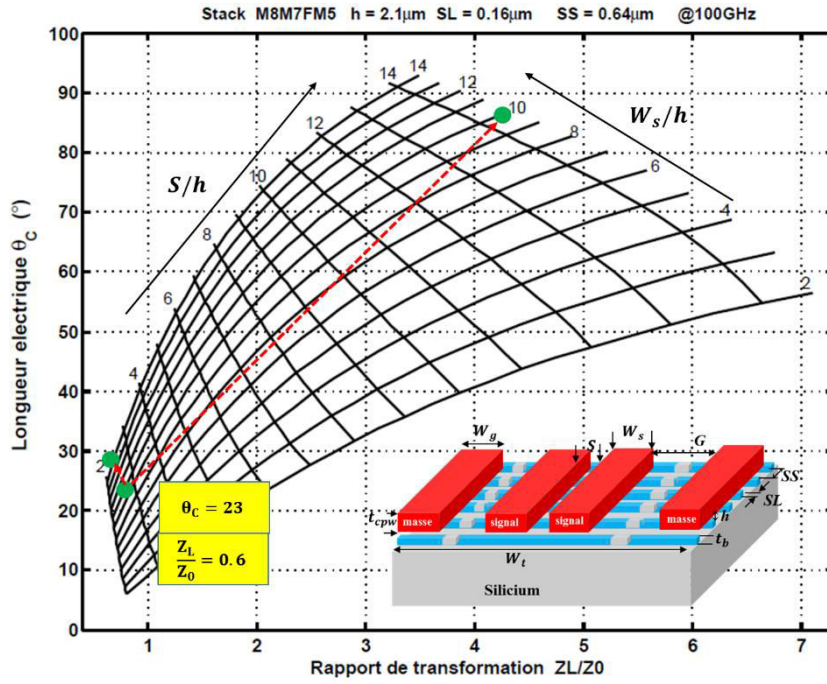


Figure V-50 Abaque $(\theta_c, \frac{Z_L}{Z_0}) = f(\frac{W_s}{h}, \frac{S}{h}, Z_c = 35)$, utilisé pour la conception de baluns à base de lignes SC-CS-CPW: ($G = 10 \mu\text{m}$, $W_g = 12 \mu\text{m}$, $h = 2,1 \mu\text{m}$, $SL = 0,16 \mu\text{m}$, $SS = 0.64 \mu\text{m}$).

Le fait de pouvoir atteindre des rapports de transformation très élevés est lié à la différence de valeur entre les facteurs de couplage K_L et K_C (Tableau V-2).

Tableau V-2 Intervalles des facteurs K_L et K_C pour différentes valeurs de G .

Paramètres	$G = 10 \mu\text{m}$	$G = 15 \mu\text{m}$	$G = 25 \mu\text{m}$
K_L	0,15 à 0,62	0,25 à 0,64	0,35 à 0,7
K_C	0,51 à 0,74	0,51 à 0,74	0,52 à 0,74
Gamme ITR	0,5 à 7	0,5 à 3,5	0,4 à 2,2

V.2.1 Performances simulées des baluns conçus

Cette section traite la comparaison des performances simulées de quatre baluns réalisés en technologie BiCMOS 55 nm utilisant des lignes couplées SC-CS-CPW. Les résultats de simulation du premier balun BAL25Z80F sont présentés sur les Figure V-51 et Figure V-52.

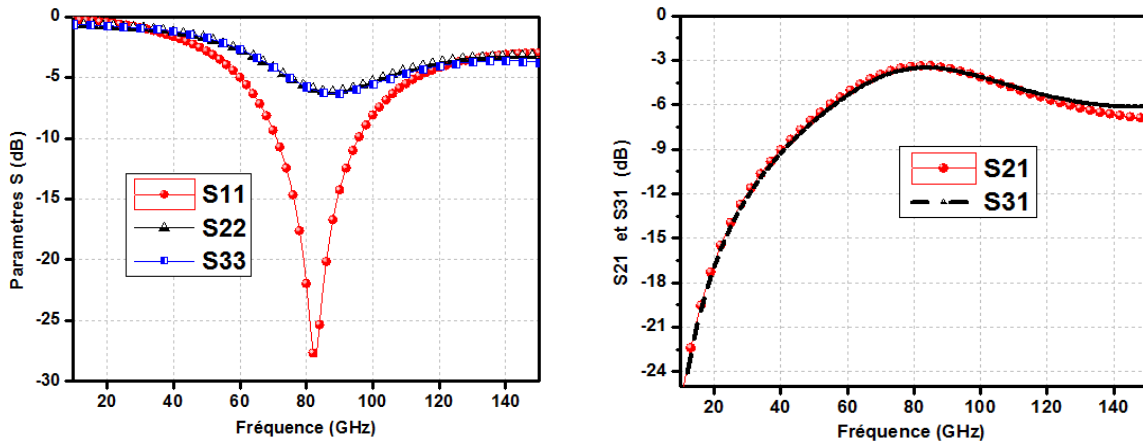


Figure V-51 (gauche) Coefficients d'adaptation en entrée et en sortie du balun BAL25Z80F, (droite) paramètres de transmission S_{21} et S_{31} du balun BAL25Z80F.

Comme prévu, le balun est parfaitement adapté autour de sa fréquence centrale (81 GHz) avec un S_{11} de -27 dB, tandis que l'adaptation en sortie est d'environ -6 dB autour de la même fréquence (**Figure V-51**). Les pertes d'insertion sont d'environ -0,3 dB autour de 80 GHz. La bande passante du balun (40 GHz à 100 GHz) est limitée par les erreurs de phase et d'amplitude que l'on a fixées respectivement à 2° et 0,2 dB (**Figure V-52**). Enfin, la **Figure V-52** montre que le rapport de transformation d'impédance autour de la fréquence centrale est de 0,5, pour une impédance différentielle vue en sortie du balun d'environ 24 Ω .

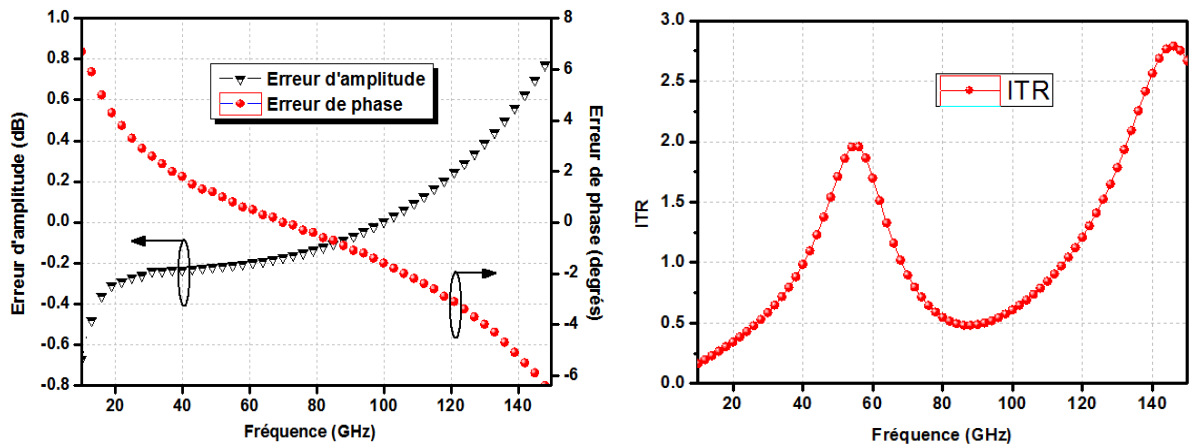


Figure V-52 (gauche) Erreur de phase et d'amplitude du balun BAL25Z80F, (droite) rapport de transformation d'impédance réalisé par le balun BAL25Z80F.

De même les résultats de simulation du balun BAL30Z100F sont présentés sur les **Figure V-53** et **Figure V-54**. Des résultats proches de ceux du balun précédent sont obtenus en termes d'adaptation d'entrée et de sortie (**Figure V-53**). En revanche, la fréquence centrale de ce balun se situe autour de 102 GHz. Les pertes d'insertion sont d'environ -3,3 dB. La bande passante (selon les critères fixés précédemment) est comprise entre 60 GHz et 130 GHz (**Figure V-54**). Enfin, le rapport de transformation d'impédance autour de la fréquence centrale est de 0,6, avec une impédance différentielle vue en sortie du balun d'environ 30 Ω .

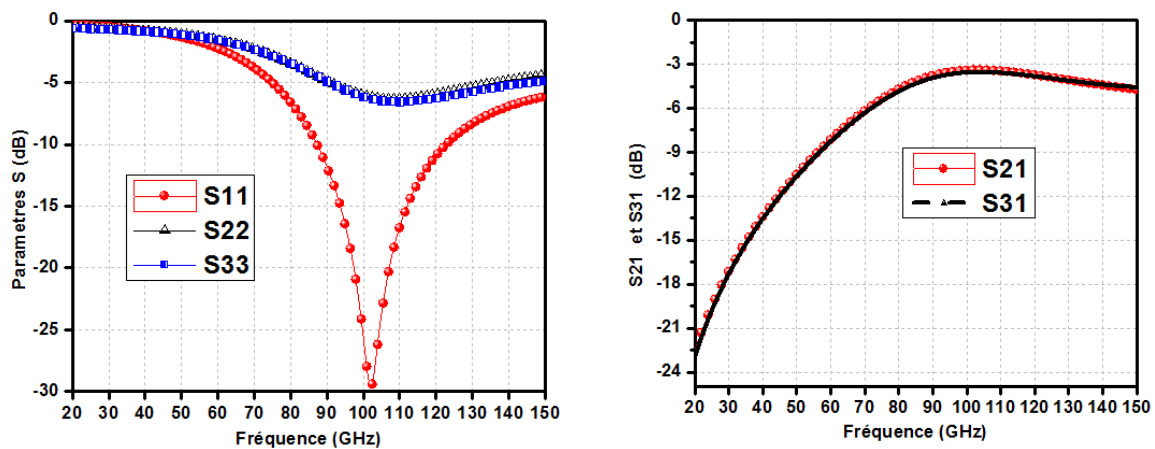
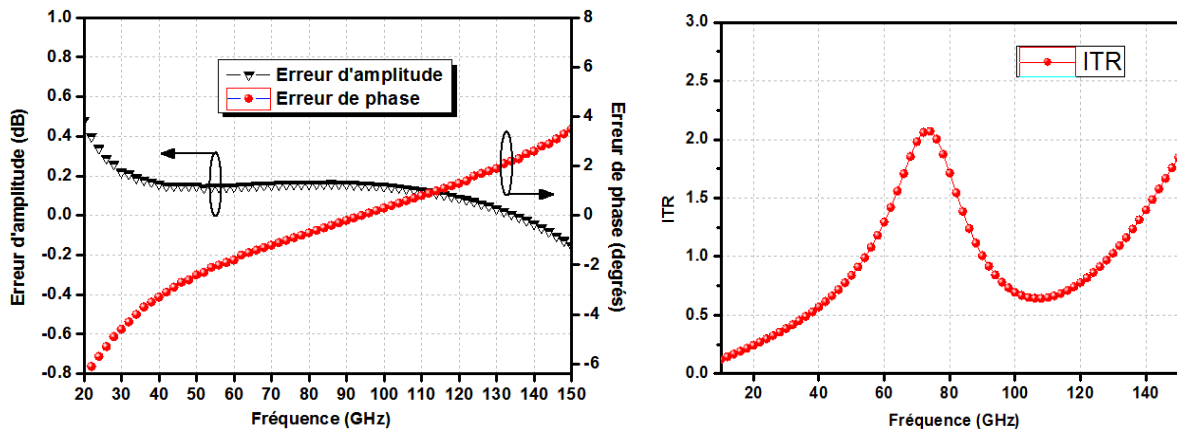
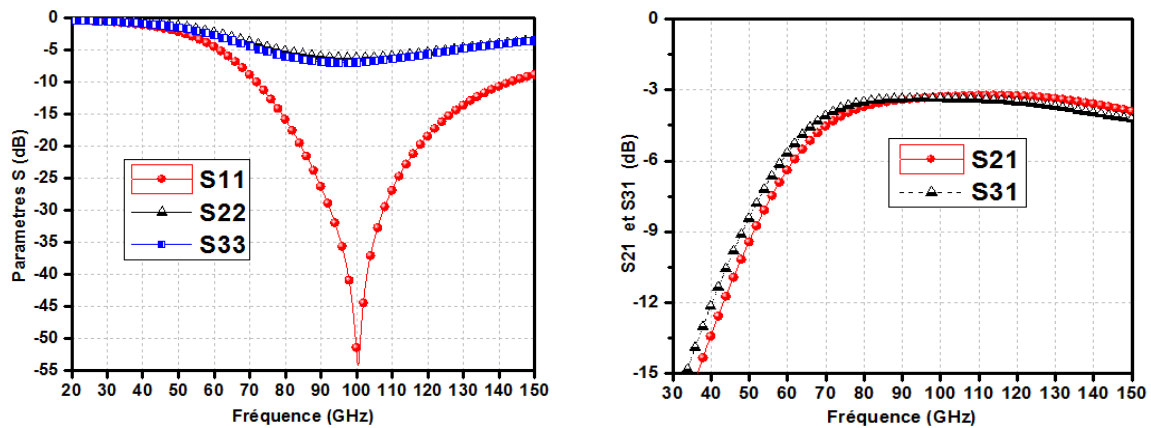


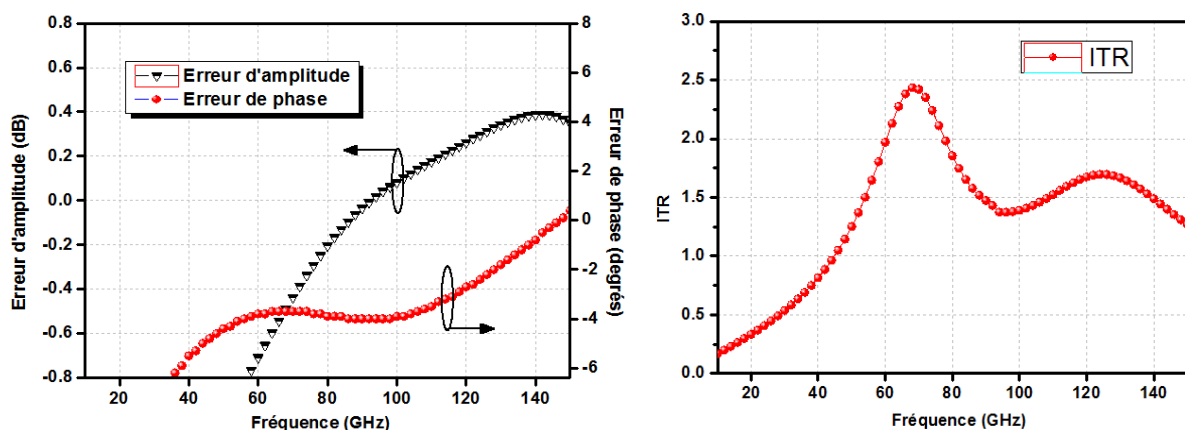
Figure V-53 (gauche) Coefficients d'adaptation en entrée et en sortie du balun BAL30Z100F, (droite) paramètres de transmission S_{21} et S_{31} du balun BAL30Z100F.



Les résultats de simulation du balun BAL70Z80F sont présentés sur les **Figure V-55** et **Figure V-56**. Le balun est parfaitement adapté autour de sa fréquence centrale avec un S_{11} de -27 dB, tandis que l'adaptation en sortie est environ -6 dB autour de la même fréquence (**Figure V-51**).



Les pertes d'insertion sont d'environ -3,3 dB autour de 80 GHz. La bande passante du balun est comprise entre 70 GHz et 140 GHz. Finalement, la **Figure V-54** montre que le rapport de transformation d'impédance autour de la fréquence centrale est de 0.5, avec une impédance différentielle vue en sortie du balun d'environ 24 Ω .



Finalement, les résultats concernant le balun BAL70Z80F sont présentés sur les **Figure V-51** et **Figure V-52**. Comme prévu théoriquement, le balun est parfaitement adapté autour de sa fréquence centrale à 81 GHz avec un S_{11} de -27 dB, tandis que l'adaptation en sortie est environ -6 dB autour de la même fréquence (**Figure V-51**). Les pertes d'insertion sont d'environ -3,5 dB sur une très large bande allant de 60 GHz à 100 GHz.

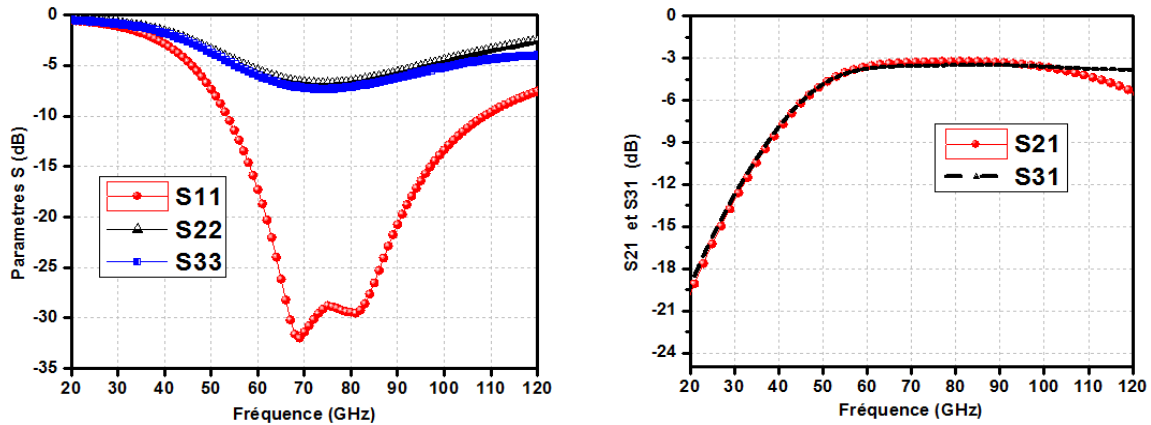


Figure V-57 (gauche) Coefficients d'adaptation en entrée et en sortie du balun BAL70Z80F, (droite) paramètres de transmission S_{21} et S_{31} du balun BAL70Z80F.

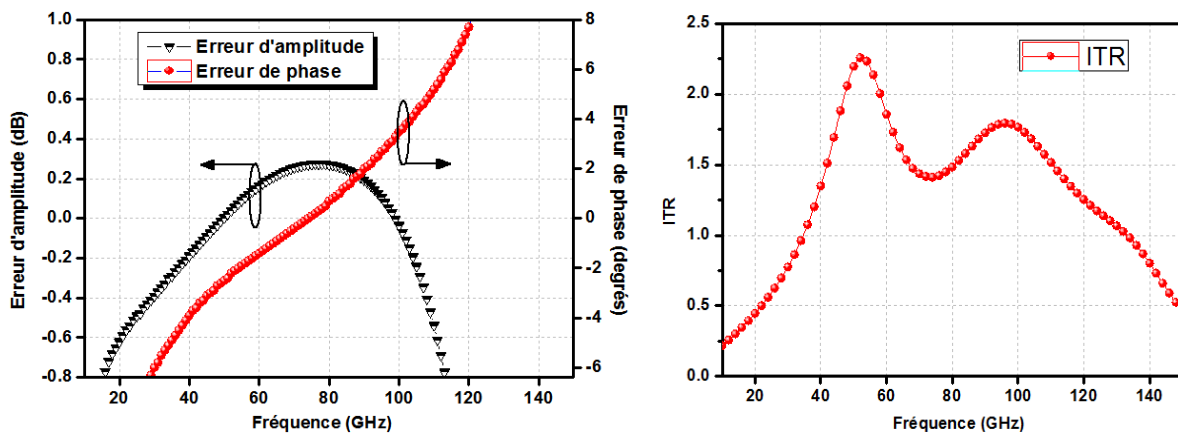


Figure V-58 (gauche) Erreur de phase et d'amplitude du balun BAL75Z80F, (droite) rapport de transformation d'impédance réalisé par le balun BAL75Z80F.

Pour les 4 baluns, les erreurs de phase et d'amplitude sont respectivement inférieures à 4° et 0,5 dB, sur toute la bande passante du balun. Le **Tableau V-3** résume les performances simulées. Les paramètres $\Delta\varphi_{max}$ et $\Delta\alpha_{max}$ représentent l'erreur de phase et d'amplitude maximale simulée dans la bande où le paramètre S_{11} est inférieur à -10 dB.

Tableau V-3 Performances simulées et surface de différents balun.

	ITR	IL (dB)	$\Delta\alpha_{max}$ (dB)	$\Delta\varphi_{max}$ (°)	f_0 (GHz)	Bande où $S_{11} < -10$ dB	Surface mm^2
BAL25Z80F	0,5	-3,3	0,2	2	80	70 GHz-90 GHz	0,23×0,58
BAL70Z80F	1,44	-3,45	0,4	4	80	55 GHz-110 GHz	0,21×0,4
BAL70Z100F	1,42	-3,5	0,5	4	100	70 GHz-140 GHz	0,2×0,6
BAL30Z100F	0,6	-3,4	0,2	2	103	90 GHz-120 GHz	0,24×0,6

Nous pouvons finalement remarquer que la dimension des baluns, **Tableau V-3**, est très raisonnable par rapport à l'état de l'art. Un tableau qui résume l'état de l'art est disponible dans la dernière page de ce chapitre (**Tableau V-4**). Les layouts de quatre balun sont présentés sur la **Figure V-59**. Les dimensions du balun dépendent beaucoup de la configuration utilisée pour le placement des lignes couplées, **Figure V-59- (a), (b), et (c)** à comparer avec **Figure V-59-(d)**. Ce placement dépend de la longueur de la ligne de compensation qui peut induire des contraintes fortes si elle n'est pas suffisamment longue. Ces quatre dispositifs sont en cours de fabrication en technologie BiCMOS 55 nm.

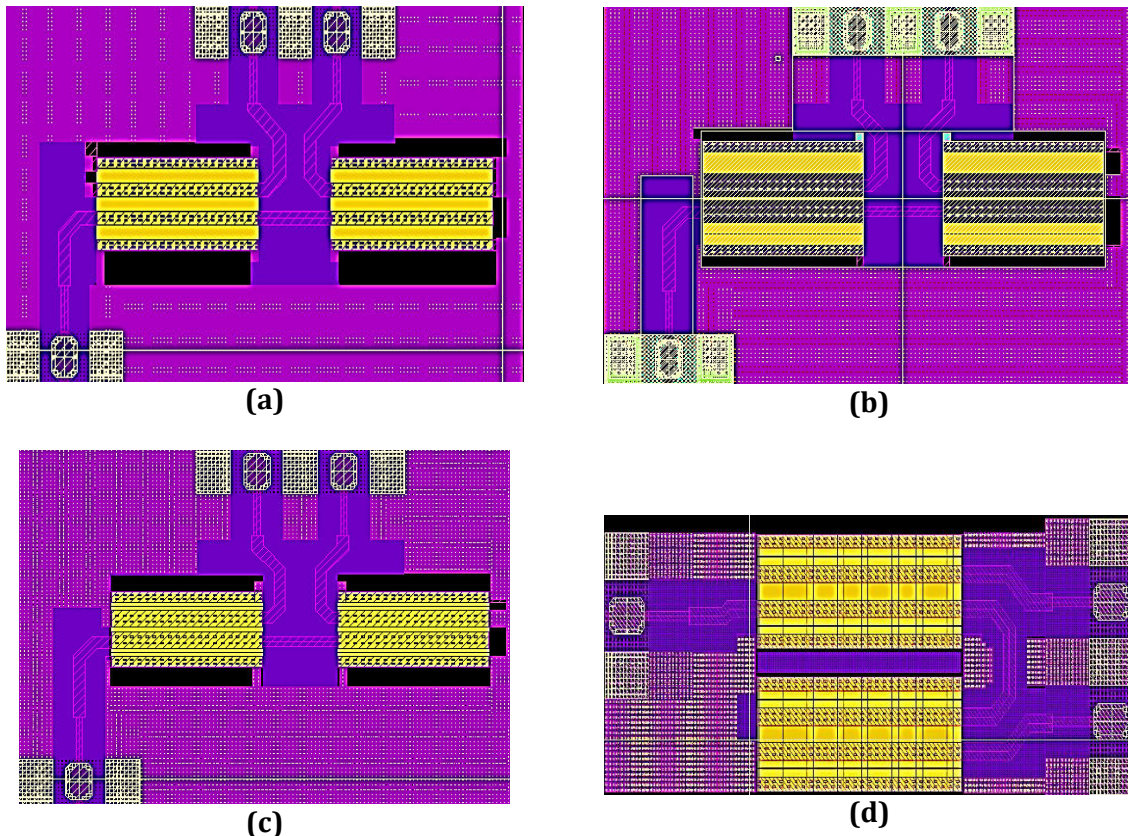


Figure V-59 Dessin layout des baluns fabriqués en technologie BiCMOS 55 nm : (a) BAL70Z100F, (b) BAL25Z80F, (c) BAL30Z100F, (d) BAL70Z80F.

V.7 Conclusion

Dans ce chapitre, nous avons expliqué les défis dans la conception des baluns en bande millimétrique, notamment le problème de déséquilibre de phase et d'amplitude fréquemment rapporté dans la littérature. Nous avons présenté une technique de synthèse de baluns millimétriques permettant de réaliser des baluns équilibrés intégrés et miniatures, et ayant des rapports de transformation dans une gamme étendue.

Ensuite, nous avons exploré une configuration particulière de lignes couplées à ondes lentes CS-CPW, appelée SC-CS-CPW, obtenue en réalisant des coupures dans les doigts flottants de la ligne CS-CPW. D'une manière générale, cette configuration de ligne permet d'avoir des facteurs de

couplage électrique K_C supérieurs à ceux qui sont obtenus avec les lignes couplées à ondes lentes CS-CPW classiques, sans changer le facteur de couplage magnétique K_L . Cela a pour conséquence une augmentation du facteur de couplage total C . A partir d'abaques que nous avons développés pour ce type de lignes, nous avons démontré leur apport sur la réalisation de baluns équilibrés miniatures, présentant une large gamme de rapports de transformation.

Quatre balun, ont été conçus en visant deux bandes de fréquence importantes, la bande E entre 71 GHz et 86 GHz, et la bande F de 90 GHz à 110 GHz. La bande autour de 110 GHz est importante particulièrement pour les applications doubleur de fréquence qui visent à atteindre la bande G (entre 140 GHz et 220 GHz). En termes de rapport de transformation d'impédance ITR, nous avons visé deux rapports différents : un rapport autour de 0,5 permettant de ramener une impédance faible (25Ω) lorsque le balun est utilisé en sortie d'un amplificateur de puissance, et un rapport de 1,5 permettant de ramener une impédance plus élevée (autour de 70Ω) lorsque le balun est utilisé en entrée d'un amplificateur de puissance, un doubleur de fréquence par exemple.

Enfin les simulations montrent que les baluns conçus possèdent de très bonnes performances par rapport à l'état de l'art. Ces quatre dispositifs sont en cours de fabrication en technologie BiCMOS 55 nm.

Les baluns développés dans cette thèse pourront être utilisés dans un système de test intégré BIST (pour « Built In Self test »), plus précisément en entrée d'un circuit doubleur de fréquence, qui constitue l'objectif d'une autre thèse initiée récemment à l'IMEP-LAHC.

Tableau V-4 Etat de l'art de baluns en bande millimétrique.

Article	Fréquence (GHz)	Pertes d'insertion (dB)	Erreur de phase et d'amplitude $\Delta\alpha_{max}/\Delta\varphi_{max}$	Surface active (mm ²)	Note
[Xu, 14]	57-67	1.5	<0.5dB / 1°	0.01	<ul style="list-style-type: none"> Utilisation des barreaux métalliques pour ajuster $\Delta\alpha_{max}$ et $\Delta\varphi_{max}$ Couplage Broadside
[Ma, 14]	40-60	1.9	<0.2dB / 2.7°	0.036	<ul style="list-style-type: none"> Utilisation d'une charge capacitive pour ajuster $\Delta\alpha_{max}$ et $\Delta\varphi_{max}$ Couplage Broadside
[Tsai, 13]	40-80	2	-	0,2397	<ul style="list-style-type: none"> Configuration spirale
[Chiou, 13]	34-110	1.6	<0.4dB / 10°	0.016	<ul style="list-style-type: none"> Erreur $\Delta\varphi_{max}$ élevée Etude de deux types de couplage (EC, BSC)
[Uemichi, 11]	57-66	0.6	<0.35dB / 8°	0.135	<ul style="list-style-type: none"> Utilisation d'un procédé de fabrication silicium avec résine Couplage Broadside Rapport Z_e/Z_o élevée
[Meng, 11]	55-66	1.3	<1 dB / 5°	0.01	<ul style="list-style-type: none"> Balun à base de transformateur Résultats en simulation seulement
[Sun, 11]	70-100	1	<0.1 dB / 1°	0.016	<ul style="list-style-type: none"> Résultats en simulation seulement
[Ercoli, 10-2]	50-70	1.1	<0.5 dB / 10°	0.011	<ul style="list-style-type: none"> Configuration spirale Longueur du coupleur inférieure à $\frac{\lambda}{4}$
[Lai, 10]	25-40	-	-	0.288	<ul style="list-style-type: none"> Utilisation d'une structure à ondes lentes La taille inclut la surface des circuits actifs
[Hsu, 10]	72-80	3	<1.4 dB / 4°	0,385	<ul style="list-style-type: none"> Bande réduite car c'est un filtre différentiel Utilisation des inverseurs de phase pour réaliser 180°
[Liu, 07]	25-65	3	<1.5dB / 10°	0.55	<ul style="list-style-type: none"> La taille inclut les plots RF Utilisation d'un conducteur métallique blindé pour obtenir des forts rapports entre les modes pair et impair
[Chiou, 07]	15-60	1.1	<1 dB / 5°	0.06	<ul style="list-style-type: none"> Utilisation d'une structure asymétrique Couplage Broadside
[Felic, 07]	50-65	3	<3 dB / 5°	0,132	<ul style="list-style-type: none"> Balun à base de transformateur
[Yu, 07]	18-32	2	<1 dB / 5°	0,0864	<ul style="list-style-type: none"> Balun à base de transformateur
[Ang, 00]	40-90	2	<0.8 dB / 5°	X	<ul style="list-style-type: none"> Utilisation d'une technologie GaAs

Références

[Lugo, 15]

J. Lugo-Alvarez, A. Bautista, A. Serhan, F. Podevin, P. Ferrari, "Coupleurs directifs et filtres millimétriques utilisant des coupleurs innovants basés sur des lignes à ondes lentes couplées en technologie BiCMOS avancée", Journées Nationales Microonde, 2015.

[Lugo, 14]

J. Lugo-Alvarez, A. Bautista, F. Podevin, P. Ferrari, "High-directivity compact slow-wave Coplanar waveguide couplers for millimeter-wave applications", IEEE European Microwave Conference (EuMIC), 2014.

[Xu, 14]

L. Xu, et al., "A Miniaturized Marchand Balun in CMOS With Improved Balance for Millimeter-Wave Applications", IEEE Microwave and Wireless Components Letters, vol. 24, no. 1, pp. 53-55, 2014.

[Ma, 14]

K. Ma, N. Yan, K.S. Yeo, W.M. Lim, "Miniaturized 40–60 GHz on-Chip Balun with Capacitive Loading Compensation", IEEE Electron Device Letters, vol. 35, no. 4, pp. 434-436, 2014.

[Tsai, 13]

P.H. Tsai, Y.H. Lin, J.L. Kuo, Z.M. Tsai, H. Wang, "Broadband Balanced Frequency Doublers with Fundamental Rejection Enhancement Using a Novel Compensated Marchand Balun", IEEE Transactions on Microwave Theory and Techniques, vol. 61, no. 5, pp. 1913-1923, 2013.

[Chiou, 13]

H.K. Chiou, H.T. Chou, "An Ultra-Low Power V-Band Source-Driven Down-Conversion Mixer With Low-Loss and Broadband Asymmetrical Broadside-Coupled Balun in 90-nm CMOS Technology", IEEE Transactions on Microwave Theory and Techniques, vol. 61, no. 7, pp. 2620-2631, 2013.

[Clercq, 13]

N.D. Clercq, W. Dehaene, P. Reynaert, "A 60 GHz wide band direct down-conversion receiver in 40 nm CMOS", IEEE European Microwave Integrated Circuits Conference (EuMIC), 2013.

[Xu, 12]

L. Xu, J. Wei, "Characterization and analysis of patterned shields for millimeter-wave broadside-coupled balun in CMOS technology", IEEE International Conference on Microwave and Millimeter Wave Technology (ICMMT), 2012.

[Uemichi, 11]

Y. Uemichi, et al., "Low-loss and compact millimeter-wave balun on Si", IEEE MTT-S International Microwave Symposium (IMS), 2011.

[Sun, 11]

J.T. Sun, S.H. He, Q. Liu, H.W. Liu, T. Yoshimasu, "Compact broadband Marchand balun with excellent imbalance performance for Si-based millimeter wave IC applications", China-Japan Joint Microwave Conference (CJMW), 2011.

[Meng, 11]

F. Meng, K.S. Yeo, X. Shanshan, M. Kaixue, C.C. Lim, "Wide center-tape balun for 60 GHz silicon RF ICs", International SoC Design Conference (ISOC), 2011.

[Hsu, 10]

C.Y. Hsu, C.Y. Chen, H.R. Chuang, "A 77-GHz CMOS on-Chip Bandpass Filter with Balanced and Unbalanced Outputs", IEEE Electron Device Letters, vol. 31, no. 11, pp. 1205-1207, 2010.

[Ercoli, 10-1]

M. Ercoli, M. Kraemer, D. Dragomirescu, R. Plana, "An ultra-small passive balun for 60 GHz applications in CMOS 65nm technology", IEEE International NEWCAS Conference (NEWCAS), 2010.

[Ercoli, 10-2]

M. Ercoli, M. Kraemer, D. Dragomirescu, R. Plana, "A high performance integrated balun for 60 GHz application in 65nm CMOS technology", IEEE Asia-Pacific Microwave Conference (APMC), 2010.

[Lai, 10]

Y.A. Lai, C.N. Chen, S.H. Hung, W.C. Chien, Y.H. Wang, "Compact millimeter-wave frequency doublers using slow wave structure in balun", IEEE International Conference on Solid-State and Integrated Circuit Technology (ICSICT), 2010.

[Liu, 10]

J.Y.C. Liu, et al., "A 60 GHz high gain transformer-coupled differential power amplifier in 65nm CMOS", IEEE Asia-Pacific Microwave Conference Proceedings (APMC), 2010.

[Kim, 09]

J.S. Kim, "broadband balun and phase noise measurement system design for rfc testing", Ph.D., University of Florida, 2009.

[Ding, 08]

H. Ding, K. Lam, G. Wang, W.H. Woods, "On-chip millimeter wave Rat-race Hybrid and Marchand Balun in IBM 0.13um BiCMOS technology", IEEE Asia-Pacific Microwave Conference (APMC), 2008.

[Yong, 08]

G.S.K. Yong, C.E. Saavedra, "A compact capacitor compensated wideband balun in CMOS technology", IEEE Biennial Symposium on Communications, 2008.

[Inui, 08]

C. Inui, Y. Manzawa, and M. Fujishima, "On-Chip S-Shaped Rat-Race Balun for Millimeter-Wave Band Using Wafer-Level Chip-Size Package Process", IEEE European Microwave Integrated Circuits Conference (EuMIC), 2008.

[Ezzeddine, 08]

H. Ezzeddine. "Lumped element Balun", Patent n°EP1659686, 2008.

[Vorst, 08]

D.V. Vorst, S. Mirabbasi, "Low-power 1V 5.8 GHz bulk-driven mixer with on-chip balun in 0.18μm CMOS", IEEE Radio Frequency Integrated Circuits Symposium (RFIC), 2008.

[Yu, 07]

H.Y. Yu, S.S. Choi, S.H. Kim, Y.H. Kim, "K-band balun with slot pattern ground for wide operation using 0.18 μm CMOS technology", Electronics Letters, vol. 43, no. 5, pp. 51-52, 2007.

[Felic, 07]

G. Felic, E. Skafidas, "An Integrated Transformer Balun for 60 GHz Silicon RF IC Design", International Symposium on Signals, Systems and Electronics (ISSSE), 2007.

[Liu, 07]

J.X. Liu, C. Y. Hsu, H.R. Chuang, C. Y. Chen, "A 60-GHz Millimeter-wave CMOS Marchand Balun", IEEE Radio Frequency Integrated Circuits (RFIC), 2007.

[Chiou, 07]

H.K. Chiou, T.Y. Yang, Y.C. Hsu, S.G. Lin, Y.Z. Juang, "15-60 GHz asymmetric broadside coupled balun in 0.18 μm CMOS technology", Electronics Letters, vol. 43, no. 19, pp. 1028-1030, 2007.

[Anaren, 05]

Anaren company report, "Measurement techniques for Baluns", https://www.anaren.com/sites/default/files/uploads/File/BalunTesting_0.pdf, May 6, 2005

[Long, 00]

J.R. Long, "Monolithic transformers for silicon RF IC design", IEEE Journal of Solid-State Circuits, vol. 35, no. 9, pp. 1368-1382, 2000.

[\[Ang, 00\]](#)

K.S. Ang, I.D. Robertson, K. Elgaid, I.G. Thayne, "40 to 90 GHz impedance-transforming CPW Marchand balun", IEEE MTT-S International Microwave Symposium (IMS), 2000.

[\[Marchand, 94\]](#)

N. Marchand, "Transmission-Line Conversion Transformers", Electronics, Vol. 17, pp. 142-146, Dec. 1944.

[\[Tsai, 93\]](#)

M.C. Tsai, "A new compact wideband balun", IEEE MTT-S International Microwave Symposium (IMS), 1993.

Conclusion générale et perspectives

Ces travaux de thèse, présentés sous la forme de cinq chapitres, ont permis d'explorer les potentialités de la technologie BiCMOS 55nm pour la conception de circuits intégrés en bande millimétrique. Deux applications distinctes étaient visées : (1) l'amélioration des performances et de la fiabilité à travers des boucles d'asservissement intégrées (les applications ALC : Automatique Level Control) principalement appliquées aux amplificateurs de puissance, (2) le développement de solutions de caractérisation sur silicium des composants millimétriques (les applications BIT : Built In Test).

Dans ce but, nous avons étudié les fonctions principalement utilisées dans ces types d'applications (amplificateurs de puissance, détecteurs de puissance et balun) puis assemblées sous forme de plusieurs démonstrateurs qui ont été fabriqués en technologie BiCMOS B55nm de ST Microelectronics et caractérisés au sein de la plateforme de caractérisation du laboratoire IMEP-LAHC.

Le **chapitre I** a permis de présenter la technologie BiCMOS 55nm mise à disposition par STMicroelectronics dans le cadre du projet Européen RF2THz et destiné à montrer les performances de cette technologie à travers les démonstrateurs réalisés dans cette thèse. Les modèles des composants actifs (transistors MOS et transistors Bipolaires) y ont été détaillés. Leurs avantages et limitations y ont été mis en perspectives par rapport aux fonctions visées (amplificateurs et détecteurs de puissance). Une partie de ce chapitre est aussi dédiée aux composants passifs (et en particulier aux différents types de lignes de propagation conçus à l'IMEP-LAHC avec le BEOL de cette technologie). Leurs caractéristiques et leurs performances sont exploitées et mises en valeur dans la conception de nos différents circuits.

Les chapitres suivants sont consacrés à la réalisation des circuits et démonstrateurs réalisés au cours de cette thèse et fonctionnant dans la gamme des fréquences millimétriques. Le **chapitre II** traite d'amplificateurs de puissance fonctionnant à 60GHz, le **chapitre III** de détecteurs de puissance pour des applications millimétriques et le **chapitre IV** concerne l'application de ces détecteurs à l'amélioration de l'efficacité des amplificateurs de puissance à 60GHz. Le dernier chapitre détaille la conception de baluns de type Marchand, brique essentielle permettant d'implémenter une version différentielle des circuits réalisés.

Les travaux présentés dans le **chapitre II**, permettent de mettre en évidence l'intérêt des transistors bipolaires et des lignes à ondes lentes SCPW par rapport aux transistors MOS et aux lignes microruban TFMS, de la même technologie, pour la réalisation d'amplificateurs de

puissance en bande millimétrique. La méthodologie de conception basée sur une modélisation analytique des caractéristiques de l'amplificateur est d'abord présentée et les résultats de mesures y sont détaillés. Quatre PA (les quatre combinaisons possibles avec un transistor MOS et un bipolaire, et des lignes TFMS ou des lignes SCPW) fonctionnant dans des conditions identiques ont été comparés. Les résultats de mesure mettent en évidence la supériorité des transistors bipolaires ainsi que l'intérêt des lignes SCPW pour ce type de fonction en bande millimétrique. Ces résultats sont conformes à l'étude analytique développée. L'amplificateur de puissance alliant un transistor bipolaire et des lignes SCPW présente un gain en puissance de 8.2dB, une puissance de saturation de 10dBm, et une PAE de 16%, ce qui en fait l'état de l'art pour les PA à un étage fonctionnant à 60GHz. Ce travail a été mis en valeur dans la conférence IEEE BCTM 2014.

Suite à ces réalisations d'amplificateurs de puissance à 60GHz, une piste d'amélioration a été explorée afin d'optimiser leur PAE. Pour ce faire, une boucle de contre-réaction a été envisagée afin d'asservir la polarisation du PA à son niveau de puissance de sortie. Cette boucle impliquant un détecteur de puissance, une étude sur les détecteurs de puissance pour les applications millimétriques a été menée et fait l'objet du **chapitre III**. Dans ce chapitre, comme précédemment nous avons exploré les potentialités de l'ensemble des composants disponibles dans la technologie BiCMOS en comparant l'apport des transistors Bipolaires et MOS. Dans un premier temps, deux détecteurs à base/grille commune ont été conçus et étudiés analytiquement. Les deux détecteurs présentent une dynamique de détection mesurée comprise entre -30dBm et 8dBm. L'étude analytique du bruit et les simulations montrent une sensibilité meilleure de 10dB pour le détecteur base commune due à la différence de gain entre les deux structures. Ces travaux ont fait l'objet de deux conférences ICM2013 et IMS2015. Cependant, pour ce type de détecteur, la consommation en courant n'est pas constante et engendre une variation de l'impédance d'entrée ce qui peut poser un problème pour des applications BIT (Built In Test).

Afin de concevoir un détecteur à consommation constante et de s'affranchir du changement d'impédance d'entrée nous avons exploré l'architecture proposée par Meyer. Ce détecteur, basé sur les caractéristiques exponentielles du courant du bipolaire, a montré une dynamique mesurée comprise entre -50dBm et 2 dBm. En outre, nous avons développé une solution alternative en remplaçant le transistor de détection en bipolaire par un transistor MOS sous seuil. Le nouveau détecteur présente une dynamique plus réduite comprise entre -41 dBm et 2dBm pour la même consommation (50 μ A). La meilleure sensibilité pour le bipolaire est due au bruit en $1/f$ plus faible et à sa forte transconductance par rapport au MOS. Tous ces résultats ont été expliqués grâce aux modèles analytiques développés pour les caractéristiques de transfert, ainsi que pour les comportements en bruit.

Enfin, l'ensemble de détecteurs, réalisés en technologie BiCMOS 55 nm, présentent une réponse fréquentielle quasi-plate, une très petite taille, une impédance d'entrée relativement élevée, et un temps de réponse compatible avec les modulations large bande utilisées dans la bande de fréquences millimétriques. Cette bande passante est un compromis avec la sensibilité.

L'expérience acquise sur les détecteurs et les amplificateurs de puissance a permis de proposer une solution pour améliorer l'efficacité d'un amplificateur de puissance. Cette étude fait l'objet du **chapitre IV**. La technique est basée sur une boucle assurant une polarisation adaptative de l'étage de puissance en fonction de la puissance instantanée en sortie de l'amplificateur. Afin de valider le principe, un premier circuit démonstrateur en boucle ouverte comprenant un détecteur développé dans le **chapitre III** et un amplificateur de puissance en bipolaire développé dans le **chapitre II** a été caractérisé en co-simulation dans le cadre d'un signal modulé sur le logiciel ADS et a démontré un apport de 20 % d'amélioration sur l'efficacité moyenne du PA avec une perturbation très réduite des performances en linéarité (EVM, ACPR). Ces données ont fait l'objet d'un papier à NewCAS2015. En se basant sur ces premiers résultats, un deuxième démonstrateur complètement intégré incluant l'ensemble de la boucle de polarisation adaptative et un PA CMOS à un étage a été réalisé. Le détecteur employé dans la boucle est de type proposé par Meyer et inclut une interface analogique qui permet d'ajuster la loi de commande entre la tension en sortie du détecteur et la tension de polarisation du PA. Le circuit a été caractérisé en présence d'un signal modulé large bande (16-QAM, 700 MHz). Les performances obtenues démontrent le faible impact, au niveau distorsion, de la boucle sur les performances du système (dégradation de 1,4 % sur l'EVM) et une nette amélioration de l'efficacité du PA (+ 23%). Cette technique de polarisation adaptative est actuellement la seule qui soit adaptée à la transmission de données large bande dans le domaine des fréquences millimétriques. Elle pourrait parfaitement s'appliquer à un amplificateur de puissance différentiel multi-étages utilisant des baluns intégrés fonctionnant de ces gammes de fréquence.

Dans cet objectif, des baluns millimétriques intégrables dans le BEOL de la technologie et basés sur des lignes couplées à ondes lentes ont été étudiés. Cette étude constitue le dernier chapitre de ce mémoire. L'utilisation de lignes couplées à ondes lentes permet de concevoir des baluns millimétriques à faible pertes, équilibrés, à faible surface, et présentant une plage relativement élevée de rapports de transformations. Dans un premier temps, ce chapitre dresse l'état de l'art des baluns dans ces gammes de fréquence, puis il s'attache à décrire une méthode de synthèse à base d'abaques. Cette méthodologie est illustrée par la conception de quatre baluns visant deux bandes de fréquence importantes (la bande E entre 71 GHz et 86 GHz, et la bande F de 90 GHz à 110 GHz) et deux rapports de transformation d'impédances différents (un rapport autour de 0,5 et un de 1,5). Pour chacun de ces quatre dispositifs, les performances simulées (erreurs de phase

et d'amplitude sont respectivement inférieures de 4° et 0,5 dB sur toute la bande passante) en font d'excellents candidats pour la conception de circuits différentiels millimétriques. Ces circuits sont partis en fabrication en fin de thèse et devraient être livrés puis caractérisés avant la fin de l'année 2016.

Pour ce qui est des perspectives à ces travaux, deux objectifs sont envisageables :

Une première piste concerne l'application de la technique de polarisation adaptative et des baluns intégrés développés dans cette thèse au développement d'un amplificateur de puissance différentiel multi-étages à hautes performances fonctionnant dans la bande E ou F.

Une deuxième objectif concerne les applications dans la bande G et au-delà qui deviennent envisageables grâce à l'évolution des technologies nanométriques silicium. Dans ce domaine de fréquences, la caractérisation in situ des dispositifs actifs et passifs développés dans ces technologies est incontournable et nécessite de développer des blocs critiques rentrant dans la constitution des chaînes de mesure effectuant ces caractérisations. Dans ce contexte, les détecteurs de puissance à forte dynamique et grande sensibilité ainsi que des baluns à hautes performances en termes d'erreurs de phase et d'amplitude pour les mesures différentielles et la réalisation de mélangeurs et de doubleurs de fréquence sont des blocs critiques qu'il reste à optimiser dans ce domaine de fréquences.

Les résultats obtenus au cours de cette thèse ont été menés dans le cadre du projet Européen RF2THZ. Ils ont été valorisés par des communications dans 4 conférences internationales avec comité de sélection avec l'obtention du «best Paper Award» lors de la conférence NEWCAS 2015. Enfin deux publications, l'une au journal « Microwave Technology and Technique » et l'autre au journal « Analog Integrated Circuit and Signal Processing » sont en cours de soumission.

Annexe I

Développement de l'équation généralisée du gain en puissance G_p

Dans cette annexe, nous allons détailler le développement de l'équation généralisée du gain en puissance G_p utilisée dans le **chapitre II**. Nous utilisons une approche petit-signal en considérant que les paramètres du transistor (transconductance, impédance d'entrée, résistance de sortie) sont fixés par le point de polarisation en classe-A. Cette approximation peut se justifier par le fait que le PA classe-A fonctionne dans une zone quasi linéaire et dans une gamme de puissance réduite.

L'équation développée relie le gain du PA, **Figure A.I.1**, avec les différents paramètres DC et RF du transistor. Les paramètres DC pris en compte sont la résistance de sortie R_o et la transconductance g_m du composant actif. Au niveau RF, la partie réelle de l'impédance d'entrée du PA est introduite. Nous avons aussi considéré que le transistor possède une inductance de dégénérescence L_s de quelque pico Henry représentant le chemin de connexion à la masse de la source/émetteur. En effet, cette inductance est liée au layout du transistor et elle est de l'ordre de 5 à 10 pH, elle participe à la stabilité de l'amplificateur autour de la fréquence de fonctionnement en augmentant la partie réelle positive de l'impédance d'entrée.

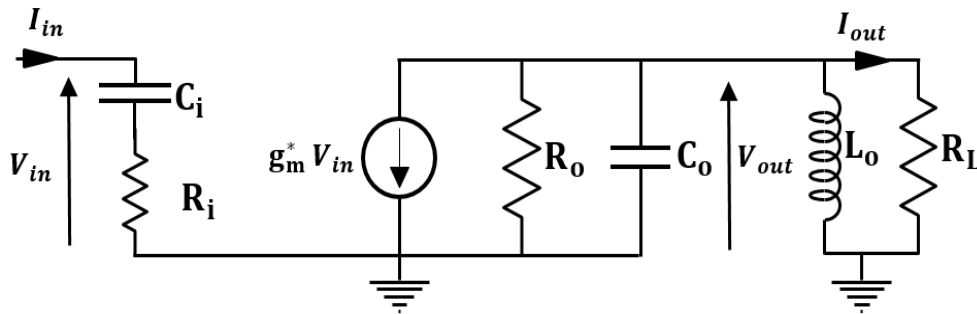


Figure A.I.1 Schéma électrique générique pour un amplificateur de puissance à 1 étage

La résistance R_i et la capacité C_i constituent l'impédance d'entrée de l'amplificateur. La résistance R_o représente la résistance dans le plan du drain/collecteur du transistor de puissance. La capacité de sortie C_o sera annulée par résonance, à la fréquence de fonctionnement, avec l'inductance L_o .

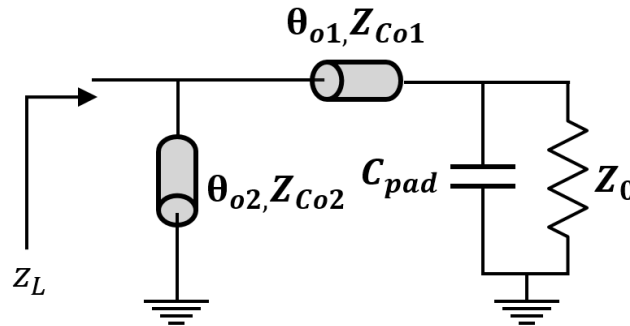


Figure A.I.2 Réseau d'adaptation en sortie du PA.

La résistance R_L représente la charge optimale nécessaire pour que l'amplificateur fonctionne en classe-A. La résistance R_L et l'inductance L_o sont obtenues à travers un réseau de transformation d'impédance de la charge externe $Z_o = 50 \Omega$ en parallèle avec la capacité équivalente du plot de mesure C_{pad} (**Figure A.I.2**). Enfin gm^* est la transconductance résultante de la dégénérescence de la source/émetteur du transistor, par l'inductance parasite L_s :

$$gm^* = \frac{g_m}{\sqrt{1 + g_m^2 (2 \pi f_0 L_s)^2}} \quad \text{A.Eq. 1}$$

Les puissances d'entrée et de sortie du PA sont données par :

$$P_{out} = \frac{V_{out}^2}{2 R_L} \quad \text{A.Eq. 2}$$

$$P_{in} = \frac{V_{in}^2}{2 \Re(Y_{in}^{-1})} \quad \text{A.Eq. 3}$$

Avec Y_{in} l'admittance d'entrée de l'étage. Le gain en puissance G_p est donné par le rapport entre la puissance de sortie P_{out} et la puissance d'entrée P_{in} :

$$G_p = \frac{P_{out}}{P_{in}} = \frac{\Re(Y_{in}^{-1}) V_{out}^2}{R_L V_{in}^2} = \frac{A_V^2}{\Re(Y_{in}^{-1}) R_L} \quad \text{A.Eq. 4}$$

avec A_V le gain en tension entre la tension du drain/collecteur V_{out} et la tension grille/base V_{in} . Ce gain est identique au gain d'un simple montage inverseur :

$$A_V = \frac{V_{out}}{V_{in}} = g_m^* \frac{R_L R_o}{R_L + R_o} \quad \text{A.Eq. 5}$$

Finalement, en remplaçant le terme A_V de l'équation (**A.Eq. 4**) par l'équation (**A.Eq. 5**), nous obtenons :

$$G_p = \frac{P_{out}}{P_{in}} = \frac{\left(gm^* \frac{R_o R_L}{R_o + R_L} \right)^2}{R_L \Re(Y_{in})} \quad \text{A.Eq. 6}$$

Comme indiqué précédemment dans le **chapitre II**, l'équation (**A.Eq. 6**) est indépendante de la nature du transistor. Nous constatons à partir de cette équation que la différence du gain entre le PA bipolaire et le PA MOS est liée à la fois à la différence de g_m , et à la différence des impédances de sortie et d'entrée entre les deux composants. Le transistor bipolaire, quant à lui, permet d'avoir une g_m et une résistance de sortie R_o plus élevées que dans le cas du MOS, mais avec une impédance d'entrée plus faible. La perte α dans les réseaux d'adaptation impacte de la même manière le gain du PA. Enfin, le gain total du PA, en linéaire, est défini par le produit $\alpha \times G_p$.

Annexe II

La première partie de cette annexe regroupe la définition des différents termes utilisés dans le **chapitre IV**. La deuxième partie est consacrée à l'établissement de la relation entre la puissance d'entrée et la tension de sortie du détecteur ajustable présenté dans le **chapitre IV**.

II.1 Définition de l'ACPR, l'EVM, la PAPR et le signal CW

L'ACPR : Adjacent Channel Power Ratio

L'ACPR est une quantité de mesure de la croissance spectrale en sortie d'amplificateurs non-linéaires. La mesure de l'ACPR nécessite l'application d'un signal modulé complexe à l'entrée de l'amplificateur de puissance. L'ACPR est défini par le rapport entre la puissance du signal utile et celle des lobes latéraux, situés à une distance Δf du milieu de la bande utile à transmettre, calculées sur une largeur de bande donnée (BW) (**Figure A.II.1**). L'ACPR calculé par rapport au lobe adjacent droit est appelé l'ACPR droit (ou ACPR High). De même, L'ACPR calculé par rapport au lobe adjacent gauche est appelée l'ACPR gauche (ou ACPR Low). Ces deux quantités peuvent être différentes selon la nature de la non-linéarité du système. Pour chaque standard de communication, des masques spectraux (gabarits) sont fixés par des organismes régulateurs afin d'assurer le fonctionnement dans un contexte multi-utilisateur.

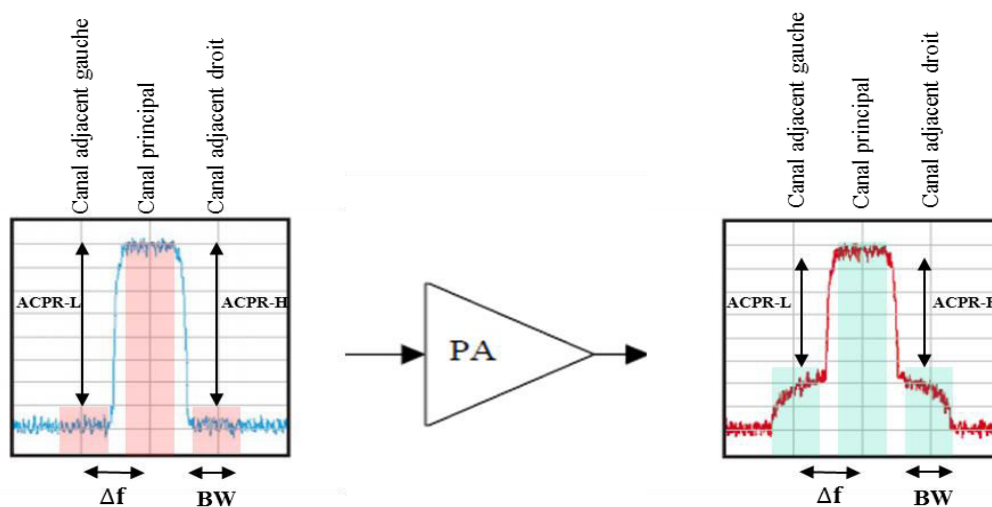


Figure A.II.1 Dégradation de l'ACPR d'un signal à enveloppe complexe en sortie d'un PA.

EVM d'un système RF

L'EVM (Error Vector Magnitude) est une quantité qui permet de qualifier la distorsion de phase et/ou d'amplitude subit par un signal modulé quand ce dernier passe à travers un système d'émission/réception ou dans un simple composant (amplificateur, mélangeur). Dans une modulation numérique (Q-PSK, QAM, etc.), les données sont envoyées en quadrature de phase et peuvent être représentées sur un diagramme de constellation I/Q (In phase, Quadrature phase) par des vecteurs appelés vecteurs de constellation. Dans un système idéal, les signaux émis et reçu

ne subissent aucune déformation (pas d'effet de non linéarité). Le vecteur reçu doit donc être égal au vecteur émis (erreur nulle). Dans un système réel, le signal sera perturbé par le bruit du canal de transmission et par les non-linéarités des différents composants (amplificateurs, mélangeurs, etc.). Par conséquent, les vecteurs émis subissent une déformation de leurs phases et/ou de leurs amplitudes par rapport aux vecteurs émis. La distance entre les positions des vecteurs émis et reçus est nommée EVM (**Figure A.II.2**).

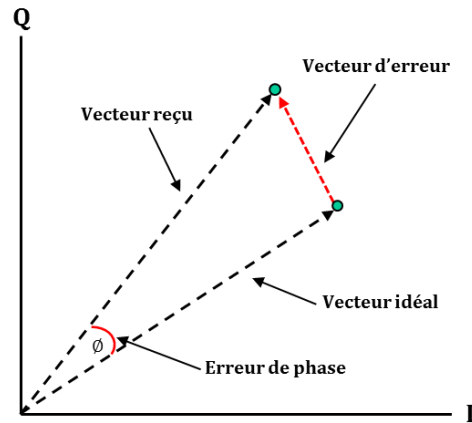


Figure A.II.2 Illustration de l'erreur EVM.

La mesure de la performance EVM nécessite un générateur RF supportant une modulation numérique pour moduler une séquence de bits aléatoires et un récepteur pour la démodulation et le traitement des symboles reçus. Enfin, le calcul de l'EVM se fait en pratique par un analyseur de signaux vectoriels (VSA).

PAPR d'un signal

Le PAPR (Peak to Average Power Ratio) est défini par le rapport entre la puissance instantanée maximale P_{max} et la puissance moyenne instantanée P_{av} . Il est exprimé par :

$$PAPR(dB) = 10\log\left(\frac{P_{max}}{P_{av}}\right) \quad \text{A.Eq. 7}$$

Le PAPR donne une image de la dynamique instantanée de la puissance d'enveloppe d'un signal RF modulé. Il dépend fortement du type de modulation utilisée. Sa valeur est d'autant plus élevée que le type de modulation est complexe. L'information sur le PAPR est importante dans le choix d'un amplificateur de puissance. La linéarité du PA doit être suffisante pour permettre de transmettre une large dynamique de puissance sans distorsion du signal modulé.

Le signal de type CW (Continuous Wave)

C'est un signal mono-fréquence qui a une amplitude et une phase constantes. Ce signal ne transporte aucune information et est utilisé pour stimuler/caractériser les performances quasi-

statiques des amplificateurs. Comme tout signal à enveloppe constante, le signal CW possède un PAPR nul (0 dB).

II.2 Fonction de transfert du détecteur de puissance MOS à sortie ajustable

Le détecteur de puissance à sortie ajustable présenté dans le **chapitre IV** consiste en trois étages principaux : un étage de détection, un étage de conversion courant-tension, et un étage additionneur/soustracteur de courant. La détection de puissance est réalisée avec un détecteur de type Meyer utilisant un MOS sous seuil. L'intérêt de ce choix réside dans l'impédance d'entrée élevée et la consommation faible de ce type de détecteur. Les deux étages suivants servent à ajuster la dynamique de la tension en sortie. Le schéma simplifié de l'ensemble du détecteur ajustable est présenté dans la **Figure A.II.3**.

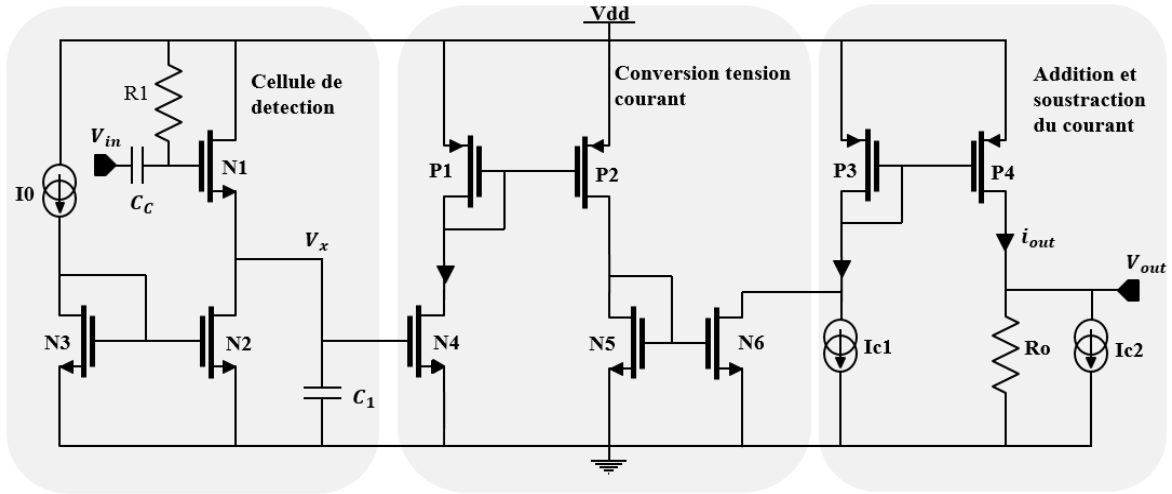


Figure A.II.3 Schématique simplifié du détecteur de puissance ajustable utilisé dans la boucle d'amélioration de PAE.

Nous allons développer l'équation analytique de la fonction de transfert $V_{out} = f(P_{in})$, dans les deux régimes de fonctionnement. Supposons un signal d'entrée V_{in} appliqué sur la grille du transistor N_1 :

$$V_{in} = |V_{in}| \cos(\omega_0 t) \quad \text{A.Eq. 8}$$

Pour des faibles puissances d'entrée, le courant dans le transistor N_1 est une fonction exponentielle de la tension d'entrée V_{in} . Ce courant est donc défini par :

$$I_{N_1} = I_0 e^{\frac{V_{in}}{n_{N_1} V_T}} \quad \text{A.Eq. 9}$$

Avec I_0 est le courant moyen dans le transistor, n_{N_1} la constante de non-idéalité du transistor $MOSN_1$ en régime sous seuil et V_T est la tension thermique donnée par (A.Eq. 10):

$$V_T = \frac{KT}{q} \approx 26 \text{ mV} \quad \text{à une température de } 27^\circ\text{C} \quad \text{A.Eq. 10}$$

Le courant I_0 est constant en fonction de la puissance d'entrée. Dans ces conditions, le courant dans le transistor N_1 peut-être approximé par l'équation (**A.Eq. 11**) :

$$I_{N1} = I_0 + \frac{d(I_{N1})}{d(V_{in})} V_{in} + \frac{d^2(I_{N1})}{d^2(V_{in})} \frac{V_{in}^2}{2} \quad \text{A.Eq. 11}$$

Le terme en V_{in} , est un terme dit hautes fréquences et sera filtré par la capacité de sortie (C_1). Le terme en V_{in}^2 est formé par une composante haute fréquence autour de $2\omega_0$ (qui elle aussi est filtrée par C_1) et une composante basse fréquence i_s proportionnelle à l'amplitude de la tension V_{in} . Le courant en sortie du transistor et filtré est donné par :

$$I_{N1} = I_0 + \frac{I_0 |V_{in}|^2}{4 n_{N1}^2 V_T^2} = I_0 + i_{s,N1} \quad \text{A.Eq. 12}$$

La variation de tension en sortie de détecteurs (Δv_X) est donnée par :

$$\Delta v_X = Z_{out} i_{s,N1} = 2 \operatorname{Re}\{Y_{in}\}^{-1} Z_{out} \frac{I_0 P_{in}}{4 n_{N1}^2 V_T^2} \quad \text{A.Eq. 13}$$

Avec Z_{out} l'impédance de sortie de l'étage de détection, et $g_{m,N1}$ est la transconductance des transistors N_1 :

$$g_{m,N1} = \frac{I_0}{n_{N1} V_T} \quad \text{A.Eq. 14}$$

La tension V_X est donnée par la somme de la tension d'offset et la variation de tension Δv_X :

$$V_X = Z_{out} (I_0 + i_{s,N1}) = Z_{out} I_0 \left[2 \operatorname{Re}\{Y_{in}\}^{-1} \frac{P_{in}}{4 n_{N1}^2 V_T^2} + 1 \right] \quad \text{A.Eq. 15}$$

Nous pouvons, à partir de l'équation (**A.Eq. 15**), constater que la pente de la fonction de transfert peut être ajustée en changeant la valeur du courant de polarisation I_0 .

Pour les fortes puissances d'entrée, le transistor N_1 joue le rôle d'un redresseur. Le courant moyen dans N_1 est alors donné par:

$$I_{N1,av} = \frac{I_{N1,max}}{\pi} = \frac{1}{\pi} \sqrt{2 \times \frac{P_{in}}{\operatorname{Re}\{Y_{in}\}^{-1}}} \approx \frac{1}{\pi} \sqrt{2 \times P_{in} \times g_{m,N1}} \quad \text{A.Eq. 16}$$

Où $g_{m,N1}$ est la transconductance du transistor N_1 . La tension V_X sera donc donnée par :

$$V_X = Z_{out} \frac{\sqrt{2 \times P_{in}}}{\pi \sqrt{\operatorname{Re}\{Y_{in}\}^{-1}}} \approx Z_{out} \frac{\sqrt{2 \times P_{in} \times g_{m,N1}}}{\pi} \quad \text{A.Eq. 17}$$

La tension V_X est filtrée par la capacité C_1 et transformée ensuite en un courant par le transconducteur N_4 . Le courant résultant I_{N4} est copié par les deux miroirs de courant ($P_1 - P_2$) et ($N_5 - N_6$). le courant I_{N6} vaut alors :

$$I_{N6} = \frac{W_{P2}W_{N6}}{W_{P1}W_{N5}} I_{N4} \quad \text{A.Eq. 18}$$

Avec W_{P1} , W_{P2} , W_{N5} , W_{N6} respectivement les largeurs de canal des transistors P_1 , P_2 , N_5 , et N_6 . Le courant I_{N4} , quand à lui, est donné par l'équation (A.Eq. 19), avec $g_{m,N4}$ la transconductance du transistor N_4 :

$$I_{N4} = g_{m,N4} V_X \quad \text{A.Eq. 19}$$

Avant le miroir ($P_3 - P_4$), un courant I_{C1} est rajouté au courant I_{N6} . De même un courant I_{C2} peut être soustrait au courant de sortie I_{out} (la version copiée du courant I_{N6}). Cela permet d'exprimer le courant résultant I_{out} par :

$$I_{out} = \frac{W_{P4}}{W_{P3}} (I_{N6} - I_{C1}) - I_{C2} \quad \text{A.Eq. 20}$$

La tension de sortie V_{out} est donnée par la multiplication du courant I_{out} par la résistance R_o :

$$V_{out} = R_o I_{out} \quad \text{A.Eq. 21}$$

En remplaçant I_{out} par l'équation (A.Eq. 20), nous obtenons:

$$V_{out} = R_o \left[\frac{W_{P4}}{W_{P3}} \left(\frac{W_{P2}W_{N6}}{W_{P1}W_{N5}} g_{m,N4} V_X - I_{C1} \right) - I_{C2} \right] \quad \text{A.Eq. 22}$$

Enfin, pour chaque régime de fonctionnement (forte et faible puissance) nous remplaçons la tension V_X par son équation correspondante. Cela donne :

- Pour les faibles puissances d'entrée :

$$V_{out} = R_o \left[\frac{W_{P4}}{W_{P3}} \left(\frac{W_{P2}W_{N6}}{W_{P1}W_{N5}} g_{m,N4} Z_{out} I_0 \left[2 \operatorname{Re}\{Y_{in}\}^{-1} \frac{P_{in}}{4 n_{N1}^2 V_T^2} + 1 \right] - I_{C1} \right) - I_{C2} \right] \quad \text{A.Eq. 23}$$

- Pour les fortes puissances d'entrée:

$$V_{out} = R_o \left[\frac{W_{P4}}{W_{P3}} \left(\frac{W_{P2}W_{N6}}{W_{P1}W_{N5}} g_{m,N4} Z_{out} \frac{1}{\pi} \sqrt{2 \times P_{in} \times g_{m,N1}} - I_{C1} \right) - I_{C2} \right] \quad \text{A.Eq. 24}$$

Les équations (A.Eq. 23) et (A.Eq. 24) montrent la capacité de ce détecteur à ajuster sa pente et/ou sa dynamique de sortie en fonction des différentes valeurs de courant I_0 , I_{C1} , et I_{C2} .

Conception et réalisation de fonctions millimétriques en technologie BiCMOS 55nm

Résumé : Au cours des dernières années, la faisabilité des émetteurs-récepteurs millimétriques entièrement intégrés a été largement démontrée en technologies silicium CMOS et BiCMOS. Deux axes sont actuellement très porteurs dans ce domaine : (1) l'amélioration des performances à travers des boucles d'asservissement intégrées (ALC : Automatique Level Control), (2) le développement de solutions de caractérisation sur silicium des composants millimétriques (BIT : Built In Test). L'objectif principal de cette thèse est de développer les blocs de base (détecteurs de puissance et baluns) pour répondre aux besoins actuels des applications ALC et BIT. Les circuits réalisés combinent l'avantage de composants actifs de la technologie BiCMOS 55 nm, de STMicroelectronics, avec l'avantage des structures passives à ondes lentes développées à l'IMEP-LAHC. Ce travail permet un développement plus rapide et robuste pour la future génération de systèmes millimétriques.

Mots-clés : Amplificateur de puissance, bande millimétrique, balun, CMOS et BiCMOS, détecteur de puissance, ligne à onde lente.

Design and realization of millimeter wave circuits in advanced BiCMOS 55nm technology

Abstract: In the past few years, the feasibility of high performance millimeter-wave (mmWave) fully-integrated transceivers has been widely demonstrated in both CMOS and BiCMOS silicon technologies. Nowadays, automatic level control (ALC) solutions and in-situ testing (BIT: Built in Testing) and characterization of mmWave components, constitute the major research interest in mmWave domain. This work focus on the development of the main building blocks (power detectors and baluns) that meet the requirement of the today's mmWave ALC and BIT applications. The developed prototypes take advantage of the high performances transistors offered by the BiCMOS 55 nm technology, from STMicroelectronics, as well as the high performances of the slow-wave based passive components developed by the IMEP-LAHC laboratory. Several prototypes were developed as a proof of concept for the designated applications. This work helps future generation millimeter-wave systems to have faster development and better robustness.

Key words: Balun, CMOS and BiCMOS, power amplifier, power detector, slow wave guideline, millimeter-wave band.